

文章编号: 1005-5630(2011)01-0058-04

基于乒乓操作的千兆 MAC 中的 FIFO 设计*

侯宏录, 杜 鹃

(西安工业大学 光电工程学院, 陕西 西安 710032)

摘要: 针对机载一体化高帧频相机设计中存在的高速图像数据的传输问题, 提出一种在 FPGA 芯片上开发千兆 MAC 的实时解决方案。采用千兆 MAC 和外部 PHY 相结合的方式设计千兆网卡, 实现高速实时传输高帧频视频图像数据的目的。设计中采用 FPGA 内嵌的块存储, 在千兆 MAC 核内设计同步 FIFO, 利用 Verilog 硬件描述语言, 在 XILINX FPGA 的编辑环境 ISE 中进行了综合, 在 Modelsim 中做了仿真, 结果表明: 读写时钟为 250MHz 时, 能够对 FIFO 正确读写, 产生正确的标志信号, 实现数据缓存的功能。仿真和实际测试结果验证了方案的可行性。

关键词: FIFO; 千兆 MAC; 乒乓操作; Verilog

中图分类号: TN 919.3 **文献标识码:** A **doi:** 10.3969/j.issn.1005-5630.2011.01.014

Design of FIFO in a gigabit MAC based on ping-pong operation

HOU Honglu, DU Juan

(School of Optoelectronic Engineering, Xi'an Technological University, Xi'an 710032, China)

Abstract: A real-time design of a gigabit MAC based on a FPGA chip is proposed to resolve the high-speed image data transmission problems existing in the airborne integration design of a high-frame-rate camera. A gigabit network card composed of an ethernet media access control (MAC) and an external PHY is designed to realize the real-time high-speed transmission of video and image data of the high-frame-rate camera. A synchronous FIFO in the gigabit MAC core is designed using a FPGA-chip-embedded block RAM. The FIFO is designed using the Verilog HDL, synthesized in the ISE design environment of XILINX FPGA and simulated in Modelsim. The results show that the FIFO can be written and read with correct produced flag signals at a writing and reading clock of 250MHz and that the FIFO can realize the function of data cache. The feasibility of the proposal is verified in both simulation and real test.

Key words: FIFO; gigabit MAC; ping-pong operation; Verilog

引 言

高帧频图像数据传输接口直接影响数据传输速率。目前对于高速图像数据传输通常采用两种手段, 一种是 Camerlink 接口, 另一种采用千兆网卡。前一种通过数据采集卡采集数据, 再经过 PCI 总线将数据传输到上位机上^[1], 后一种采用千兆网卡, 千兆网卡虽然已有通用芯片可供选用, 但是与图像采集系统连接, 增加了传输的环节和系统的体积, 不适合于集成一体化系统的需求。针对机载一体化高帧频图像采集记录与传输系统的总体设计方案, 考虑在现场可编程门阵列(field programmable gate array, FPGA)芯片上开发千兆介

* 收稿日期: 2010-08-30

作者简介: 侯宏录(1960-), 男, 陕西扶风人, 教授, 博士, 主要从事光电测试, 信息融合, 复杂系统建模、仿真与评估等方面的研究。

质访问控制器(media access control,MAC),并集成于图像采集与处理的一体化设计方案,千兆MAC通过WISHBONE接口接收数据并将数据缓存发送到下层的物理接口收发器(physical layer devices,PHY),实现前端高帧频相机采集的视频图像传输到网路。为了解决系统接收数据时在MAC中的缓存问题,结合整个系统的特点,提出一种在WISHBONE接口内构造同步先进先出队列(first in first out,FIFO)的方案,以达到对前端高帧频采集系统数据缓存的目的。目前尽管有多种利用异步FIFO来解决数据缓存的文献报道^[2-4],由于方案中的缓存是在WISHBONE接口内构造的,使用的是同一个接口时钟,因此异步FIFO不适合在设计中采用。现设计中同步FIFO采用乒乓操作的方式,基于XILINX V2P FPGA芯片,直接利用芯片内嵌的块存储器来构建,其容量为1kB,位宽为32bit。最后在仿真软件Modelsim中对FIFO的功能进行了仿真,并在XILINX V2P开发板对其功能进行了测试,验证了其可行性。

1 千兆MAC的架构

千兆网卡主要由两部分构成,MAC和PHY。MAC核的设计主要遵循IEEE802.3标准,在FPGA内实现数据链路层的协议。设计利用Verilog硬件描述语言,在XILINX FPGA的编辑环境ISE中进行硬件程序的编写,结合FPGA丰富的逻辑资源和存储资源,最终在FPGA芯片实现MAC的功能,达到千兆传输的目的。MAC核的功能包括数据包的收发,循环冗余码校验,提供介质无关接口(gigabit media independent interface,GMII),支持载波侦听,全双工和半双工工作模式。以太网MAC核主要分为5个子模块,包括WISHBONE接口模块、GMII管理模块、发送模块、接收模块和控制模块,如图1所示。

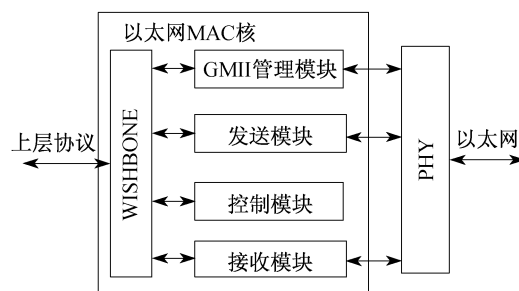


图1 千兆MAC设计框图

Fig. 1 The overall design of the gigabit network card

2 同步FIFO的设计

2.1 FIFO的设计结构

方案中的同步FIFO设计在WISHBONE接口内,在MAC通过WISHBONE接口接收或发送数据时对数据进行缓存,其设计的基本结构如图2所示,由四部分组成:(1)数据的存储模块,即FPGA内嵌的18kbit双端口Block Ram;(2)写地址、写指针的产生逻辑;(3)读地址、读指针的产生逻辑;(4)FIFO读写满空信号的产生逻辑。

图2中双端口随机存储器(random access memory,RAM)利用的是FPGA内嵌的硬件存储器,在XILINX的开发软件ISE10.1中用Verilog硬件描述语言编译时,调用XILINX独有的双端口RAM原语RAM16×1D,它是深度为16,位宽为1bit,且允许同时对存储单元进行读写的同步双端口RAM^[5]。在设计中调用32个RAM16×1D将FIFO的数据位宽扩展到32bit。图2中的we信号是RAM16×1D的写使能信号,而wr,rd分别是千兆MAC中的WISHBONE总线对FIFO的写使能、读使能控制信号。

2.2 FIFO满空标志的确定

如图2所示,FIFO的读写是针对同一个存储RAM的,存储器的状态决定了FIFO读写操作的正确与否,因此,必须产生满信号(full),几乎满(almost_full),空信号(empty)和几乎空(almost_empty)信号来指示存储器的状态。对于同步FIFO,读写指针都指向一个存储的初始位置,每进行一次读写操作,相应的指针就递增一次,指向下一个存储位置。当指针移动到了存储的最后一个位置时,它又重新跳回初始位置。为了保证数据正确的写入或读出,避免出现向上溢出(写指针超过读指针覆盖有效数据)或向下溢出(读指针超过写指针读到无效数据),必须保证FIFO在满的情况下不能进行写操作,空的情况下不能进行读操作。设计中使用比较触发器来比较写指针和读指针的方法来产生满空信号。

读写指针进行累加有两个前提条件,一是读使能或写使能有效,二是空信号或满信号无效。只有这两个条件同时为真时,指针才开始累加,进行FIFO的读或写操作。当读指针和写指针相等也就是指向同

一个内存位置的时候, FIFO 可能处于满或空两种状态。为了准确地判断出 FIFO 所处的状态, 设计中将读写指针分为状态位和地址位两部分。因设计中调用的 RAM $16 \times 1D$ 原语地址为 4bit, 因此设置读写指针为 5bit, RAM 的读写地址为 4bit。在判断满空标志时设置读写指针最高位为状态位, 低四位为地址位。

在进行写操作时, 写地址从初始值随着相应的操作递增, 当地址累加最大值时, 指针由存储的最后位置返回到初始位置, 此时状态位取反; 同理, 进行读操作时, 读指针的地址位累加到最大值时, 读指针的状态位也取反, 如图 3 所示。因此, 当读写指针的地址位和状态位全部相等的时候, 读写指针经历了相同次数的循环累加, 此时可以判断 FIFO 处于空状态, 如图 3 左侧所示; 如果读写指针的地址位相同而状态位相反, 写指针比读指针多循环一次, 此时可以判断 FIFO 处于满状态, 如图 3 右侧所示。

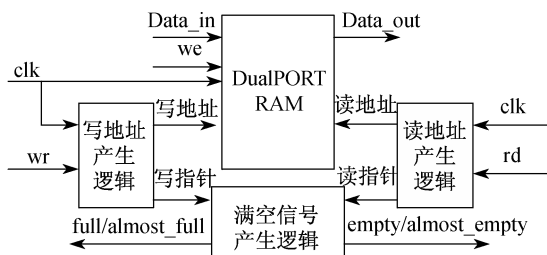


图 2 同步 FIFO 的设计结构

Fig. 2 The design structure of synchronous FIFO

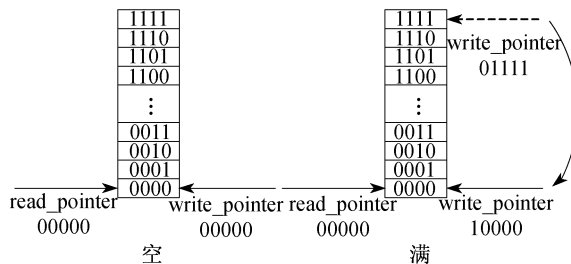


图 3 FIFO 空满状态的判断

Fig. 3 Judgment on FIFO the empty or full state

3 乒乓操作的实现

3.1 乒乓操作原理

乒乓操作是一种用于数据流控制的处理技巧。典型的乒乓操作方法如图 4 所示, 数据缓冲模块可以为任何存储模块^[6], 设计中的 RAM 是双端口 RAM。

乒乓操作的处理流程描述如下: 输入数据流通过输入数据选择单元等时地将数据流分配到两个数据缓冲模块。在第 1 个缓冲周期, 将输入的数据缓存到 RAM1, 在第 2 个缓冲周期, 通过输入数据选择单元的切换, 将输入的数据缓存到 RAM2, 同时, 通过输出数据选择单元的选择, 将 RAM1 缓存的第 1 个周期的数据输出。在第 3 个缓冲周期, 再次切换数据的输入与输出 RAM。如此循环, 直到数据传输结束。

3.2 乒乓操作选择信号产生逻辑

为了达到数据流不间断高速传输的目的, 基于以上同步 FIFO 的设计, 采用了乒乓操作来设计缓存 FIFO, 如何选择 RAM 来分别进行读写操作就成了关键。为了解决这个问题, 设计中用选择信号 sel 来确定读写 RAM。图 4 中的 RAM1 的选择信号为 sel, 而 RAM2 的选择信号为 sel 取反得到。通过 sel 信号的确定, 分别对两个 RAM 进行读或写操作, 这样就避免了同时对两个 RAM 进行读写操作的可能。读操作和写操作全部完成一次, sel 就进行一次变换, 使读 RAM 变成写 RAM, 写 RAM 变成读 RAM。sel 信号变换的条件是 FIFO 的读写指针地址位相同, 并且都指向 0000, 而状态位不同, 逻辑图如图 5 所示。

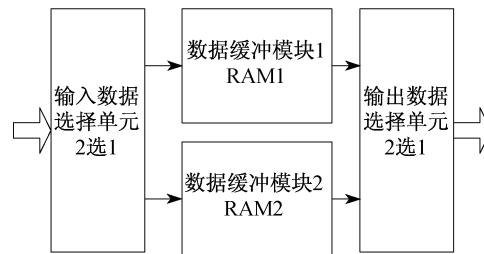


图 4 典型乒乓操作方法框图

Fig. 4 The diagram of typical ping-pong operation

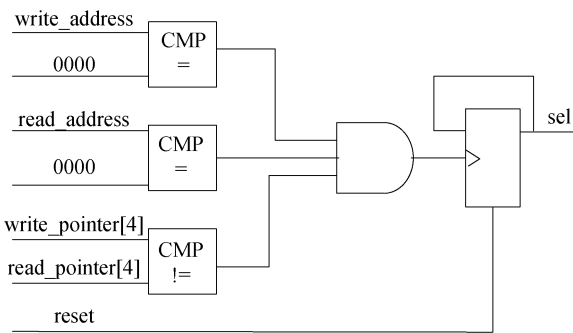


图 5 sel 信号产生的逻辑框图

Fig. 5 Logical diagram of the generation of sel signal

4 Verilog 实现及仿真实验

4.1 仿真条件

基于以上的设计思想,设计了深度为16,宽度为32bit的FIFO,并在XILINX的开发软件ISE10.1中,针对V2P FPGA芯片,利用Verilog硬件描述语言编写各个模块,调用XILINX RAM16×1D原语来构建32bit的RAM。同时,在ISE中针对FIFO的设计文件编写了仿真测试文件,调用Modelsim仿真软件,以flagtest.v文件作为仿真测试环境,仿真时钟周期为4ns,频率为250MHz,对同步FIFO的读写功能进行了仿真。其仿真FIFO的读写时序仿真结果如图6所示。

4.2 仿真结果

从仿真结果图中可以看出,FIFO在数据读写过程中,读写同一地址时数据正确,满信号(full),空信号(empty),几乎空(almost_empty),几乎满(almost_full)及乒乓操作选择信号(sel)均满足设计要求,结果证明设计中的同步FIFO可以实现数据的缓存,满足设计要求。

4.3 仿真结论

FIFO在读写数据频率为250MHz时,读写地址为0X02,读写数据为0X1234abcd,仿真结果表明对同步FIFO的同一地址进行操作,读写数据吻合。同时可以看出,因为采用了乒乓操作,对FIFO的读写操作是可以同时进行的,提高了数据的传输效率。

5 结论

(1)为了实现千兆MAC内部大量视频数据的缓存和不间断的传输功能,提出了一种基于乒乓操作,利用FPGA内部的硬件存储器构建同步FIFO的方法。易于与采集环节构成一体化的高速采集传输方案。实现机载视频摄像机小型化的需求。

(2)采用Verilog硬件描述语言进行了电路设计,并在XILINX的开发软件ISE中进行综合,在Modelsim中进行了仿真,仿真结果表明:读写数据频率为250MHz,读写地址为0X02,读写数据为0X1234abcd,仿真结果表明读写同一地址数据正确。

(3)所提出的千兆MAC数据的缓存与传输方案已在XILINX V2P开发板上进行了验证。通过实际测试表明:在帧频为250Hz下,整个系统的数据传输速率为920Mbit/s,可以满足高帧频相机大容量视频图像数据的实时高速传输要求。

参考文献:

- [1] 杨会玲,王 军,杨会伟.高帧频CMOS实时图像采集系统设计[J].微计算机信息,2008,24(13):309-311.
- [2] 唐 清,费玮玮,蔡惠智.基于FPGA的高速异步FIFO的设计与实现[J].微计算机信息(嵌入式与SOC),2009,10(2):6-8.
- [3] 王 淼,宋 晗.异步FIFO的FPGA实现[J].微处理机,2004,8(4):7-9.
- [4] 刘少华,陈明义.基于FPGA的高速海量FIFO的设计[J].信息技术,2009(9):95-97.
- [5] Xilinx Corporation. Virtex-II Pro libraries guide for HDL designs[EB/OL]. [2002-01-01]. http://www.xilinx.com/support/documentation/virtex-ii_pro.htm.
- [6] 王 智,罗新民.基于乒乓操作的异步FIFO设计及VHDL实现[J].电子工程师,2005,6(6):13-16.

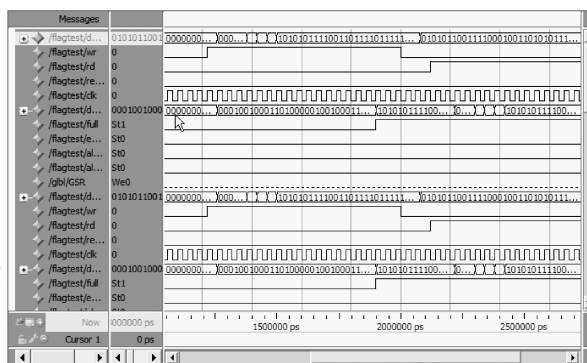


图6 FIFO读写时序仿真结果

Fig. 6 Simulation result of reading and writing timing of FIFO