

DOI: 10.3969/j.issn.1007-5461.2023.05.015

四元量子可逆半加器、全加器和并行加法器 电路的设计

汤其妹

(安徽医科大学网络与信息化管理处, 安徽 合肥 230032)

摘要: 多元量子逻辑比二元量子逻辑具有更多的优点, 是量子计算技术中一个重要的研究领域, 而加法器电路和减法器电路是计算机和其他复杂计算系统中各种计算单元的主要组成部分。提出了一种四元量子可逆半加器电路, 该电路由四元 1-qudit 门、2-qudit Feynman 门和 Muthukrishnan-Stroud 门构成, 以及一种四元量子可逆全加器和四元量子并行加法器电路, 并将所提出设计与现有电路进行了比较, 优化了其性能。

关键词: 量子信息; 可逆逻辑; 四元逻辑; 量子可逆加法器电路

中图分类号: TN91

文献标识码: A

文章编号: 1007-5461(2023)05-00759-11

Design of quaternary quantum reversible half-adder, full-adder and parallel adder circuits

TANG Qimei

(Network and Information Management Office, Anhui Medical University, Hefei 230032, China)

Abstract: Multiple valued quantum logic has more advantages than binary quantum logic and is a promising research area in quantum computing technology. Adder circuits, as well as subtractor circuits, are the major components of various computational units in computers and other complex computational systems. A quaternary quantum reversible half-adder circuit is put forward, which consists of quaternary 1-qudit gates, 2-qudit Feynman gates and Muthukrishnan-Stroud gates, as well as a quaternary quantum reversible full adder and a quaternary quantum parallel adder circuit. The proposed designs are compared with the existing designs and the improvements on the performance of the proposed circuits are reported.

Key words: quantum information; reversible logic; quaternary logic; quantum reversible adder circuits

0 引言

能量耗散是硬件设计中的一个重要方面。Landauer^[1]已经证明, 对于逻辑计算中丢失的每一位信息, 能量耗散量至少为 $KT\ln 2$ J, 其中 K 是玻耳兹曼常数, T 是执行计算时的绝对温度。Bennett^[2]指出, 对于量子电路, 要耗散零能量, 计算必须是信息无损或可逆的。如果输出向量和输入向量之间存在一一对应的关系, 则

基金项目: 安徽医科大学校科研基金 (2020xkj113)

作者简介: 汤其妹 (1991 -), 女, 安徽舒城人, 硕士, 主要从事量子可逆计算、信息安全等方面的研究。E-mail: tangqimei@ahmu.edu.cn

收稿日期: 2021-10-11; 修改日期: 2022-01-10

*通信作者。

门是可逆的。此外,在可逆逻辑设计中不允许扇出和反馈^[3-5],量子信息本质上是可逆的^[6,7]。

量子技术研究中,多元量子逻辑因比二进制量子逻辑有更多优点而得到关注,例如其量子密码的安全性更好^[8,9]、量子信息处理更强大^[10]、功耗更低、容错性更高^[11]。三元和四元量子逻辑都是多元量子逻辑,文献 [12-22] 介绍了基于三元量子逻辑的重要工作,其局限性在于经典的二元逻辑函数不能很容易地用三元基来表示,因此所提出的方法只适用于三元逻辑函数。四元量子逻辑是一种很有前途的技术,经典的四元逻辑函数是通过将2个量子位组合成四元量子值来表示的^[23],文献 [24-33] 描述了设计四元量子组合电路的一些工作,利用离子阱量子技术可以实现四元量子电路^[21,34]。加法器电路是其他算术运算的基础,文献 [35-43] 研究了基于量子可逆逻辑的加法器电路,能较好地完成加法器功能,但电路的性能均有待提升。

评价可逆电路性能的指标主要包括量子代价^[44]、硬件复杂度、恒定输入数、垃圾输出数,这些重要参数的最小化可以使四元量子可逆逻辑设计具有更高的效率。本文简要介绍了四元量子逻辑的概念、四元 Galois Field 逻辑和用于构建加法器电路的四元量子门,详细阐述了所提出的加法器电路设计,并将提出的设计与现有加法器进行了比较。

1 四元量子逻辑

在四元量子系统中,存储信息的单位称为 qudit,其四种可能的状态为 $|0\rangle$ 、 $|1\rangle$ 、 $|2\rangle$ 和 $|3\rangle$,可以由 4×1 向量表示为

$$|0\rangle = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix}, |1\rangle = \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix}, |2\rangle = \begin{bmatrix} 0 \\ 0 \\ 1 \\ 0 \end{bmatrix}, |3\rangle = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix}. \quad (1)$$

Qudits 存在于基态的线性叠加态中,叠加态用 ψ 表示。在四元量子逻辑中, $\psi = \alpha|0\rangle + \beta|1\rangle + \gamma|2\rangle + \delta|3\rangle$,其中 α 、 β 、 γ 、 δ 是复数。状态 $|0\rangle$ 、 $|1\rangle$ 、 $|2\rangle$ 、 $|3\rangle$ 发生的概率度量分别为 $|\alpha|^2$ 、 $|\beta|^2$ 、 $|\gamma|^2$ 、 $|\delta|^2$,且 $|\alpha|^2 + |\beta|^2 + |\gamma|^2 + |\delta|^2 = 1$ 。

通常,一个 N -qudit 系统表示 4^N 个不同计算基态, N 代表多元量子单元的指数。这些基态可用 $|000\dots 0\rangle$, $|000\dots 1\rangle, \dots, |333\dots 3\rangle$ 来描述, N -qudit 系统的所有可能状态均由 N qudit 的张力表示^[6]。

1.1 四元 Galois Field 逻辑

四元 Galois Field 4 (GF4) 由一组元素 $T = \{0, 1, 2, 3\}$ 和两个基本的二进制运算组成。二进制运算是加法模4和乘法模4,此外,这些二进制运算是交换的和结合的,乘法运算是分配给加法运算的。

1.2 四元 1-qudit 量子

四元 1-qudit 量子有 $4! = 24$ 个可能排列的 0、1、2 和 3,可以由 4×4 单矩阵表示。每一个四元 1-qudit 单体排列转换都可以用量子技术构建为一个四元 1-qudit 门^[34]。四元 1-qudit 门的符号表示如图 2 所示,输入是 A ,输出是 P ,其中 P 等于 A 的 Z 变换,其真值表如表 1 所示。

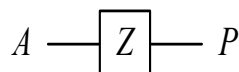


图1 四元 1-qudit 门符号表示

Fig. 1 Symbolic representation of quaternary 1-qudit gate

表 1 四元 1-qudit 门真值表

Table 1 Truth table of quaternion 1-qudit gate

A	Z(+0)=A	Z(+1)=A+1	Z(+2)=A+2	Z(+3)=A+3	Z(123)=2A	Z(013)=2A+1
0	0	1	2	3	0	1
1	1	0	3	2	2	3
2	2	3	0	1	3	2
3	3	2	1	0	1	0
A	Z(021)=2A+2	Z(032)=2A+3	Z(132)=3A	Z(012)=3A+1	Z(023)=3A+2	Z(031)=3A+3
0	2	3	0	1	2	3
1	0	1	3	2	1	0
2	1	0	1	0	3	2
3	3	2	2	3	0	1
A	Z(23)=A ²	Z(01)=A ² +1	Z(0213)=A ² +2	Z(0312)=A ² +3	Z(12)=2A ²	Z(0132)=2A ² +1
0	0	1	2	3	0	1
1	1	0	3	2	2	3
2	3	2	1	0	1	0
3	2	3	0	1	3	2
A	Z(0231)=2A ² +2	Z(03)=2A ² +3	Z(13)=3A ²	Z(0123)=3A ² +1	Z(02)=3A ² +2	Z(0321)=3A ² +3
0	2	3	0	1	2	3
1	0	1	3	2	1	0
2	3	2	2	3	0	1
3	1	0	1	0	3	2

每个门都有相应的自反门,用于恢复输入信号。如果两个四元 1-qudit 门 x 和 y 在级联中导致 x 的输入信号在 y 的输出端恢复,则 y 被称为 x 的逆门。在四元量子门中, $Z(+1)$ 、 $Z(+2)$ 、 $Z(+3)$ 、 $Z(23)$ 、 $Z(01)$ 、 $Z(12)$ 、 $Z(03)$ 、 $Z(13)$ 和 $Z(02)$ 是自反门。

1.3 四元 2-qudit Muthukrishnan - Stroud 门

Muthukrishnan 和 Stroud^[34] 提出了一系列 2-qudit 门, 四元 2-qudit Muthukrishnan-Stroud (M-S) 门的符号表示如图 2, 其中 A 是控制输入, B 是受控输入, 输出 $P = A$, 如果输入 $A = 3$, 则输出 Q 等于 B 的 Z 变换。

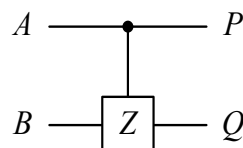


图 2 四元 2-qudit M-S 门符号表示

Fig. 2 Symbolic representation of quaternary 2-qudit M-S gate

1.4 四元 2-qudit Feynman 门

Khan^[45] 提出四元 2-qudit Feynman 门, 图 3(a) 是其符号表示, A 和 B 是输入, 输出 $P = A$, 输出 $Q = A \oplus B$ 。使用四元 2-qudit M-S 门和 1-qudit 门实现 Feynman 门, 如图 3(b) 所示, 当输入 $A = 0$ 时, 所有的 1-qudit 门都不会是 3, 也不会对 B 进行转换; 如果输入 $A = 1$, 那么第一个 1-qudit 门将是 3, 并且对 B 应用 +1 变换; 如果输入 $A = 2$, 则第二个 1 qudit 门将为 3, 并应用 +2 变换; 当输入 $A = 3$ 时, 第三个 1-qudit 门将为 3, 并应用 +3 变换。

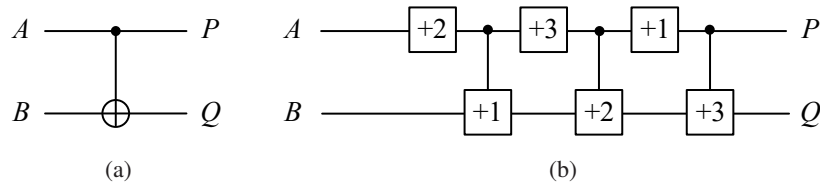


图3 四元量子Feynman门。(a) 四元2-qudit Feynman门符号表示; (b) 四元2-qudit Feynman门设计

Fig. 3 Quaternary quantum Feynman gate. (a) Symbolic representation of quaternary 2-qudit Feynman gate; (b) Design of quaternary 2-qudit Feynman gate

2 四元可逆加法器电路设计

2.1 四元可逆半加法器电路设计

半加法器电路是一种用于两个数相加的组合运算电路。四元半加法器电路将两个四进制数作为输入, 相加产生和以及进位作为输出。四元半加法器的真值表如表4所示, 其中 A、B 为输入变量, C、S 为输出变量。

表2 四元半加法器真值表

Table 2 Truth table of quaternary half adder

AB	CS
00	00
01	01
02	02
03	03
10	01
11	02
12	03
13	10
20	02
21	03
22	10
23	11
30	03
31	10
32	11
33	12

根据表2, 对于

$$C = A^1 B^3 + A^2 B^2 + A^2 B^3 + A^3 B^1 + A^3 B^2 + A^3 B^3 \quad (2)$$

所示的六种输入组合, 进位输出的值为1; 对于其余的输入组合, 进位输出的值为0。

如果为了构造四元半加法器电路的输出进位, 将真值表分为四部分, 则在第一部分中, 对于所有的输入组合, 输入 $A = 0$, 输出进位

$$C0 = 0. \quad (3)$$

在第二部分中, 输入 $A = 1$, 当输入 $B = 3$ 时, 输出进位

$$C1 = A^1 B^3, \tag{4}$$

可知 $C1 = 1$; 对于其余的输入组合, $C1 = 0$ 。该部分的电路如图 4(a) 所示, 图中虚线框内的三个门是最左边三个门的反向门, 用于恢复输入。使用了 2 个四元 1-qudit 门和 5 个四元 2-qudit M-S 门, 因此这部分的量子代价为 7, 硬件复杂度为 $2\varepsilon + 5\gamma$ 。所提出半加法器电路的第二部分四元进位输出的符号如图 4(b) 所示。

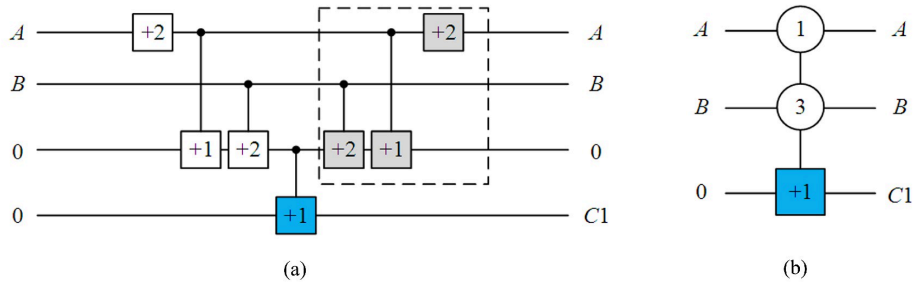


图 4 提出的四元半加法器电路进位输出第一部分。(a) 进位输出电路; (b) 进位输出电路符号表示

Fig. 4 The first part of quaternary carry output of the proposed half adder circuit.

(a) Realization of the quaternary carry output; (b) Symbolic representation of the quaternary carry output

在第三部分中, 输入 $A = 2$, 当输入 $B = 2$ 或 $B = 3$ 时, 输出进位

$$C2 = A^2 B^2 + A^2 B^3 = A^2(B^2 + B^3), \tag{5}$$

可知 $C2 = 1$, 对于其他输入组合则 $C2 = 0$ 。该部分电路如图 5(a) 所示。用于恢复输入的最左侧五个门的反向门是虚线框中的五个门。使用了 4 个四元 1-qudit 门和 7 个四元 2-qudit M-S 门, 因此这部分的量子代价为 11, 硬件复杂度为 $4\varepsilon + 7\gamma$ 。所提出的四元半加法器电路的这部分四元进位输出的符号如图 5(b) 所示。

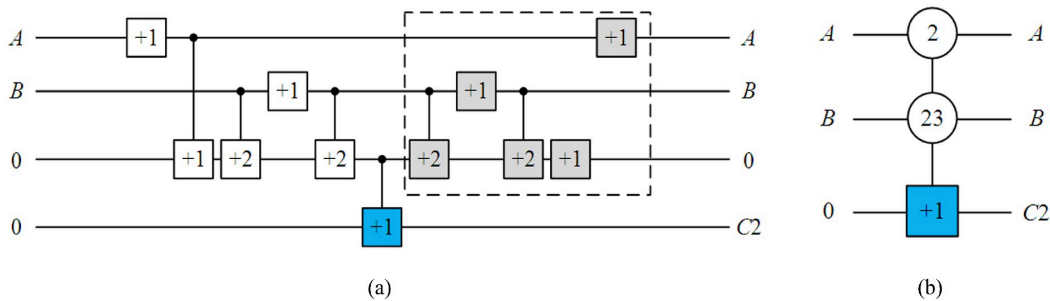


图 5 提出的四元半加法器电路进位输出第二部分。(a) 进位输出电路; (b) 进位输出电路符号表示

Fig. 5 The second part of quaternary carry output of the proposed half adder circuit. (a) Realization of the quaternary carry output;

(b) Symbolic representation of the quaternary carry output

在第四部分中, 输入 $A = 3$, 当输入 $B = 1, 2, 3$ 时, 输出进位

$$C3 = A^3 B^1 + A^3 B^2 + A^3 B^3 = A^3(B^1 + B^2 + B^3), \tag{6}$$

可知 $C3 = 1$; 当 $A = 3, B = 0$ 时, $C3 = 0$ 。该部分的电路如图 6(a) 所示。虚线方框中的六个门是最左边六个门的反向门, 用于恢复输入。使用了 4 个四元 1-qudit 门和 9 个四元 2-qudit M-S 门, 因此这部分的量子代价是 13, 硬件复杂度是 $4\varepsilon + 9\gamma$ 。所提出四元半加法器电路的这部分四元进位输出的符号如图 6(b) 所示。

所提出四元半加法器的输出进位可表示为

$$C(A, B) = C0 + C1 + C2 + C3. \tag{7}$$

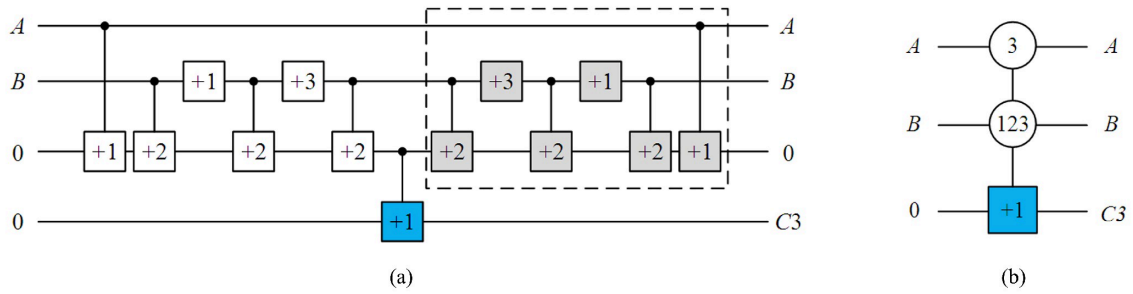


图6 提出的四元半加器电路进位输出第三部分。(a) 四元进位输出电路; (b) 四元进位输出的符号表示

Fig. 6 The third part of quaternary carry output of the proposed half adder circuit. (a) Realization of the quaternary carry output; (b) Symbolic representation of the quaternary carry output

将所提出的电路级联得到半加器电路的进位输出电路, 如图7所示, 使用了10个四元 1-qudit 门和18个四元 M-S 门, 因此, 该电路的总量子代价是28。当输入 AB 为13时, 最左边的 +1 变换应用于第二行, 输入为0 常量, 其余两个 +1 变换。类似地, 当 AB 为22或23时, 仅应用中间的 +1 变换; 当 AB 为31、32或33时, 仅应用最右边的 +1 变换。应注意, 当输入 A 为0时, 不应用变换, 输出进位是0。

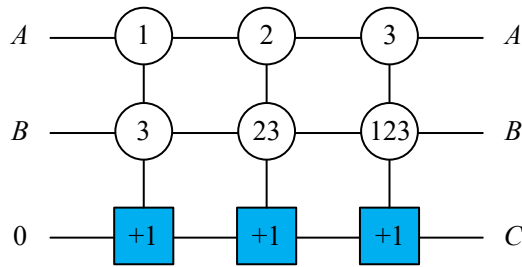


图7 提出的半加器电路进位输出的符号表示

Fig. 7 Symbolic representation of carry output of the proposed half adder circuit

此外, 根据表2, 当输入 $A = 0$ 时, 输出和将等于输入 B 。同样, 当输入 $A = 1$ 时, 输出和将等于 $B + 1$ 。如果输入 $A = 2, 3$, 输出和将分别等于 $B + 2, B + 3$, 其可表示为

$$S(A, B) = A \oplus B. \tag{8}$$

使用四元 Feynman 门来构造四元半加法器电路的输出和, 所提出四元可逆半加器电路的实现如图8所示。目标输出是 S (Sum) 和 C (Carry)。如果输入 A 和 B 等于13、22、23、31、32或33, 则输出 C 为1, 否则输出 C 为0。在该电路中使用了13个 1-qudit 门和24个 M-S 门, 因此其硬件复杂度为 $13\varepsilon + 24\gamma$, 量子代价为37。所提出四元可逆半加法器的符号如图8所示。

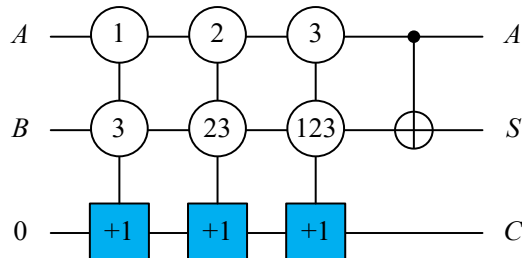


图8 提出的四元量子半加器

Fig. 8 Proposed quaternary quantum half adder

2.2 四元可逆全加器电路设计

四元可逆全加器电路是由 3 个四元 1-qudit 级联的组合电路。所提出四元可逆全加器电路如图 9 所示, 其使用了 2 个四元可逆半加器电路, 第一、二个虚线方框分别显示了前半加器、后半加器, 且分别可表示为

$$S(A, B, C) = A \oplus B \oplus C, \tag{9}$$

$$C(A, B, C) = C(A, B) + C((A \oplus B), C), \tag{10}$$

目标输入是 A 、 B 和 C , 目标输出是 S (Sum) 和 C_{out} (Carry)。使用了 26 个 1 qudit 门和 48 个 Muthukrishnan-Stroud 门。因此, 其硬件复杂度为 $26\varepsilon + 48\gamma$, 量子代价为 74。

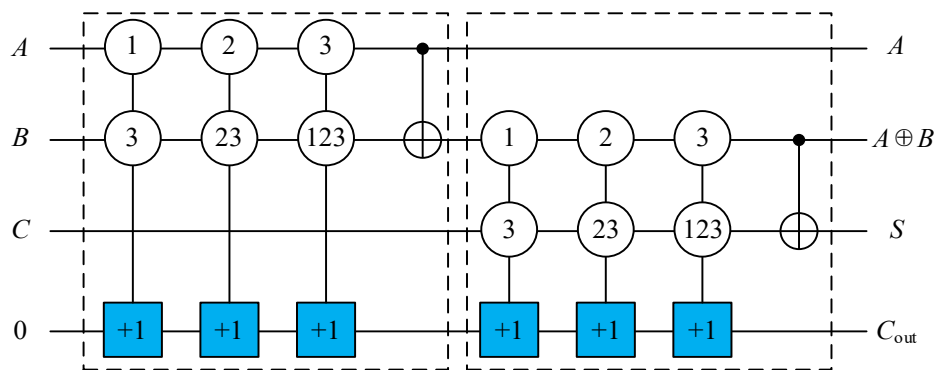


图 9 提出的四元量子全加器

Fig. 9 Proposed quaternary quantum full adder

2.3 四进制可逆并行加法器电路设计

N -qudit 四元并行加法器电路是产生 N 个四进制数之和的组合电路。所提出四元 2-qudit 可逆并行加法器电路如图 10 所示, 其使用了 2 个四元可逆全加器电路, 可分别表示为

$$S(A_0, B_0, C_0) = A_0 \oplus B_0 \oplus C_0, \tag{11}$$

$$S(A_1, B_1, C_1) = A_1 \oplus B_1 \oplus C_1, \tag{12}$$

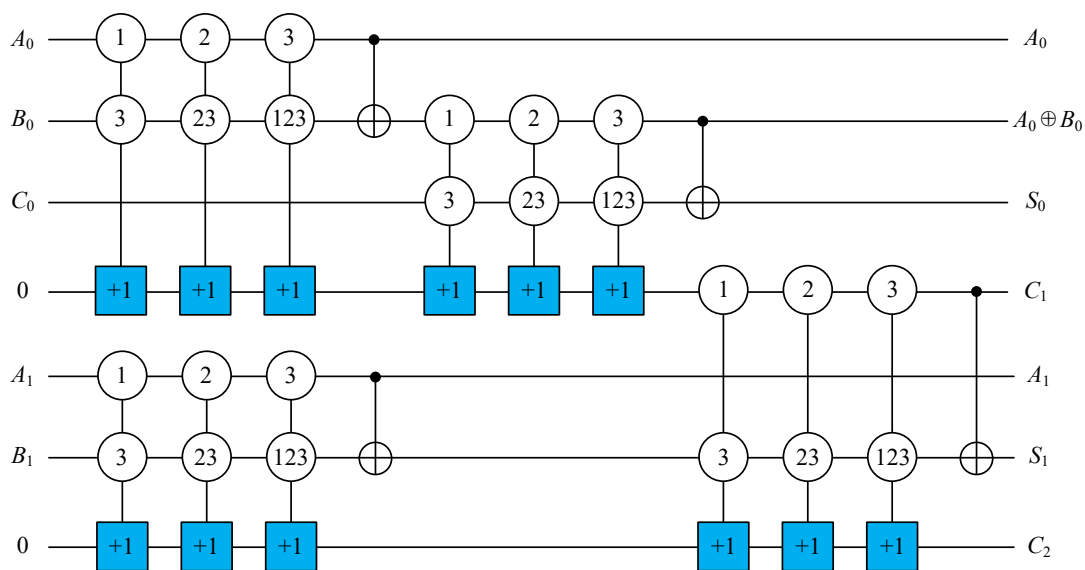


图 10 提出的四元量子并行加法器

Fig. 10 Proposed quaternary quantum parallel adder

$$C(A0, B0, C0) = C(A0, B0) + C((A0 \oplus B0), C0), \quad (13)$$

$$C(A1, B1, C1) = C(A1, B1) + C((A1 \oplus B1), C1), \quad (14)$$

使用了 52 个 1-qudit 门和 96 个 Muthukrishnan-Stroud 门。因此, 该电路的硬件复杂度为 $52\varepsilon + 96\gamma$, 量子代价为 148。

3 结果与比较

表 3~6 分别给出了不同四元可逆加法器电路在硬件复杂度、常量输入、垃圾输出和量子代价方面的比较结果。

表 3 不同四元可逆加法器电路硬件复杂度比较

Table 3 Comparison of hardware complexity of different quaternion reversible adders

Hardware complexity	Half adder	Full adder	Parallel adder
Existing in [39]	$24\varepsilon + 90\gamma$	$64\varepsilon + 240\gamma$	$144\varepsilon + 540\gamma$
Proposed design	$13\varepsilon + 24\gamma$	$26\varepsilon + 48\gamma$	$52\varepsilon + 96\gamma$

表 4 不同四元可逆加法器电路恒定输入比较

Table 4 Comparison of constant input of different quaternion reversible adder circuits

Constant input	Half adder	Full adder	Parallel adder
Existing in [39]	3	6	13
Existing in [40]	4	5	-
Proposed design	2	2	4

表 5 不同四元可逆加法器电路垃圾输出比较

Table 5 Comparison of garbage output of different quaternion reversible adder circuits

Garbage output	Half adder	Full adder	Parallel adder
Existing in [39]	3	7	14
Existing in [40]	4	6	-
Proposed design	2	3	5

表 6 不同四元可逆加法器电路量子代价比较

Table 6 Comparison of quantum costs of different quaternion reversible adder circuits

Quantum cost	Half adder	Full adder	Parallel adder
Existing in [39]	114	304	684
Existing in [40]	46	128	-
Proposed design	37	74	148

与文献 [39, 40] 中的设计相比, 所提出四元可逆加法器电路具有更少的量子代价、更小的硬件复杂度和更少的恒定输入和垃圾输出, 因此, 指标的最小化使可逆逻辑设计的应用更加有效, 本研究所提出加法器电路的性能更优。

4 结 论

提出了四进制可逆加法器电路的新设计, 并与现有设计进行了比较。结果表明, 与现有设计相比, 所提出设计具有较少的恒定输入、垃圾输出、硬件复杂度和量子开销。因此, 所提出四进制加法器电路具有更好的应用性, 其可应用于量子计算机、算术处理器及复杂电路的设计等。

参考文献:

- [1] Landauer R. Irreversibility and heat generation in the computing process [J]. *IBM Journal of Research and Development*, 1961, 5(3): 183-191.
- [2] Bennett C H. Logical reversibility of computation [J]. *IBM Journal of Research and Development*, 1973, 17(6): 525-532.
- [3] Perkowski M, Jozwiak L, Kerntopf P, et al. A general decomposition for reversible logic [OL]. 2001, <https://www.researchgate.net/publication/244956458>.
- [4] Khlopotine A B, Perkowski M A, Kerntopf P. Reversible logic synthesis by iterative compositions [OL]. 2002, <https://www.researchgate.net/publication/221367883>.
- [5] Babu H M H, Chowdhury A R. Design of a reversible binary coded decimal adder by using reversible 4-bit parallel adder [C]. *18th International Conference on VLSI Design Held Jointly with 4th International Conference on Embedded Systems Design*, Kolkata, India, 2005: 255-260.
- [6] Nielsen M A, Chuang I L. *Quantum Computation and Quantum Information* [M]. Cambridge: Cambridge University Press, 2000: 5-8.
- [7] Satsangi S, Patvardhan C. Enhanced quantum inspired evolutionary algorithm for automatic synthesis of reversible circuits [J]. *International Journal of Engineering Technology Science and Research*, 2016, 3(1): 34-45.
- [8] Bechmann-Pasquinucci H, Peres A. Quantum cryptography with 3-state systems [J]. *Physical Review Letters*, 2000, 85(15): 3313-3316.
- [9] Bourennane M, Karlsson A, Björk G. Quantum key distribution using multilevel encoding [J]. *Physical Review A*, 2001, 64(1): 012306.
- [10] Greentree A D, Schirmer S G, Green F, et al. Maximizing the Hilbert space for a finite number of distinguishable quantum states [J]. *Physical Review Letters*, 2004, 92(9): 097901.
- [11] Miller D M, Thornton M A. Multiple valued logic: Concepts and representations [J]. *Synthesis Lectures on Digital Circuits and Systems*, 2007, 2(1): 1-127.
- [12] Curtis E, Perkowski M. A transformation based algorithm for ternary reversible logic synthesis using universally controlled ternary gates [OL]. 2004, <https://www.researchgate.net/publication/228730055>.
- [13] Zadeh R P, Haghparast M. A new reversible/quantum ternary comparator [J]. *Australian Journal of Basic and Applied Sciences*, 2011, 5(12): 2348-2355.
- [14] Khan M H A, Perkowski M A, Khan M R, et al. Ternary GFSOP minimization using kronecker decision diagrams and their synthesis with quantum cascades [J]. *Journal of Multiple-Valued Logic and Soft Computing*, 2005, 11(5/6): 567-602.
- [15] Khan M H A, Perkowski M A, Khan M R. Ternary Galois field expansions for reversible logic and Kronecker decision diagrams for ternary GFSOP minimization [C]. *Proceedings of 34th International Symposium on Multiple-Valued Logic*, 2004, Toronto, Ontario, Canada, *IEEE*, 2004: 58-67.

- [16] Khan M H, Perkowski M. Quantum realization of ternary encoder and decoder [J]. *Representations and Methodology of Future Computing Technologies*, 2005, 9.
- [17] Khan M H. Quantum ternary multiplexer and demultiplexer [J]. *Engineering Letters*, 2006, 13(2): 65-69.
- [18] Monfared A T, Haghparast M. Design of new quantum/reversible ternary subtractor circuits [J]. *Journal of Circuits, Systems and Computers*, 2016, 25(2): 1650014.
- [19] Monfared A T, Haghparast M. Novel design of quantum/reversible ternary comparator circuits [J]. *Journal of Computational and Theoretical Nanoscience*, 2015, 12(12): 5670-5673.
- [20] Houshmand P, Haghparast M. Design of a novel quantum reversible ternary up-counter [J]. *International Journal of Quantum Information*, 2015, 13(5): 1550038.
- [21] Haghparast M, Wille R, Monfared A T. Towards quantum reversible ternary coded decimal adder [J]. *Quantum Information Processing*, 2017, 16(11): 284.
- [22] Monfared A T, Haghparast M. Designing new ternary reversible subtractor circuits [J]. *Microprocessors and Microsystems*, 2017, 53: 51-56.
- [23] Khan M H A, Perkowski M A. GF(4) based synthesis of quaternary reversible/quantum logic circuits [C]. *37th International Symposium on Multiple-Valued Logic*, Oslo, Norway, IEEE, 2007.
- [24] Khan M H A. Reversible realization of quaternary decoder, multiplexer, and demultiplexer circuits [C]. *38th International Symposium on Multiple Valued Logic*, Dallas, TX, USA, IEEE, 2008: 208-213.
- [25] Jahangir I, Das A. On the design of quaternary comparators [C]. *2010 13th International Conference on Computer and Information Technology (ICCIT)*, Dhaka, Bangladesh, IEEE, 2010.
- [26] Khan M H A. Synthesis of quaternary reversible/quantum comparators [J]. *Journal of Systems Architecture*, 2008, 54(10): 977-982.
- [27] Khan M M M, Biswas A K, Chowdhury S, *et al.* Quantum realization of some quaternary circuits [C]. *TENCON 2008 - 2008 IEEE Region 10 Conference*. November 19-21, Hyderabad, India, IEEE, 2008.
- [28] Khan M H A. Scalable architectures for design of reversible quaternary multiplexer and demultiplexer circuits [C]. *2009 39th International Symposium on Multiple-Valued Logic*, Naha, Japan, IEEE, 2009: 343-348.
- [29] Khan M H A, Thapliyal H. Reversible logic based mapping of quaternary sequential circuits using QGFSOP expression [C]. *2015 IEEE Computer Society Annual Symposium on VLSI*, 2015.
- [30] Meena J K, Jain S C, Gupta H, *et al.* Synthesis of balanced quaternary reversible logic circuit [C]. *2015 International Conference on Circuits, Power and Computing Technologies*, 2015, Nagercoil, India, IEEE, 2015: 1-6.
- [31] Haghparast M, Monfared A T. Designing novel quaternary quantum reversible subtractor circuits [J]. *International Journal of Theoretical Physics*, 2018, 57(1): 226-237.
- [32] Haghparast M, Dousttalab N. Design of new reversible quaternary flip-flops [J]. *International Journal of Quantum Information*, 2017, 15(4): 1750024.
- [33] Haghparast M, Monfared A T. Novel quaternary quantum decoder, multiplexer and demultiplexer circuits [J]. *International Journal of Theoretical Physics*, 2017, 56(5): 1694-1707.
- [34] Muthukrishnan A, Stroud C R. Multivalued logic gates for quantum computation [J]. *Physical Review A*, 2000, 62(5): 052309.
- [35] Thapliyal H. *Mapping of Subtractor and Adder-subtractor Circuits on Reversible Quantum Gates* [M]. *Transactions on Computational Science XXVII*. Berlin, Heidelberg: Springer, 2016: 10-34.
- [36] Monfared A T, Haghparast M. Design of novel quantum/reversible ternary adder circuits [J]. *International Journal of Electronics Letters*, 2017, 5(2): 149-157.

- [37] Haghparast M, Bolhassani A. Optimized parity preserving quantum reversible full adder/subtractor [J]. *International Journal of Quantum Information*, 2016, 14(3): 1650019.
- [38] Bose A, Babu H M H. Optimized designs of reversible fault tolerant BCD adder and fault tolerant reversible carry skip BCD adder [C]. *2015 18th International Conference on Computer and Information Technology (ICCIT)*, Dhaka, Bangladesh, IEEE, 2015: 202-207.
- [39] Khan M H. A recursive method for synthesizing quantum/reversible quaternary parallel adder/subtractor with look-ahead carry [J]. *Journal of Systems Architecture*, 2008, 54(12):1113-1121.
- [40] Mandal S B, Chakrabarti A, Sur-Kolay S. A synthesis method for quaternary quantum logic circuits [C]. *Progress in VLSI Design and Test*, Berlin, Heidelberg, 2012: 270-280.
- [41] Thapliyal H, Ranganathan N. A new reversible design of BCD adder [C]. *2011 Design, Automation & Test in Europe*, 2011, Grenoble, France, IEEE, 2011: 1-4.
- [42] Burignat S, De Vos A. Test of a majority-based reversible 4 bits ripple-carry adder in adiabatic calculation [C]. *18th International Conference "Mixed Design of Integrated Circuits and Systems*, Gliwice, Poland, 2011: 368-373.
- [43] Mohammadi M, Eshghi M, Haghparast M, *et al.* Design and optimization of reversible BCD adder/subtractor circuit for quantum and nanotechnology based systems [J]. *World Applied Sciences Journal*, 2008, 4(6): 787-792.
- [44] Xu M Q, Guan Z J, Cheng X Y. A universal cascaded method for reversible comparator [J]. *Chinese Journal of Quantum Electronics*, 2014, 31(5): 583-590.
徐明强, 管致锦, 程学云. 一种通用的可逆比较器级联方法 [J]. 量子电子学报, 2014, 31(5): 583-590.
- [45] Khan M H A. Quantum realization of quaternary Feynman and toffoli gates [C]. *2006 International Conference on Electrical and Computer Engineering*, Dhaka, Bangladesh, IEEE, 2006: 157-160.