

DOI: 10.3969/j.issn.1007-5461.2023.04.015

面向可靠性的CNOT量子线路最近邻综合

朱明强, 申文杰, 牛义仁, 张超, 程学云*, 管致锦, 陈亮

(南通大学信息科学技术学院, 江苏 南通 226019)

摘要: 在噪声中等规模量子 (NISQ) 设备上, 量子线路可靠性受到量子噪声的影响。为了实现CNOT量子线路在量子芯片上高效可靠的执行, 以相邻量子位交互错误率为权重, 给出了计算最小Steiner噪声路径长度的代价度量方法, 提出了噪声感知的CNOT量子线路最近邻综合算法。实验结果表明, 与现有方法相比, 所提出的综合算法在保证线路可靠性的前提下, 有效地降低了综合过程中所使用CNOT门的数量, CNOT门代价的平均优化率达到27.7%, 其中200门级的CNOT量子线路优化率达到了93.79%。

关键词: 量子计算; CNOT量子线路; Steiner树; 噪声; 可靠性

中图分类号: TP302.2 文献标识码: A 文章编号: 1007-5461(2023)04-00560-10

Reliability-oriented nearest neighbor synthesis of CNOT quantum circuits

ZHU Mingqiang, SHEN Wenjie, NIU Yiren, ZHANG Chao,
CHENG Xueyun*, GUAN Zhijin, CHEN Liang

(School of Information Science and Technology, Nantong University, Nantong 226019, China)

Abstract: In noisy intermediate-scale quantum (NISQ) devices, the reliability of quantum circuits is affected by quantum noise. In order to realize the efficient and reliable execution of controlled-NOT (CNOT) quantum circuit on a quantum chip, a cost measurement method for calculating the minimum Steiner noise path length is presented, taking the interaction error rate of adjacent qubits as the weight. Then based on this method, a noise-aware nearest neighbor synthesis algorithm for CNOT quantum circuits is proposed. The experimental results show that, compared with the existing methods, the proposed algorithm can effectively reduce the number of CNOT gates used in the synthesis process on the premise of ensuring the reliability of the circuit. The average optimization rate of CNOT gate cost reaches 27.7%, and the optimization rate of 200-gate CNOT quantum circuits reaches 93.79%.

Key words: quantum computation; CNOT quantum circuits; Steiner tree; noise; reliability

基金项目: 国家自然科学基金 (62072259), 江苏省研究生科研与实践创新计划项目(SJCX21_1448)

作者简介: 朱明强 (1996 -), 江苏南通人, 研究生, 主要从事物理受限的CNOT量子线路综合方面的研究。E-mail: zhu_mqiang@163.com.

导师简介: 程学云 (1978 -), 女, 江苏南通人, 副教授, 硕士生导师, 主要从事可逆计算和可逆线路优化方面的研究。E-mail: chen.xy@ntu.edu.cn

收稿日期: 2021-05-14; 修改日期: 2021-06-15

*通信作者。

0 引言

随着噪声中等规模量子(NISQ)时代的到来,量子计算机可以执行超越当前经典计算机能力范围的任务^[1]。由于量子计算在因式分解^[2]、数据库搜索^[3]、量子模拟^[4]等应用中有很大学术潜力,近年来其已成为非常重要的研究领域之一。IBM、英特尔和谷歌已经分别发布了65、49和72量子比特的量子计算机^[5,6],促进了量子计算的发展。

当前主流的技术如超导^[7]、离子阱^[8]等对量子位交互施加了连接限制。在量子线路综合时需要考虑量子比特之间严格的内在约束,如相互作用距离、退相干性等,这些约束条件要求在量子线路综合时考虑最近邻(NN)约束。CNOT量子线路是量子计算机实现量子算法的基本线路,研究CNOT量子线路的综合对量子线路在实际量子芯片上的可靠运行非常重要^[9]。文献[10]将CNOT量子线路表示为布尔矩阵,提出了一种基于高斯消元和LU分解的CNOT量子线路综合算法。文献[11]通过遗传算法找到较好的初始映射,然后利用高斯消元实现CNOT量子线路的综合。

目前绝大多数CNOT量子线路的最近邻综合研究只考虑了量子位之间是否近邻,主要通过直接法^[12]或启发式方法^[13]插入SWAP门来实现线路近邻,忽略了实际量子芯片上其他的物理约束。文献[14]考虑了相邻量子位交互错误率的噪声因素,并给出了映射方法,但仍是基于插入SWAP门来实现线路近邻,在减小CNOT门代价方面仍有改进空间。因此,本文提出了一种噪声感知的CNOT量子线路最近邻综合方法,将量子位之间的CNOT错误率作为实际体系结构下二维拓扑图的权值,给出了计算最小Steiner噪声路径的代价函数。该方法可以在保证线路可靠性的前提下,减少CNOT量子线路最近邻综合过程中使用的CNOT门数量。实验结果表明所提方法的平均优化率达到27.7%,最大优化率达到93.79%。

1 基本概念

1.1 CNOT量子线路

在经典计算机中,最基本的单元是bit,即"0"和"1"这两个有确定性状态的基本信息单元。在量子计算机中,最基本的单元是量子比特(Qubit),它不仅存在于状态 $|0\rangle$ 或 $|1\rangle$,也可以存在于这两个状态线性组合的中间状态上,这种状态称为叠加态,可以表示为 $|\Psi\rangle = \alpha|0\rangle + \beta|1\rangle$,其中 α 和 β 是复数,并且满足条件 $|\alpha|^2 + |\beta|^2 = 1$ 。

量子门是应用在量子位上的幺正操作,用于修改量子位状态。用符号表示量子门时, \bullet 表示控制位, \oplus 表示目标位。一个量子位上应用一个单量子位门,CNOT门是一个双量子位的操作,它会通过控制位的状态值决定目标位的值是否进行取反操作。如图1所示,在线性结构下, a 是控制位量子比特, b 是目标位量子比特,记为CNOT(a, b),输出 $b' = b \oplus a$,式中 \oplus 表示异或运算。如果控制位输入1,则目标位上的输出值取反,否则输出值保持不变。如果控制位和目标位的位置相邻,则称为最近邻CNOT门。

量子线路是量子算法的一种表示,其中每一行代表一个量子比特,通过这些行上的一组门的操作表示量子算法。如果量子线路仅由CNOT门级联而成,则称为CNOT量子线路。图2显示了具有3个CNOT门的CNOT量子线路,CNOT量子线路中CNOT门的数量称为CNOT量子线路的长度。

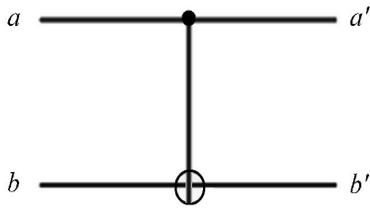


图1 CNOT 门

Fig. 1 CNOT gate

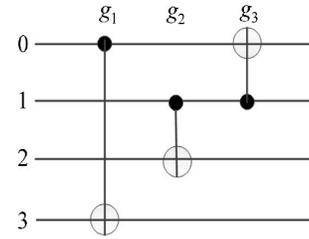


图2 CNOT 线路

Fig. 2 CNOT circuit

1.2 布尔矩阵

CNOT 门可以由布尔矩阵表示^[5]。矩阵阶数对应量子位的位数, 矩阵的每一行代表一个量子位, 每一列代表一个输入变量。就某一列而言, 当存在以当前列量子位为控制位的输入变量时, 目标位所在行为1, 否则为0。表1为图1所示CNOT门的布尔矩阵, 其输入为单位矩阵, 输出为CNOT门对应的矩阵。

表1 CNOT 门的布尔矩阵表示

Table 1 Boolean matrix representation of a CNOT gate

Line	Identity matrix	Boolean matrix
a	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$
b		

对于任意一个在 n 量子位体系结构下的 CNOT 门, 在变量域 $\{x_1, x_2, \dots, x_i, \dots, x_j, \dots, x_n\}$ 中, x_i 是控制位, x_j 是目标位, 则对应的 $n \times n$ 布尔矩阵为: 除主对角线外, 第 j 行的第 i 列元素为1, 其余元素为0, 这种矩阵称为基本矩阵。图2所示CNOT量子线路的布尔矩阵是从

$$\begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 1 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 \\ 1 & 0 & 0 & 1 \end{bmatrix} \quad (1)$$

中得出的, 此式是线路中每个CNOT门的布尔矩阵的逆积。该过程等同于从单位矩阵开始, 将每个CNOT门对应的矩阵依次左乘当前矩阵。例如, 应用第一个门 g_1 时, 将当前矩阵中控制量子位所在的第1行与目标量子位所在的第4行对应元素一一执行异或操作, 就可以得到 g_1 门作用后的布尔矩阵。

2 噪声感知的CNOT量子线路最近邻综合

2.1 量子噪声

经典计算机利用晶体管实现设备的运行, 出错的概率非常小。而量子计算机中使用的是量子比特, 其在相互作用的粒子环境中会失去概率量子行为和存储的信息, 执行量子计算会产生量子退相干或噪声。量子噪声会影响量子算法的执行结果, 使得量子线路可靠性降低。因此, 为了降低退相干等引起的误差, 实现量子计算, 在进行映射时需尽可能考虑实际量子架构上相邻量子位交互错误率。图3是IBM Q官网提供的

ibmq_5_yorktown 架构图, 表 2 是该架构的部分校准参数信息, 其中 CNOT error 表示相邻两个量子位运算的错误率, 且不同量子位之间的 CNOT 错误率并不等价。

表 2 ibmq_5_yorktown 校准数据
Table 2 Calibration data of ibmq_5_yorktown

Qubit	$T_1/\mu\text{s}$	$T_2/\mu\text{s}$	Single-qubit Pauli-X error	CNOT error
Q0	41.17	22.74	2.26×10^{-3}	0_2: 4.18×10^{-2} ; 0_1: 1.123×10^{-2}
Q1	67.13	25.99	1.23×10^{-3}	1_2: 1.018×10^{-2} ; 1_0: 1.123×10^{-2}
Q2	71.89	69.81	4.96×10^{-4}	2_4: 1.463×10^{-2} ; 2_3: 1.118×10^{-2} ; 2_1: 1.018×10^{-2} ; 2_0: 4.18×10^{-2}
Q3	46.73	29.12	4.11×10^{-4}	3_4: 1.429×10^{-2} ; 3_2: 1.118×10^{-2}
Q4	54.5	41.67	6.53×10^{-4}	4_2: 1.463×10^{-2} ; 4_3: 1.429×10^{-2}

注: T_1 、 T_2 为量子位退相干时间, Single-qubit Pauli-X error 是单量子门泡利 X 误差

在量子线路映射过程中感知量子线路的可靠性, 构建可靠的实现量子算法的映射线路, 对于提升量子计算成功率和可映射量子线路规模都有着重要意义。

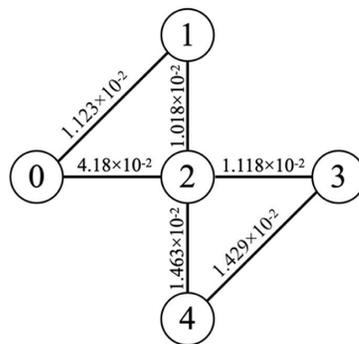


图 3 ibmq_5_yorktown 架构

Fig. 3 ibmq_5_yorktown architecture

2.2 基于 Steiner 树的 CNOT 量子线路最近邻综合

量子线路综合的目的是合成高效的线路去执行所需的量子计算。对 CNOT 量子线路综合而言, 就是要实现物理最近邻线路, 它可以映射为 $n \times n$ 布尔矩阵上的行消除问题, 如高斯消除和 LU 分解^[10]。用布尔矩阵来描述 CNOT 门, 等价于用当前矩阵乘以相应的基本矩阵, 即对当前矩阵执行基本行变换。任意一个可逆布尔矩阵都可以通过应用一系列 CNOT 门转换为恒等矩阵, 在二维拓扑架构上应用 CNOT 门时, 必须考虑最近邻约束。

图 4 为一个根据初始映射更新原始矩阵的示例。CNOT 线路中的 CNOT 门序依次为 CNOT(0, 2)、CNOT(0, 3)、CNOT(1, 4)、CNOT(4, 1)、CNOT(4, 1)。首先, 通过文献[11]提供的遗传算法模型获得逻辑量子位在实际体系结构上的最佳映射, 如图 4(a)所示; 图 4(b)为根据原始线路生成的原始布尔矩阵; 在保证行列对应关系的前提下, 更新原始布尔矩阵获得更好的初始映射布尔矩阵, 如图 4(c)所示。其次, 对矩阵进行综合。先逐列处理矩阵的下三角部分, 从二维拓扑图中抽取对应的 Steiner 树, 利用 Steiner 树消除主对角线元素下方所有值为 1 的元素, 形成上三角矩阵。最后, 在不影响已处理好的下三角部分的情况下, 同样利用

Steiner 树处理上三角矩阵, 消除主对角线元素上方所有值为 1 的元素, 该过程称为二维拓扑图上的最近邻 Steiner 消除 (SR) 方法。此时所有最近邻 CNOT 门的逆序级联就对应于原始矩阵的等价量子线路。

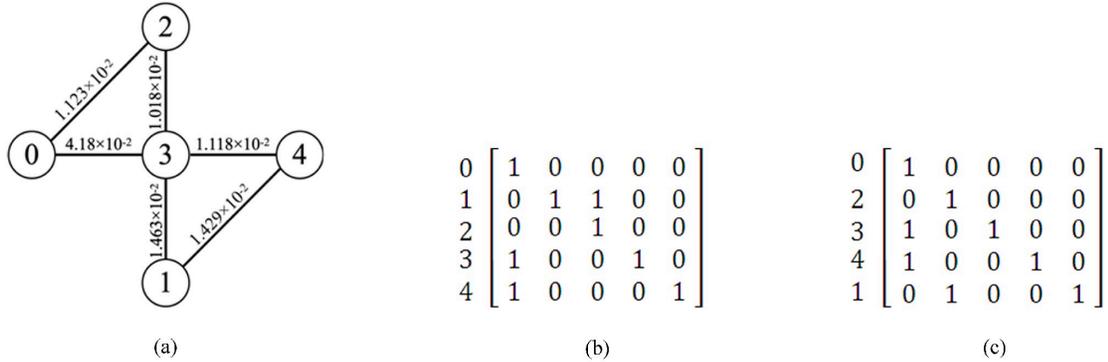


图4 原始布尔矩阵更新示例。(a) 初始映射图; (b) 原始布尔矩阵; (c) 初始映射布尔矩阵

Fig. 4 An example of update the original Boolean matrix. (a) The initial mapping graph; (b) The original Boolean matrix; (c) The initial mapping Boolean matrix

图5 给出了图4(c)中第一列的 Steiner 消除过程。根据第 1 列为 1 的量子位, 在 ibmq_5_yorktown 架构图上找到对应的实际位置, 以对角线所在元素为根, 从图中提取出当前列的 Steiner 树, 如图 5(b) 所示, 该 Steiner 树以量子位 0 为根, 量子位 4 为叶子结点。此时量子位 0 与 3 相邻, 量子位 3 与 4 相邻, 可以将量子位 3 视为传递了量子位 0 的状态 "1"。从矩阵角度而言, 可以不用第 1 行来消第 4 行, 而是直接用第 3 行消第 4 行, 此时既保证了 CNOT 门的近邻约束, 又完成了矩阵的行消除。接着, 由于量子位 0 和 3 也是近邻的, 可以将矩阵的第 1 行异或到第 3 行, 实现第 1 列的 Steiner 消除。

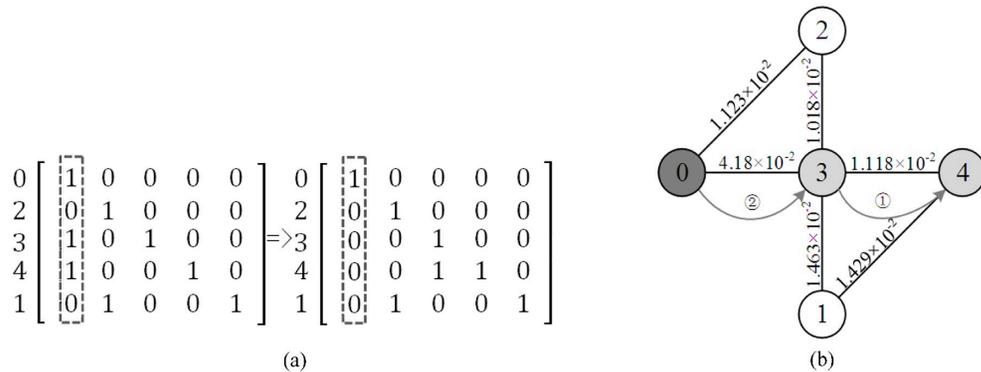


图5 Steiner 消除示例。(a) 布尔矩阵第一列消除过程; (b) Steiner 消除量子位 3 和 4 过程

Fig.5 An example of Steiner-tree elimination. (a) Elimination of the first column of a Boolean matrix; (b) Eliminates qubit 3 and 4 with Steiner-Tree

2.3 含噪声的 CNOT 线路综合算法

根据含噪声的量子体系结构, 提出了一种基于权重查找综合路径的优化方式。利用 IBM Q 提供的 CNOT error 参数, 得到带权量子拓扑结构图, 通过寻找噪声路径长度最低的 Steiner 树, 完成 CNOT 量子线路最近邻综合。

以 CNOT 错误率为权重的拓扑图称为含噪声拓扑图, 通过 Floyd 算法得到当前拓扑图的多源最短路径集合为 $W[i][j]$, 其状态转移方程为

$$W[i][j] = \min \{W[i][j], W[i][k] + W[k][j]\}, \quad (2)$$

式中: $W[i][j]$ 表示顶点*i*到顶点*j*的最短距离, *k*是*i*到*j*之间可能经过的所有中间点。初始状态 $W[0][0]=0$, 根据Floyd算法, 当中间点为*k*时, 对集合中*i*到*j*的路径长度 $W[i][j]$ 进行更新, 对所有可能经过的中间点进行遍历以得到全局最优的最短带权路径。

记多源最短路径集合 $W[i][j]$ 的某一中间状态为 $W_i[i][j]$, 此时顶点*i*到顶点*j*的边对应的CNOT错误率集合为 $\{e_1, e_2, \dots, e_i, \dots, e_n\}$, 则

$$W_i[i][j] = \sum_{i=1}^n e_i. \quad (3)$$

定义1: 根据矩阵当前列中值为1的量子位, 从含噪声拓扑图上得到具有最小噪声路径长度的Steiner树, 称为最小噪声Steiner树, 该Steiner树中结点*i*到结点*j*的路径称为*i*到*j*的最小Steiner噪声路径。

最小Steiner噪声路径长度可以通过查找当前拓扑图的多源最短路径集合 $W[i][j]$ 得到。Steiner树中值为0的非叶子结点称为Steiner点, 用来传递主对角线所在量子位或其他近邻量子位的状态"1"。消去下三角时, 通过子结点将Steiner点置1;消去上三角时, 通过父节点将Steiner点置1。经过Steiner点的路径有着最低的CNOT错误率, 这意味着综合后的CNOT量子线路可以得到更优的可靠性。

下面给出噪声感知的CNOT量子线路最近邻综合算法。

算法1: 噪声感知的CNOT量子线路Steiner消除综合算法(NASR)

输入: 任意CNOT量子线路对应的布尔矩阵 *matrix*, 当前架构名 *architecture*

输出: 近邻化综合中CNOT门的代价 *CNOT_gates*

step1: 获取矩阵的阶数 *N*, 给定当前循环变量 $n=0$, CNOT门代价数 *CNOT_gates* = 0.

step2: 若 $n < N$, 设置Steiner消除方式为向下消除, 标志位 *upper* 为 true, 获取第 *n* 列值为"1"的量子位, 生成向下消除Steiner树, 否则执行step5.

step3: 确定需要被消的叶子结点*j*, 在集合 $W[i][j]$ 中查找满足条件的最小Steiner噪声路径, 获取可以用来消除量子位*j*的量子位*i*.

step4: 完从量子位*i*到*j*的Steiner消除, 矩阵每执行一行异或操作, *CNOT_gates*加1.

4.1: 若 *upper* 为 true, $n++$, 执行step2, 否则执行4.2.

4.2: $n--$, 执行step5.

step5: 若 $n > 0$, 设置Steiner消除方式为向上消除, 标志位 *upper* 为 false, 获取第 *n* 列值为"1"的量子位, 生成向上消除Steiner树, 执行step3.

step6: 输出 *CNOT_gates*, 并存储到 *CNOT_gates.csv* 文件中.

step7: 算法结束.

以图4(c)矩阵所示的CNOT量子线路为例进行CNOT量子线路最近邻综合, 综合过程如表3所示。可以看到, 在考虑噪声因素的情况下, 第1列的Steiner消除和不考虑噪声时的消除过程发生了改变。通过计算含噪声Steiner树的最小Steiner噪声路径长度, 发现路径{0, 2, 3}的噪声代价低于路径{0, 3}, 尽管量子位0和量子位3近邻, 但需选择噪声较低的路径, 故选择路径{0, 2, 3}, 此时量子位2为Steiner点。利用量子位3将量子位2置1, 实现状态"1"的传递, 对应矩阵的第3行异或到第2行; 然后先用量子位3消去量子位4, 对应矩阵的第3行异或到第4行; 再用量子位2消去量子位3, 对应矩阵的第2行异或到第3行; 最后用量子位0消去量子位2, 对应矩阵的第1行异或到第2行, 直到第1列主对角线下方元素为0。处理第2列, 通过算法找到最小Steiner噪声路径{2, 3, 1}, 先用量子位3消去量子位1, 再用量子位2消去量子位3, 对应矩阵先把第3行异或

到第 5 行, 再把第 2 行异或到第 3 行。处理第 3 列, 最小 Steiner 噪声路径为 {3, 4}, 用量子位 3 消去量子位 4, 对应矩阵的第 3 行异或到第 4 行。第 4 列和第 5 列不需要处理。下三角数据处理完成, 原矩阵变为上三角矩阵。

处理上三角时, 只有第 3 列主对角线上存在不为 0 的元素, 直接对第 3 列执行向上的 Steiner 消除, 根据最小 Steiner 噪声路径 {3, 2}, 只需要用量子位 3 消去量子位 2 即可。此时矩阵变成一个对角线元素为 1 的恒等矩阵, 实现当前量子线路的最近邻综合, 综合过程中需要的 CNOT 门数量称为 CNOT 量子线路综合代价。

表 3 CNOT 量子线路最近邻综合过程

Table 3 The nearest neighbor synthesis process of CNOT quantum circuits

No.	Boolean matrix	Elimination processes
1	$\begin{matrix} 0 & 1 & 0 & 0 & 0 & 0 \\ 2 & 0 & 1 & 1 & 0 & 0 \\ 3 & 0 & 1 & 0 & 0 & 0 \\ 4 & 0 & 0 & 1 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 \end{matrix}$	
2	$\begin{matrix} 0 & 1 & 0 & 0 & 0 & 0 \\ 2 & 0 & 1 & 0 & 0 & 0 \\ 3 & 0 & 0 & 1 & 0 & 0 \\ 4 & 0 & 0 & 1 & 1 & 0 \\ 1 & 0 & 0 & 1 & 0 & 1 \end{matrix}$	
3	$\begin{matrix} 0 & 1 & 0 & 0 & 0 & 0 \\ 2 & 0 & 1 & 1 & 0 & 0 \\ 3 & 0 & 0 & 1 & 0 & 0 \\ 4 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{matrix}$	
4	$\begin{matrix} 0 & 1 & 0 & 0 & 0 & 0 \\ 2 & 0 & 1 & 0 & 0 & 0 \\ 3 & 0 & 0 & 1 & 0 & 0 \\ 4 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{matrix}$	

3 实验结果与分析

所提出方法使用Python语言实现,实验环境为macOS Big Sur(11.2.3)操作系统, Intel core i5 7267U@3.1 GHZ双核处理, 16 GB内存。本实验选取文献[11]中提供的5量子位随机CNOT量子线路,为提高实验规模,在已有线路的基础上又进行了门数的拓展,实验的量子线路对应的门级为2、4、5、8、10、15、20、30、40、80、100、200,每种量子门级有20条量子线路。文献[14]给出了一种考虑CNOT错误率插入SWAP门实现CNOT线路近邻的HA方法。在IBM Q的ibmq_5_yorktown架构上使用相同线路分别测试HA方法和本研究提出的方法,实验统计了12种门级下CNOT量子线路最近邻综合过程中噪声路径长度和最近邻CNOT门数,取20条线路的平均值作为每个门级的最终结果。噪声路径长度实验数据对比如表4所示,其中Size表示量子线路中的CNOT门数,Min noise path length为实验得到的噪声路径长度,HA为文献[14]方法得到的实验数据,NASR为本研究所提方法得到的实验数据,Reduction1表示NASR方法相对于HA方法减少的噪声路径长度、Imp1为噪声路径长度优化率。从表4可以看到,NASR方法较文献[14]的方法在减小噪声路径长度上有较大改进,对15个量子门以后的门级(包括15),噪声路径长度都得到了优化,门数越多优化效果越明显,200门级时优化率达到93.10%。实验数据表明,在超过15个门数的CNOT量子线路上,NASR方法以较低的错误率实现了CNOT量子线路的综合,这对提高量子线路的可靠性有很大意义。

表4 噪声路径长度对比
Table 4 Comparison of noise path length

NO.	Size	Min noise path length		Reduction1	Imp1/%
		HA	NASR		
1	2	0.0296	0.0370	-0.0074	-25.11
2	4	0.0577	0.0676	-0.0098	-17.03
3	5	0.0591	0.0786	-0.0196	-33.10
4	8	0.0937	0.1270	-0.0333	-35.60
5	10	0.1097	0.1348	-0.0251	-22.88
6	15	0.1822	0.1518	0.0304	16.68
7	20	0.2246	0.1749	0.0497	22.11
8	30	0.3213	0.1415	0.1798	55.96
9	40	0.4339	0.1593	0.2746	63.29
10	80	0.9204	0.1476	0.7727	83.96
11	100	1.1793	0.1752	1.0041	85.14
12	200	2.3505	0.1622	2.1883	93.10

表5为量子线路综合需要的最近邻CONT门数对比结果,其中Adjacent CNOT gate counts为线路综合需要的最近邻CNOT门数,Reduction2表示NASR方法相对于HA方法减少的CNOT门数,Imp2为CNOT门数优化率。综合表4和表5的实验数据可以看到,与文献[14]方法相比,本研究所提NASR方法通过计算最小Steiner噪声路径长度,在量子线路综合时尽可能减小错误率,提高了量子线路运行结果的正确性,在保证线路可靠性的前提下,减少了量子线路综合时的CNOT门数量。12种门级中有7种实现了优化,平均优化率为27.7%。当CNOT量子线路的门数达到200时,优化率将近94%。

图6为使用NASR方法与文献[14]的方法在同一体系结构上的相同CNOT量子线路实现近邻所需的CNOT门代价对比图。

考虑到所提算法基于 Steiner 树的矩阵综合算法, 与文献 [14] 中直接插入 SWAP 门以实现近邻的算法不同, 在小规模门级时, 利用 Steiner 树来实现最近邻综合的优势不明显, 因此门级为 2、4、5、6、10 的线路综合结果与文献 [14] 接近, 但随着门级的增大, 优化效果越来越好, 200 门级时 CNOT 门优化率为 93.79%。

表 5 相邻 CNOT 门计数对比

Table 5 Comparison of adjacent CNOT gate counts

NO.	Size	Adjacent CNOT gate counts		Reduction2	Imp2/%
		HA	NASR		
1	2	1.65	1.9	-0.25	-15.15
2	4	3.15	3.35	-0.20	-6.35
3	5	3.3	4.05	-0.75	-22.73
4	8	4.65	6.25	-1.60	-34.41
5	10	5.7	6.8	-1.10	-19.30
6	15	9.3	7.7	1.60	17.20
7	20	11.7	8.75	2.95	25.21
8	30	16.8	7.15	9.65	57.44
9	40	23.1	8.1	15.00	64.94
10	80	50.25	7.25	43.00	85.57
11	100	64.8	8.95	55.85	86.19
12	200	130.35	8.1	122.25	93.79

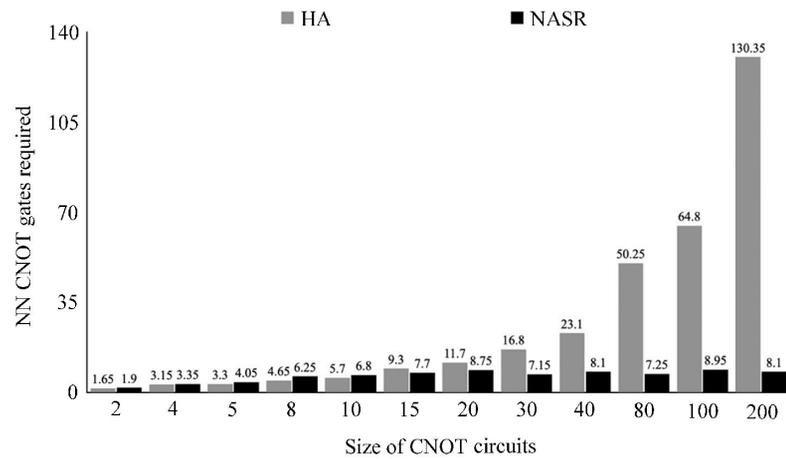


图 6 CNOT 门代价对比

Fig. 6 Comparison of CNOT gate cost

4 结 论

基于以 CNOT 错误率为权重的二维拓扑图, 提出了一种噪声感知的 CNOT 量子线路最近邻综合方法。对任意给定的非近邻 CNOT 量子线路, 在对应的二维拓扑图上通过 Floyd 算法找到噪声路径长度最小的 Steiner 树, 获取最小 Steiner 噪声路径, 以较小的 CNOT 门代价得到满足最近邻约束的等价 CNOT 量子线路。门数代价的降低, 可以在相同噪声的 NISQ 架构上得到更高正确率的等价近邻线路, 优化真实量子计算机的计算能力。所提算法能够在确保线路可靠性的前提下, 减少 CNOT 线路最近邻综合过程中使用的 CNOT 门

数, 提高线路的正确性。未来将进一步将算法适配到更多的实际体系结构中, 同时优化初始映射以及综合算法, 以提高面向实际物理约束的CNOT线路综合的性能。

参考文献:

- [1] Preskill J. Quantum computing in the NISQ era and beyond [J]. *Quantum*, 2018, 2: 79.
- [2] Shor P W. Polynomial-time algorithms for prime factorization and discrete logarithms on a quantum computer [J]. *SIAM Journal on Computing*, 1997, 26(5): 1484-1509.
- [3] Grover L K. A fast quantum mechanical algorithm for database search [C]. *Proceedings of the Twenty-Eighth Annual ACM Symposium on Theory of Computing*, 1996: 212-219.
- [4] Peruzzo A, McClean J, Shadbolt P, *et al.* A variational eigenvalue solver on a photonic quantum processor [J]. *Nature Communications*, 2014, 5(1): 4213.
- [5] Zhu G, Cross A. Hardware-aware approach for fault-tolerant quantum computation [OL]. <https://www.ibm.com/blogs/research/2020/09/hardware-aware-quantum>.
- [6] Hsu J. CES 2018: Intel's 49-qubit chip shoots for quantum supremacy [OL]. <https://spectrum.ieee.org/techtalk/computing/hardware/intels-49qubit-chip-aims-for-quantum-supremacy>.
- [7] Reagor M, Osborn C B, Tezak N, *et al.* Demonstration of universal parametric entangling gates on a multi-qubit lattice [J]. *Science Advances*, 2018, 4(2): eaao3603.
- [8] Ballance C J, Harty T P, Linke N M, *et al.* High-fidelity quantum logic gates using trapped-ion hyperfine qubits [J]. *Physical Review Letters*, 2016, 117(6): 060504.
- [9] Cheng X Y, Guan Z J, Ding W P, *et al.* Linear nearest neighbor quantum circuit synthesis based on valid Boolean matrix [J]. *Chinese Journal of Quantum Electronics*, 2016, 33(6): 743-750.
程学云, 管致锦, 丁卫平, 等. 基于有效布尔矩阵的线性最近邻量子电路综合 [J]. *量子电子学报*, 2016, 33(6): 743-750.
- [10] Patel K N, Markov I L, Hayes J P. Optimal synthesis of linear reversible circuits [J]. *Quantum Information and Computation*, 2008, 8(3&4): 282-294.
- [11] Kissinger A, de Griend A M. CNOT circuit extraction for topologically-constrained quantum memories [J]. *Quantum Information and Computation*, 2020, 20: 581-596.
- [12] Zhu P C, Cheng X Y, Guan Z J. An exact qubit allocation approach for NISQ architectures [J]. *Quantum Information Processing*, 2020, 19(11): 391.
- [13] Zulehner A, Paler A, Wille R. An efficient methodology for mapping quantum circuits to the IBM QX architectures [J]. *IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems*, 2018, 38(7): 1226-1236.
- [14] Niu S Y, Suau A, Staffelbach G, *et al.* A hardware-aware heuristic for the qubit mapping problem in the NISQ era [J]. *IEEE Transactions on Quantum Engineering*, 2020, 1: 1-14.
- [15] Schaeffer B, Perkowski M. Linear reversible circuit synthesis in the linear nearest-neighbor model [C]. *2012 IEEE 42nd International Symposium on Multiple-Valued Logic*, 2012: 157-160.