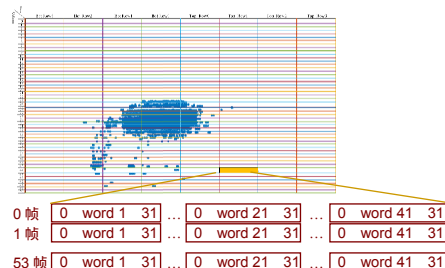




DOI: 10.12086/oe.2019.180549

FPGA 在辐照环境下的故障注入系统研究

薛晓良^{1,2}, 苏海冰^{1*}, 舒怀亮¹, 郭帅¹, 吴威¹¹中国科学院光电技术研究所, 四川 成都 610209;²中国科学院大学, 北京 100049

摘要: 对 Xilinx SRAM 型 FPGA 的配置 RAM 的帧物理组织进行了研究, 给出了提取帧结构的方法, 并给出了比特流中帧的排列顺序; 分析了 SEM IP 核的中间文件的结构并给出了提取必要位的方法, 通过对必要位进行 0/1 翻转, 用以模拟辐照环境下 FPGA 易出现的单粒子翻转问题; 设计了 PC 端界面以实现完整的人机交互。故障注入系统在 FPGA 片上实现, 通过内部 ICAP 接口实现对配置数据的读写, 无需处理器参与。通过对待测电路的必要位逐位进行翻转及修复测试后对每个位进行了分类, 分类结果可用于在后续故障修复中对特殊位进行重点防护。

关键词: SRAM 型 FPGA; 单粒子翻转 SEU; 配置 RAM; ICAP; 故障注入

中图分类号: V302.8

文献标志码: A

引用格式: 薛晓良, 苏海冰, 舒怀亮, 等. FPGA 在辐照环境下的故障注入系统研究[J]. 光电工程, 2019, 46(12): 180549

Research on fault injection system of FPGA in irradiation environment

Xue Xiaoliang^{1,2}, Su Haibing^{1*}, Shu Huailiang¹, Guo Shuai¹, Wu Wei¹¹Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu, Sichuan 610209, China;²University of Chinese Academy of Sciences, Beijing 100049, China

Abstract: This article studied the frame structure of Xilinx FPGA configuration RAM, giving the method of extracting the frame structure and providing the order of frames in the bit stream file. The structure of the intermediate file of SEM IP core is also analyzed to get the positions of essential bits. Performing 0/1 flipping on the essential bits is a way to simulate the single event upset which the circuit is sensitive to under the radiation environment. A PC-side interface is designed to implement a human-machine interaction. The fault injection system is implemented on the FPGA chip, and the read and write of configuration RAM data are realized through ICAP without the need of the processor. The operation of flipping and repairing test classifies essential bits into some categories. The classification results can be used to protect the key bits in subsequent fault repairing.

Keywords: SRAM FPGA; single event upset; configuration RAM; ICAP; fault injection

Citation: Xue X L, Su H B, Shu H L, *et al.* Research on fault injection system of FPGA in irradiation environment[J]. *Opto-Electronic Engineering*, 2019, 46(12): 180549

收稿日期: 2018-10-26; 收到修改稿日期: 2019-01-15

作者简介: 薛晓良(1995-), 女, 硕士, 主要从事航天 FPGA 容错技术方面的研究。E-mail: hixuexiaoliang@hotmail.com

通信作者: 苏海冰(1969-), 男, 博士, 研究员, 主要从事电子学系统设计与仿真测试的研究。E-mail: suhaibing@msn.com

1 引言

SRAM 型 FPGA 由于其成本低、逻辑资源丰富、可重构、开发周期短等优势,越来越多地被应用在航天领域。然而由于 SRAM 型 FPGA 本身的工艺结构特性,其在太空等辐照环境下极易受高能带电粒子撞击而产生单粒子翻转效应(single event upset, SEU),导致 FPGA 中的存储单元发生位翻转。同时由于工艺尺寸的不断缩小和芯片工作频率的不断提升使得 SRAM 型 FPGA 对单粒子问题的敏感性不断提高。SEU 效应对 FPGA 所有片内的存储资源都可能产生影响。这些资源可分为配置 RAM 和用户设计中用到的存储单元如 DRAM、BRAM、触发器等。因配置 RAM 是芯片中数量最多的存储单元,且考虑到配置 RAM 对用户电路逻辑的直接影响,本文的研究对象为配置 RAM^[1-2]。Xilinx 公司每年对于 FPGA 器件所进行的 Rosetta 实验结果表明,其设备的配置 RAM 的单元级故障率在不断降低^[3]。然而,由于设备总存储单元数量的显著提高,设备级故障率依然呈现上升的趋势,严重地制约着 FPGA 在航天领域的应用。因此,有必要对 FPGA 电路进行有效的辐射加固设计,如三模冗余和刷新等。

为了模拟太空的辐射环境,将 FPGA 置于加速器束流下进行辐照,但费用昂贵,试验周期长。因此人为地设计故障注入系统模拟 SEU 效应可以快速低廉地对 FPGA 上的设计进行可靠性测试,其结果对故障修复提供参考信息,评估电路辐射加固设计的有效性。

目前,故障注入大体分为外部故障注入和内部故障注入两种。两者都访问了 FPGA 配置的 RAM,前者通过外部配置接口(JTAG 或 SelectMAP),后者通过内部配置接口(internal configuration access port, ICAP)。对于内部故障注入,一般采用片上内嵌的处理器来辅助实现。从 Virtex-6/Spartan-6 开始,Xilinx 公司提供了一个基于 PicoBlaze 处理器的 SEM(soft error mitigation)IP 核,其功能全面,可实现故障注入、故障修复、故障分类等功能^[4-5]。然而由于 PicoBlaze 处理器没有官方的 C 编译器且指令空间极小(1024 个字),SEM 控制器不能灵活地被重编程以实现新的刷新机制^[6]。

本文研究的 Virtex-5 系列芯片没有官方提供的专用 SEM IP 核,需要自行设计故障注入系统。设计的故障注入系统基于内部故障注入,无需处理器参与,可以灵活地移植到其他支持 ICAP 的芯片上。设计的故障注入系统与待测电路位于同一片 FPGA 上,故障注入系统放置在待测电路未使用的资源上,节省了硬

件开销。同时对故障注入结果进行了分类,用以在后续的故障修复中对重点位进行重点防护。

2 配置 RAM 的帧结构解析与用户电路的必要位提取

2.1 配置 RAM 的帧结构解析

Xilinx FPGA 配置 RAM 以帧为单位进行排列,由 0-1 构成的二维矩阵阵列平铺在整个设备上,其中每一位对应可编程逻辑点。帧是配置 RAM 空间中可寻址的最小单位。Virtex-5 系列一帧由 41 个字、一个字为 4 个字节组成。每个配置帧都有一个唯一的 32 位地址用于对该帧进行寻址,该地址分为五个部分:块类型,顶/底部指示器,行地址,主地址(又称列地址),次地址(又称列内帧地址)。其中块类型有四种:块 0 为互连和块配置,块 1 为 BRAM 内容,块 2 为互联和块特殊帧,块 3 为 BRAM 非配置帧,块 2 和 3 用户通常无法接触和使用^[7]。块 1 的 BRAM 内容,存储电路运行的动态数据,在正常运行中本身就有可能发生变化,故障注入无意义。本文仅对块 0 进行故障注入。

解析帧结构需要得到 FPGA 中帧的具体排布:行数量、列数量、列具体地址及所对应的列类型排布等。Virtex-5 系列芯片的用户手册未给出相关信息,需要手动解析。本文通过解析调试比特流文件的结构间接地获取帧结构信息。解析流程如图 1。按照 Virtex-5 的数据包格式对调试比特流文件进行一次解析,提取出帧地址列表,生成帧地址列表文件。根据 Virtex-5 芯片用户手册,CLB 列每列有 36 帧,DSP 列每列有 28 帧,Block RAM 列每列有 30 帧,IOB 列每列有 54 帧,Clock 列每列有 4 帧^[7]。基于此对帧地址列表文件进行二次解析得到帧结构可视化文件。

FPGA 配置 RAM 为周期性结构,每行的帧组织相同^[8]。本文使用 XC5VFX70T FPGA 进行设计,每行帧结构如表 1 所示。其中,块 0 包含 IOB 列、CLB 列、BRAM 配置列、DSP 列、Clock 列、PPC(PowerPC)列,块 1 部分包含 BRAM 内容列。最终得到的 XC5VFX70T 的帧结构如图 2(a)所示,分为上下两部分,上半部分 4 行,下半部分 4 行,每行又按照列再次划分(图中黄色矩阵块所示为一 IOB 块)矩阵块中的帧从左到右排布。块 0 每行 1802 帧,共 14416 帧。块 1 每行 768 帧,共 6144 帧。填充的 32 帧无对应的帧地址,总帧数为 20592 帧,与配置比特流中向 FDRI(frame data input register)寄存器写入的帧数量一致^[7]。

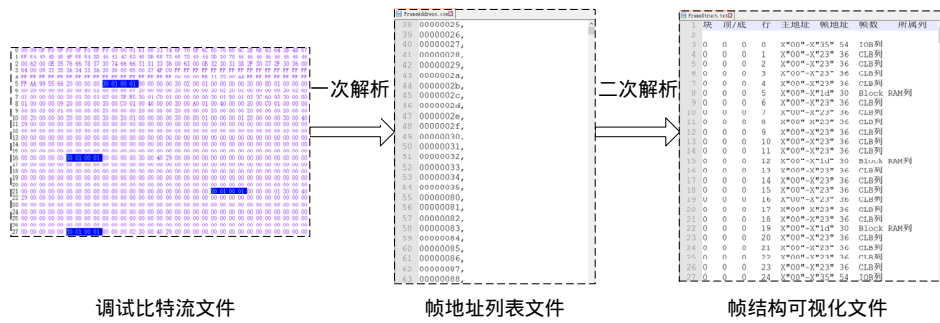


图 1 帧结构解析过程

Fig. 1 The process of parsing frame structure

表 1 XC5VFX70T 器件每行的帧结构
Table 1 Frame structure of each row of the XC5VFX70T device

列类型	每列帧数	列个数	对应的主地址
IOB	54	3	0, 24, 44
BRAM 配置	30	6	5, 12, 19, 30, 39, 49
DSP	28	2	33, 36
Clock	4	1	25
PPC	32	1	50
CLB	36	38	其他
BRAM 内容	128	6	5, 12, 19, 30, 39, 49

2.2 用户电路的必要位提取

SEM IP 核的故障分类功能涉及到两个文件：.ebd 和 .ebc 文件。ebc 文件包含配置单元的内容，ebd 文件为 ebc 文件的掩模文件。ebd 文件中为“1”的位对应到 ebc 文件的相应位置的位即为 Xilinx 必要位(Xilinx essential bits)，必要位意味着与设计有关的位^[9]。

提取出 ebd 文件的“1”所在的位置，将其转换为物理地址，其寻址结构为{顶部/底部指示器，行位置，列位置，帧中，帧中所处的字位置，字中所处的位位置}，按 2.1 节所述 FPGA 物理帧结构采用 Matlab 工具描出得到如图 2(a)所示。与 PlanAhead 下的布局图 2(b)和 FPGA editor 下的布线结果图 2(c)对比，发现轮廓一致，因此从 .ebd 文件提出的必要位作为故障库。

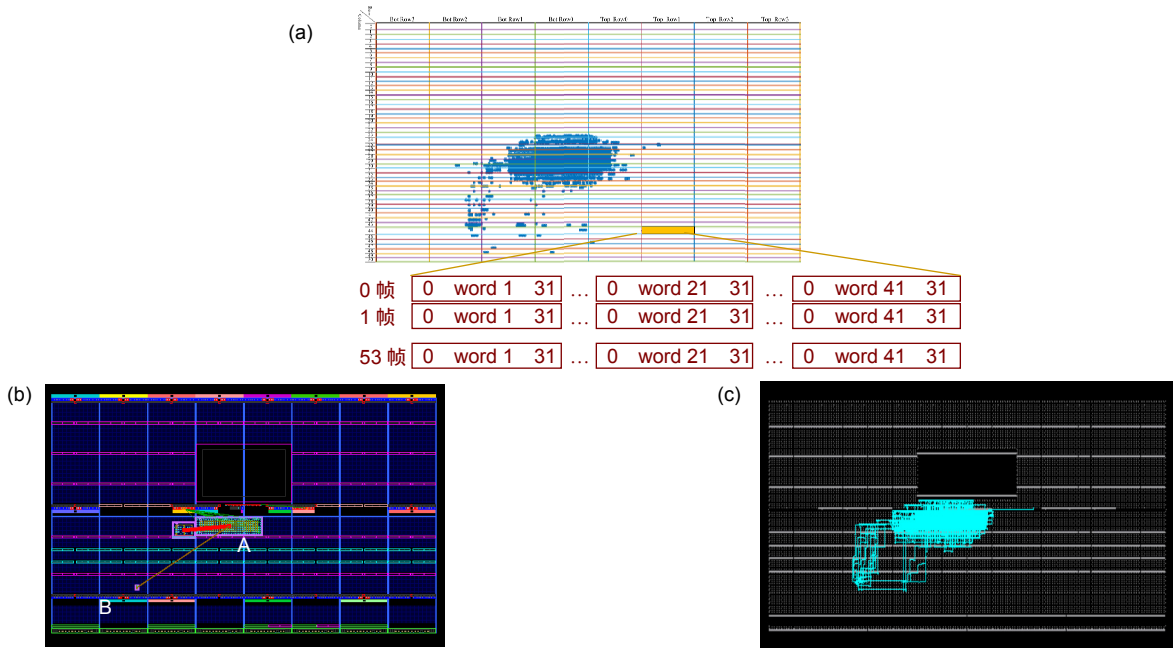


图 2 故障注入系统及 DUT 的必要位在 FPGA 上的分布组织。(a) Matlab 所绘图示；(b) PlanAhead 下图示；(c) FPGA editor 下图示

Fig. 2 Distributions of the fault injection system and DUT-related essential bits on FPGA (a) by Matlab, (b) under PlanAhead tool, (c) under FPGA editor tool

3 故障注入系统设计

3.1 故障注入系统整体概述

故障注入系统由 FPGA 端和 PC 端两部分组成，PC 端通过串口向 FPGA 端发送指示命令，FPGA 端根据接收到的命令执行相应操作，并将结果返回给 PC 端，PC 端再对返回的结果进行解析，故障注入系统的系统框架如图 3 所示。

3.2 故障注入系统 FPGA 端程序设计

故障注入系统 FPGA 端系统由以下几部分组成：主控制模块，包含与 PC 端的通讯功能，主程序状态控制功能以及通过 ICAP 接口对配置 RAM 进行回读与动态重配置的功能；待测电路 DUT(design under test)，用于在模拟的单粒子翻转效应环境下运行，黄金电路，是待测电路的正确备份，用于在正常环境下运行；对比电路，用于对比 DUT 与黄金电路的运行结果。DUT 与其他模块通过 PlanAhead 工具置于不同的列。如图 2(b)所示，主控制模块、黄金电路和对比电路位于标“A”部分，DUT 位于标“B”部分，图中的 DUT 为一个四位数加法器，所占资源极小。每次测试，主控制模块需要遍历给 DUT 和黄金电路所有的可能输入，DUT 输出结果与黄金电路的输出结果经由对比电路对比后返回给主控制模块，再经由串口返回 PC 端，由 PC 端来判断 DUT 是否功能出错。

故障注入系统的 FPGA 端程序设计如图 4 所示，其中，Inj_fault_FSM 作为主状态机，控制命令的操作与切换；Rx_fifo 用于存储来自上位机的命令数据；Rx_fifo_controller 用于从 Rx_fifo 中读取一个有效命令交由主状态机；Main_controller 包含具体执行命令的几个模块；其中的 ICAP_controller 用于读写配置

RAM；RAM 41×32 用于暂存一帧数据；Flip_bit_controller 用于翻转 RAM 中暂存的帧内容的某一位；Write_to_tx_fifo_controller 用于向 Tx_fifo 中写入执行结果；DUT_test_controller1 用于发送测试输入向量，接收测试结果向量；DUT_test_controller2 包括了 DUT、黄金电路以及对比电路^[10-11]。所设计的故障注入系统占据 FPGA 约 1% 的资源，而 Virtex-6/Spartan-6 之后官方提供的 SEM IP 核所占用的片上资源比例也约为 1%^[12]。

3.3 故障注入系统 PC 端程序设计

故障注入系统 PC 端程序设计如图 5 所示。PC 端发送指令有 3 种：

- 1) 翻转一个位；
- 2) 回读一整帧；
- 3) 开始 DUT 测试。

其中，故障库生成的大致流程如下：设计好 DUT 电路并将其与其他模块布局在不同的列；从 ebd 文件中解析出必要位的帧地址列表；从帧地址列表中根据布局信息提取出 DUT 的必要位位置作为故障库。另外，对回读出的帧内容和原始配置帧内容的对比操作要在 mask 文件的屏蔽下进行。所设计的用户界面如图 6 所示。

4 故障注入测试与结果分析

本文选用了三个经典电路对其必要位进行测试。分别为 4 位加法器、8 位加法器、8 位乘法器。另外为了评估其性能，分别对待测电路进行三模冗余并再次测试。三模冗余中的三个模块与三选二多数比较器布置在 FPGA 器件上与 DUT 不同的列，以防止测试时错误地将故障注到三选二多数比较器。

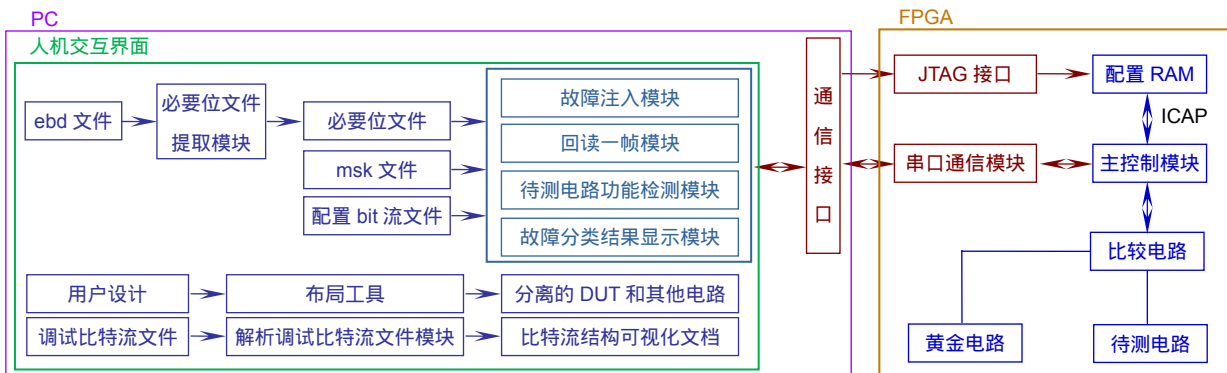


图 3 故障注入系统架构图

Fig. 3 The architecture diagram of the fault injection system

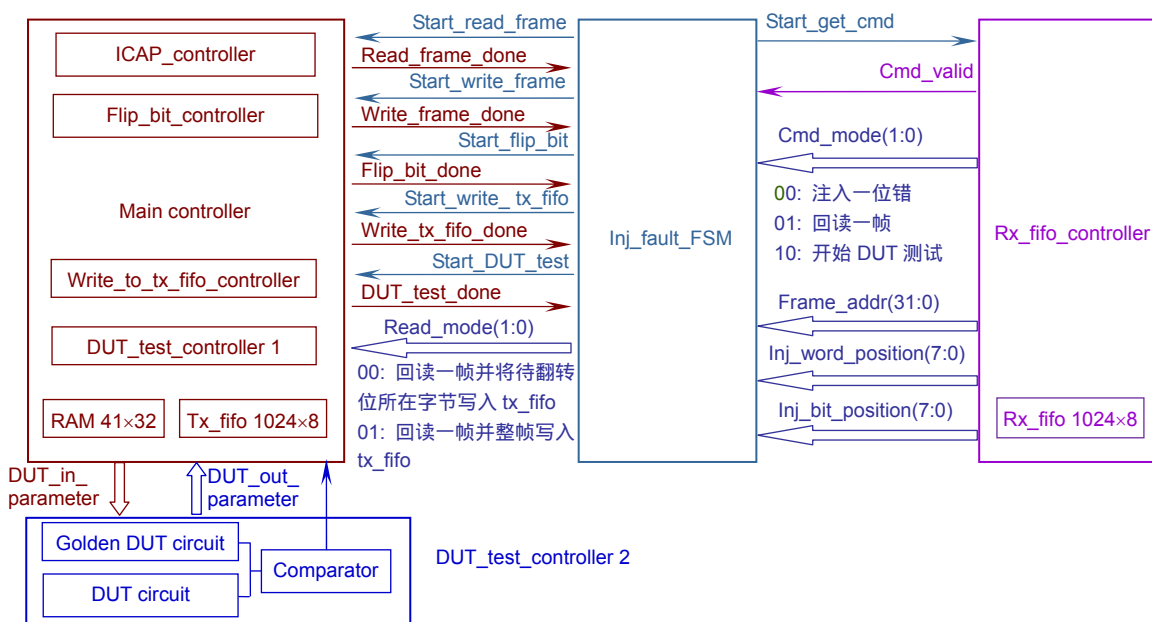


图 4 故障注入系统 FPGA 端程序框图

Fig. 4 Block diagram of the FPGA-side fault injection system

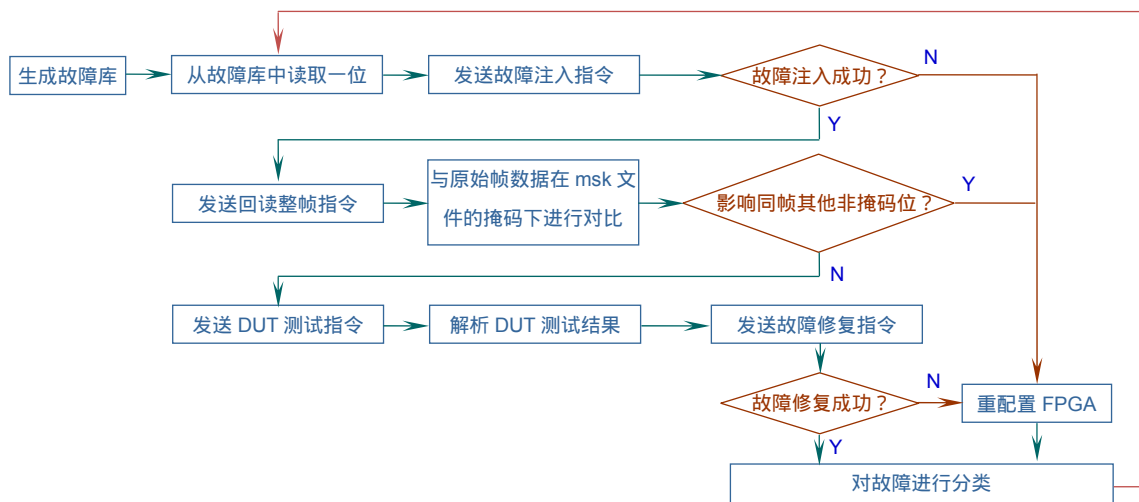


图 5 故障注入系统 PC 端程序框图

Fig. 5 Block diagram of the PC-side fault injection system

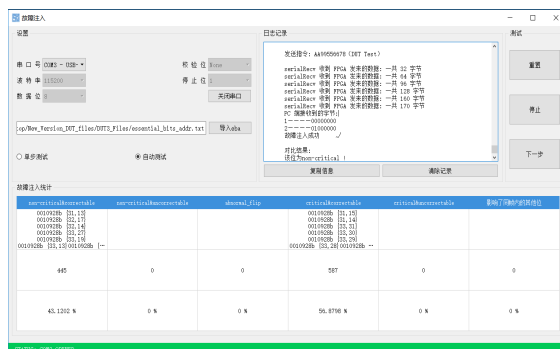


图 6 故障注入系统 PC 端界面

Fig. 6 The interface of PC-side fault injection system

表 2 故障注入测试结果统计
Table 2 Results of fault injection testing

DUT	必要位个数 ⁽¹⁾	非关键可修复位占比 ⁽²⁾ /%	关键可修复位占比 ⁽³⁾ /%	影响了同帧的其他非掩码的位占比/%
ADDER4B	969	58.204	41.589	0.206
ADDER4B_TMR	3006	99.201	0.749	0.050
ADDER8B	4170	57.530	42.422	0.048
ADDER8B_TMR	12287	98.836	1.139	0.024
MUL8B	17759	44.316	55.183	0.501
MUL8B_TMR	55309	97.273	2.238	0.488

注：(1) 必要位即为与 DUT 设计相关的位；(2) 非关键可修复位即对该位进行翻转不会影响 DUT 的功能逻辑，且该位翻转后可被修复，其占比为非关键可修复位个数与必要位个数之比；(3) 关键可修复位即对该位进行翻转会导致 DUT 功能测试期间出现错误，但该位翻转后可被修复，其占比为关键可修复位个数与必要位个数之比。

故障注入的结果由 PC 端进行统计，最终将必要位分为 5 类：非关键可修复位、非关键不可修复位、关键可修复位、关键不可修复位、影响了同帧的其他非掩码位的位。其中，关键位表示对该位进行翻转会导致 DUT 功能测试期间出现错误，非关键位表示对该位进行翻转不影响 DUT 的功能逻辑。三个测试中未发现不可修复位。统计结果如表 2，由此得到：

- 1) DUT 三模冗余后，其必要位的个数约为原始 DUT 的三倍；
- 2) 对极少数的位的翻转使得同帧内其他非掩码位也出现了翻转，这些位在后续做容错措施时应重点防护；
- 3) DUT 三模冗余后，其关键位的比例大幅减小，但不会降至 0%，说明三模冗余减少 SEU 引起的电路故障率，但无法彻底规避该故障。在实际应用中，有必要辅以其他的如内部刷新和外部刷新等容错措施。

5 结束语

本文针对 SRAM 型 FPGA 在辐照环境下其配置 RAM 易发生的 SEU 问题进行了实物模拟。通过分析调试比特流文件提取出了 FPGA 器件的帧结构并解析了比特流文件和 SEM IP 核的中间文件—ebc 和 ebd 文件的结构，给出了提取必要位的方法。通过对三个经典电路进行故障注入测试，验证了所设计的故障注入系统的有效性。所设计的故障注入系统无需处理器参与，无需外部硬件开销，可以灵活地移植到其他支持 ICAP 的芯片。同时本系统对于 DUT 的必要位进行了

分类，此分类结果可用于在后续的容错加固实现中对特殊位进行重点防护。

参考文献

- [1] Lan F Y. Soft error mitigation techniques for Xilinx Virtex-7 FPGA[D]. Harbin: Harbin University of Technology, 2016. 兰凤宇. Xilinx Virtex-7 FPGA 软错误减缓技术研究[D]. 哈尔滨: 哈尔滨工业大学, 2016.
- [2] Wang Z M. Techniques for evaluating single-event effect in SRAM-based FPGAs[D]. Beijing: Tsinghua University, 2011. 王忠明. SRAM 型 FPGA 的单粒子效应评估技术研究[D]. 北京: 清华大学, 2011.
- [3] Xilinx Inc. Device reliability report[R]. UG116(v10.8), 2017.
- [4] Xilinx Inc. LogiCORE IP soft error mitigation controller[R]. PG036(v4.1), 2017.
- [5] Hussein J, Swift G. Mitigating single-event upsets[R]. WP395(v1.1), Xilinx Inc., 2015.
- [6] Gong L K, Wu T, Nguyen N T H, et al. A Programmable Configuration Controller for fault-tolerant applications[C]//Proceedings of 2016 International Conference on Field-Programmable Technology, 2016: 117–124.
- [7] Xilinx Inc. Virtex-5 FPGA configuration user guide[R]. UG191(v3.12), Xilinx Inc., 2017.
- [8] Soni R K. Open-source bitstream generation for FPGAs[D]. Blacksburg, Virginia: Virginia Polytechnic Institute and State University, 2013.
- [9] Le R. Soft error mitigation using prioritized essential bits[R]. XAPP538(v1.0), Xilinx Inc., 2012.
- [10] Chapman K. SEU strategies for virtex-5 devices[R]. XAPP864(v2.0), Xilinx Inc., 2010.
- [11] Xilinx Inc. Virtex-5 libraries guide for HDL designs[R]. UG621(v14.7), Xilinx Inc., 2013.
- [12] Nunes J L, Cunha J C, Barbosa R, et al. Evaluating Xilinx SEU Controller Macro for fault injection[C]//Proceedings of the 43rd Annual IEEE/IFIP International Conference on Dependable Systems and Networks, 2013: 1–2.

Research on fault injection system of FPGA in irradiation environment

Xue Xiaoliang^{1,2}, Su Haibing^{1*}, Shu Huailiang¹, Guo Shuai¹, Wu Wei¹

¹Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu, Sichuan 610209, China;

²University of Chinese Academy of Sciences, Beijing 100049, China

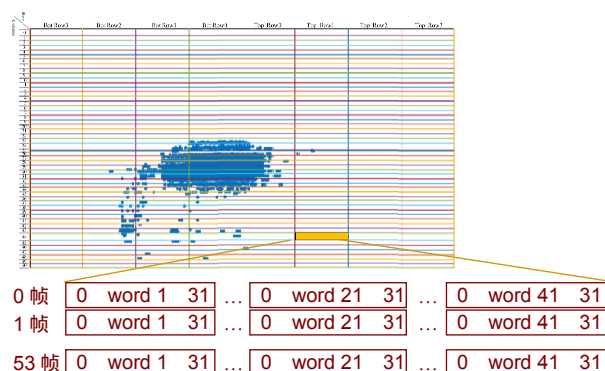


Figure drawing by MATLAB tool

Overview: SRAM FPGAs have attracted increasing attentions in aerospace applications due to their low cost, rich logic resources, and reconfigurability. However, SRAM cells are highly susceptible to the effects of radiations, manifested as single event upsets (SEU), thus hindering the applicability of FPGA in the aerospace field. The configuration RAM (CRAM) is the largest number of memory cells in FPGA chip. Considering the direct impact of CRAM on the user circuit logic, the research object of this paper is CRAM. In order to test the failure rate of CRAM in radiation environment, the FPGA needs to be irradiated under the accelerator beam, which can simulate the space environment more realistically. However, it is expensive and the test period is long. Therefore, the artificially designed fault injection system to simulate the SEU can quickly and inexpensively test the reliability of the design on the FPGA. Injecting fault into CRAM can be achieved through the external interface (JTAG or SelectMAP) or the internal interface (internal configuration access port, ICAP). For internal fault injection, most designs use on-board processors. Starting from Virtex-6/Spartan-6, Xilinx provides a PicoPlaze-based SEM (soft error mitigation) IP core, which can implement fault injection, fault repair, fault classification, and other functions. Since the PicoPlaze processor does not have an official C compiler and the instruction space is extremely small (1024 words), the SEM controller cannot be flexibly reprogrammed to design a different fault repair mechanism. The Virtex-5 series FPGAs studied in this paper do not have a dedicated SEM IP core which is officially provided, so a self-designed fault injection system is required. This article studied the frame structure of Xilinx FPGA CRAM, giving the method of extracting the frame structure and providing the order of frames in the bit stream file. The structure of the intermediate file of SEM IP core is also analyzed to get the positions of essential bits. Performing 0/1 flipping on the essential bits is a way to simulate the SEU problem. A PC-side interface is designed to implement a human-machine interaction. The fault injection system is implemented on FPGA chip, and the read and write of the CRAM data are realized through ICAP without the need of the processor. The fault injection system is placed on resources that are not used by the circuit under test, occupying about one percent of the FPGA resources, which greatly saves resource overhead. The operation of flipping and repairing test classifies essential bits into the following categories: the non-critical and repairable, the non-critical and unrepairable, the critical and repairable, the critical and unrepairable, and the residual bits that affect other non-masked bits in the same frame. The classification results can be used to protect key bits in subsequent fault repairing. In addition, a fault injection test on the triple modular redundancy (TMR) circuit is performed to verify the effectiveness of TMR for SEU protection. For TMR circuit, the proportion of its key bits will be greatly reduced but not to zero, which indicates that the TMR can reduce failure rate caused by SEU but cannot completely avoid this fault. Since TMR cannot eliminate the accumulation of SEU faults, it is necessary to supplement other fault-tolerant measures such as internal scrubbing and external scrubbing in practical engineering applications.

Citation: Xue X L, Su H B, Shu H L, *et al.* Research on fault injection system of FPGA in irradiation environment[J]. *Opto-Electronic Engineering*, 2019, **46**(12): 180549

* E-mail: suhaibing@msn.com