

# 带失调自校准的 MIPI D-PHY 高速通道设计

刘 铠<sup>1,2</sup>, 秦昌兵<sup>1,2\*</sup>, 张白雪<sup>1,2</sup>, 徐亭亭<sup>1,2</sup>, 陈启宏<sup>1,2</sup>

(1. 中国电子科技集团公司第五十五研究所, 南京 210016; 2. 南京国兆光电科技有限公司, 南京 211100)

**摘 要:** 基于移动产业处理器接口 (Mobile Industry Processor Interface, MIPI) 协议提出了一种应用于显示驱动芯片数据接口的物理层电路。针对数据传输对速度要求越来越高的情况以及失调电压会使输出信号的占空比偏离 50%, 进而影响高速采样准确率的问题, 采用多级放大器形式实现了高速通道设计, 并利用可编程电流源进行失调电压的自适应校准, 减小了失调电压在传输中带来的误差。电路使用 SMIC 110 nm CMOS 工艺进行设计。仿真结果表明, 自适应校准可以使 -30 mV~35 mV 的输入失调电压降低到 -1 mV~1.2 mV, 单通道传输速率达到 1.5 Gbps, 实现了高速、高精度的数据传输效果。

**关键词:** 移动产业处理器接口; 显示驱动; 高速接收; 失调校准

**中图分类号:** TN492 **文献标志码:** A **文章编号:** 1005-488X(2023)04-0311-06

## Design of MIPI D-PHY High-speed Channel with Offset Self-calibration

LIU Kai, QIN Changbing, ZHANG Baixue, XU Tingting, CHEN Qihong

(1. The 55th Research Institute of China Electronic Technology Group Corporation, Nanjing 210016, CHN; 2. Nanjing Guozhao Photoelectric Technology Co., Ltd, Nanjing 211100, CHN)

**Abstract:** A physical layer circuit applied to the data interface of display driver chips was proposed based on Mobile Industry Processor Interface (MIPI) protocol. In response to the increasing speed requirements for data transmission and the issue of offset voltage causing the duty cycle of the output signal to deviate by 50%, which affected the accuracy of high-speed sampling, a multi-stage amplifier structure was adopted to achieve high-speed channels and programmable current source was used for adaptive calibration of offset voltage, reducing the error caused by offset voltage in transmission. The circuit was designed using SMIC 110 nm CMOS technology. The results of post simulation showed that adaptive calibration could reduce the input offset voltage of -30 mV~35 mV to -1 mV~1.2 mV, and the transmission rate of single channel could reach 1.5 Gbps, achieving high-speed and high-precision data transmission.

**Key words:** mobile industry processor interface; display drive; high-speed reception; offset calibration

收稿日期: 2023-07-14

作者简介: 刘 铠 (1999—), 男, 硕士研究生, 主要从事硅基微显示驱动芯片的模拟电路研究; (E-mail: 2541470841@qq.com)

秦昌兵 (1988—), 男, 硕士, 高级工程师, 主要从事数模混合信号及硅基微显示驱动等领域的集成电路研究; (E-mail: qin\_chang\_bing@163.com)

张白雪 (1988—), 女, 硕士, 高级工程师, 主要从事数模混合信号及硅基微显示驱动等领域的集成电路研究。

\* 通讯作者

### 引 言

随着手持移动终端的功能多样化,在互连中需要传递的数据量增大,从而对传输速度以及可靠性提出了更高的挑战<sup>[1]</sup>,MIPI接口相较于传统的接口速度更高,功耗更低且抗干扰能力强<sup>[2]</sup>,是当前最主流的移动终端接口。其中MIPI DSI(Display Serial Interface,显示串行接口)协议<sup>[3]</sup>在显示屏接口方面得到普遍应用。D-PHY是满足MIPI DSI协议规范的物理层,支持差分数据传输的高速模式以及单端命令传输的低功耗模式。高速通道模块是D-PHY的核心电路,直接决定了接口的最高传输速率。

高速通道采用差分输入结构,由于工艺误差与随机误差的影响,MOS管存在一定的不匹配,导致差分输入对管存在失调电压,当失调电压叠加到差分信号某一端的共模电压上时,会改变输出翻转时所需的阈值电压,从而影响输出信号的占空比,如图1所示,与低速数据相比,高速数据的上升/下降时间在数据周期所占的比例更大,叠加失调电压后,高速输出数据的占空比受到的影响更大,从而失调电压更易导致高速数据在采样时出现错误,引起误码。

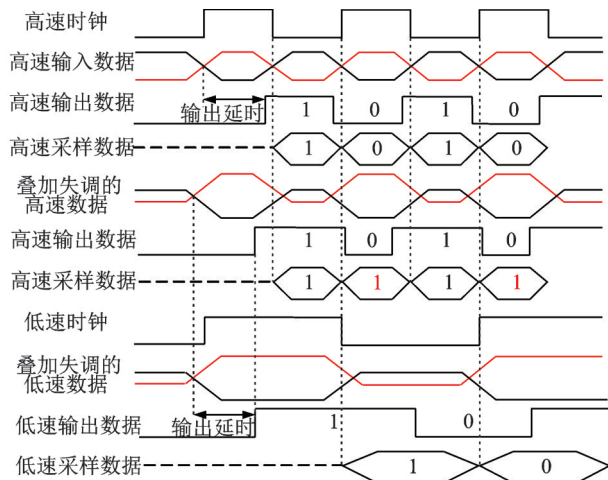


图1 失调电压对数据传输的影响

Fig.1 The impact of offset voltage on data transmission

因此为降低误码率,需要对高速通道进行失调校准。常见的失调消除技术有自动归零、斩波技术<sup>[4]</sup>、共模反馈补偿以及数字校准<sup>[5-7]</sup>。自动归零使用开关电容提取失调电压并在输入或者输出进行抵消,而提取失调电压需要额外的开关周期,限制了数据的最大传输速率。斩波技术在输入用方波信号耦合调制,在输出进行解调,最后再滤除处于

高频段的失调电压,而抑制输出纹波需要较大的滤波电容,会占用额外的芯片面积,代价较大。共模反馈补偿利用低通滤波器将输出端的直流失调电压反馈到输入端,同样需要较大的电容面积,而且引入的反馈环路会影响电路稳定性。数字校准通过调整可编程电流镜的输出来抵消失调电压进行补偿,不需要周期性刷新校准结果,上电校准完毕后即可开始高速数据传输,速度快,面积小。研究采用的失调消除方法即为数字校准。

文中设计的MIPI D-PHY电路应用于显示驱动芯片,包含一个时钟通道以及四个数据通道,单个通道高速传输速率可以达到1.5 Gbps。文章第一部分介绍了高速通道结构,第二部分介绍了带失调校准的高速通道电路设计,第三部分是所设计的电路仿真结果,第四部分是对研究的总结。

### 1 高速通道结构

高速通道整体结构如图2所示,分为高速比较器电路以及失调校准模块两部分。高速比较器电路主要由预放大级、差分运放、迟滞比较以及输出级组成,差分信号在预放大级被初步接收,通过差分运放进一步放大,再通过迟滞比较级滤除信号中的噪声,最后在输出级转换为单端信号。

失调校准模块则由校准比较器,校准算法以及校准电流三部分组成,在校准使能有效期间,高速比较器的差分输入为0,此时电路的输入仅为整体失调电压 $V_{os}$ ,则该失调经过三级放大后接入校准比较器,利用比较器的输出结果获取数字控制码来调节校准电流,反馈到第一级预放大器的输出端进行校准。校准电流部分在数字控制码调节下,为预放大电路提供相应的附加电流,对放大器的失调电压进行补偿。

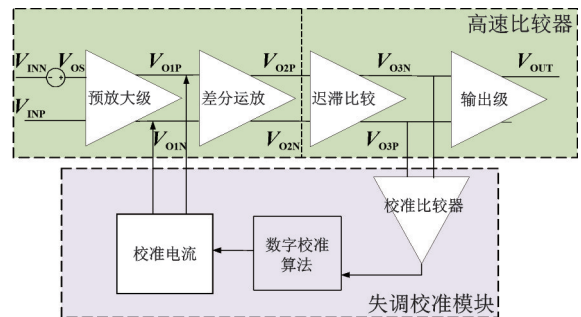


图2 高速通道的整体结构

Fig.2 The overall structure of the high speed channel

## 2 高速通道电路设计

### 2.1 高速比较器电路设计

高速比较器的前置放大电路如图3所示,由预放大级和差分运放组成。预放大级为共源级放大器的差分形式,即为基本差动对, $M_1$ 、 $M_2$ 为尺寸相同的PMOS管, $R_1$ 、 $R_2$ 为阻值可调的电阻,用于调整预放大级的增益。差分运放中第一级是以二极管连接形式的MOS管 $M_5$ 、 $M_6$ 为负载的差动对,第二级则为对称形式的有源负载差动对, $M_7$ ~ $M_{10}$ 形成差动对输出负端信号,而 $M_{11}$ ~ $M_{14}$ 则与之对称输出正端信号,保证了输出信号的对称性。

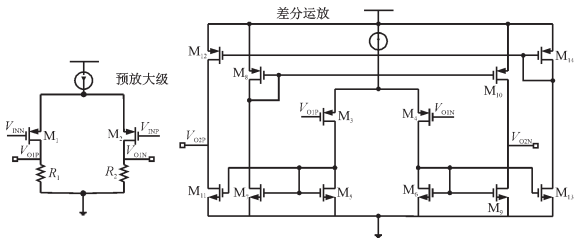


图3 前置放大电路  
Fig.3 Preamplifier circuit

判断比较电路采用了迟滞比较器结构,用于滤除叠加在信号上的噪声以及毛刺,避免输出信号受到干扰而频繁切换。如图4所示,迟滞比较级是采用PMOS管 $M_1$ 、 $M_2$ 作为差分输入,以二极管连接形式的MOS管 $M_3$ 、 $M_4$ 为负载, $M_5$ 、 $M_6$ 的栅漏极连接提供了并联电压正反馈路径,当负载管的 $(W/L)_{3,4}$ 小于交叉耦合管的 $(W/L)_{5,6}$ 时,该结构可以实现内部正反馈,形成迟滞比较结构。输出级则以NMOS管作为差分输入,同样以交叉耦合结构形成内部正反馈。最后在输出级后加入带使能控制的锁存器,即首尾相连的反相器,利用其正反馈作用将经过放大后的模拟信号转换为全摆幅的数字信号。

高速比较器的直流增益为60 dB,在750 MHz处增益为55 dB,单位增益带宽达到7.8 GHz,如图5

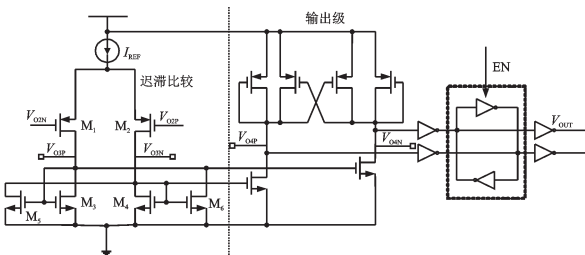
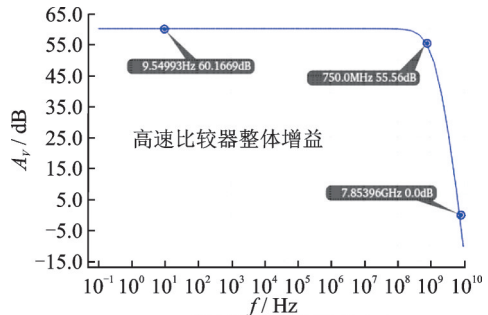
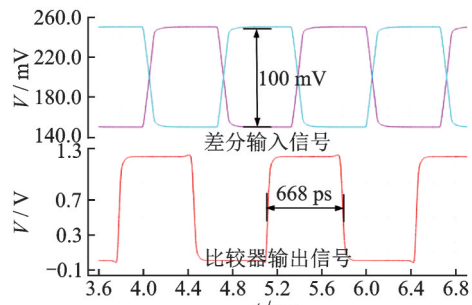


图4 判断比较电路  
Fig.4 Judgment comparison circuit

(a)所示。对于750 MHz,摆幅100 mV的输入,高速比较器可以正确接收并转换为单端全摆幅信号,速率达到1.5 Gbps,如图5(b)所示。



(a) 高速比较器的频率响应



(b) 高速比较器的瞬态仿真结果

图5 高速比较器仿真结果

Fig.5 Simulation results of high-speed comparator

### 2.2 失调校准电路设计

数字校准结束的标志为校准比较器发生从0到1的翻转,因此所采用的比较器需要有足够高的增益判断出此时失调电压的输出极性。校准比较器的结构如图6所示,主体为折叠式共源共栅结构,利用反馈形成迟滞特性,后接的多级放大器则用于提高增益。

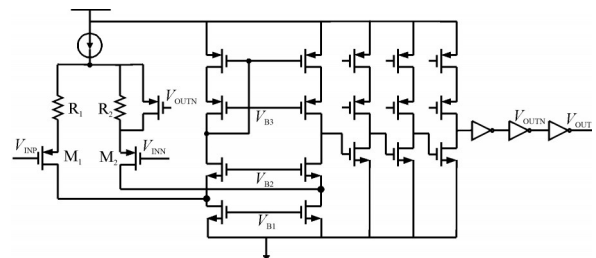


图6 校准比较器电路

Fig.6 Calibration comparator circuit

校准电流结构如图7所示,采用了共源共栅电流镜减小沟道长度调制的影响, $S<6:0>$ 与 $L<2:0>$ 控制电流大小,SELECT信号是选中电流输出的信号, $I_{OUT}$ 输出对应的电流。

校准电流由两路可编程电流源构成,如图8所

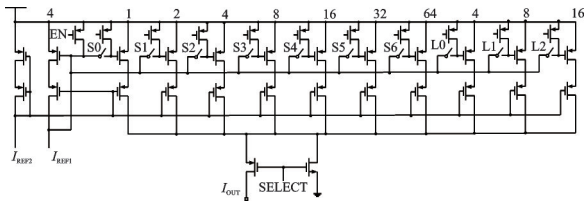


图 7 可编程电流源电路

Fig.7 Circuit of programmable current source

示,校准电流分别注入到第一级的输出  $V_{OIN}$ 、 $V_{OIP}$  处,补偿由输入失调电压造成的两侧支路电流偏差,最大电流偏差约  $140 \mu A$ 。

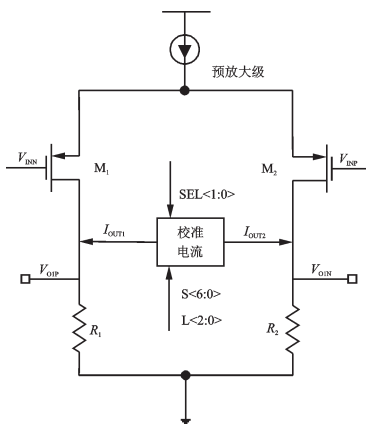


图 8 校准电流反馈示意图

Fig.8 Diagram of calibration current feedback

校准电流的蒙特卡罗仿真结果如图 9 所示,均值为  $154.8 \mu A$ ,标准差为  $2.7 \mu A$ ,故校准结构的补偿电流范围大约为  $\pm 155 \mu A$ 。在器件以及工艺失配的影响下,校准电流最小范围为  $\pm 145 \mu A$ ,可以满足校准失调电压所需的电流范围。

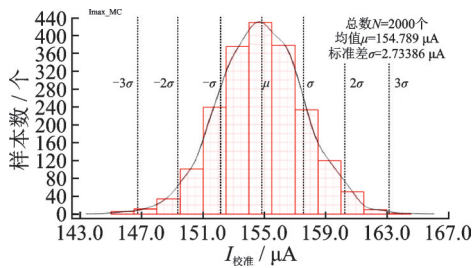


图 9 校准电流的蒙特卡罗仿真结果

Fig.9 Monte-Carlo simulation result of calibration current

### 2.3 失调校准算法

失调校准的流程如图 10 所示,当校准使能 EN 为 1 时,相应寄存器的初始态如下:  $OFFSET\_SEL <1:0> = 01$ ;  $OFFSET\_L <2:0> = 000$ ;  $OFFSET <6:0> = 000000$ 。此时校准电流最大,首先

被注入到  $V_{OIN}$  端,即在原来较小的失调误差的基础上人为在 N 端注入一个较大的误差,因而校准比较器初始输出为 0。

(1)  $OFFSET\_L <2:0>$  从 ‘000’ 逐渐增大到 ‘111’,若增大过程中比较器不翻转,则进入下一个状态;若比较器发生翻转,  $OFFSET\_L <2:0>$  从当前的计数值回退到  $COMP = 0$  的情况,开始细调校准电流。计数  $OFFSET <6:0>$  从 ‘000000’ 到 ‘111111’ 增大,误差随之减小,当比较器输出发生从 0 到 1 的跳变时,数字部分记录下对应的计数值  $OFFSET\_L <2:0>$  和  $OFFSET <6:0>$ ,  $OFFSET\_EN$  变为 0,校准结束。若计数增大过程中比较器不发生跳变,可能存在以下情况。

(2) 初始失调电压也出现在 N 端,因此将校准电流注入到  $V_{OIP}$  端,即  $OFFSET\_SEL <1:0> = 10$ 。粗调电流  $OFFSET\_L <2:0>$  从 ‘111’ 减小到 ‘000’,得出合适的计数后  $OFFSET <6:0>$  从 ‘111111’ 到 ‘000000’ 减小,误差随之减小,当比较器输出发生从 0 到 1 的跳变时,存储计数值并结束校准。

(3)  $OFFSET\_SEL <1:0> = 10$  后,若计数减小过程中比较器依旧不发生跳变,则说明初始失调大于人为注入的误差,需要增大偏置电流,重复以上过程。

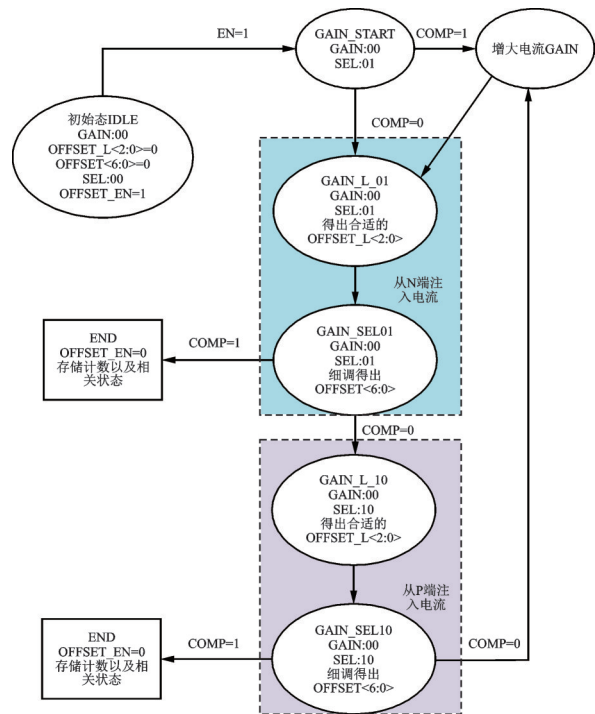


图 10 失调校准算法流程图

Fig.10 Flowchart of offset calibration algorithm



失调校准所采用的时钟为 100 MHz,考虑等待时间以及最大校准能力,最长的校准时间约为 90  $\mu$ s,符合 MIPI 中初始化校准时间不超过 100  $\mu$ s 的规范。失调校准仿真结果如图 11 所示,初始输入失调为 37 mV,最终校准结果为  $V_{OIP}$  端电压高于  $V_{OIN}$  端 3 mV,折算到输入级则剩余失调电压为 1 mV。失调校准的电压范围可以达到  $\pm 39$  mV。

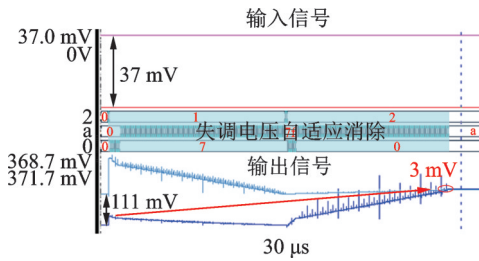


图 11 失调校准仿真结果

Fig.11 Simulation results of offset calibration

### 3 仿真结果

研究使用了 SMIC 110 nm 工艺对电路进行设计,采用 Cadence 以及 HSIM 软件进行仿真。高速通道的版图如图 12 所示,包含上述的高速比较器、校准电流以及校准比较器。

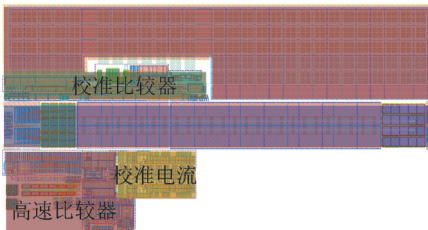


图 12 高速通道版图

Fig.12 Layout of high-speed channel

对高速通道进行后仿真,并利用蒙特卡罗仿真提取出失调校准前后高速比较器的失调电压,结果如图 13 所示。从 200 次的仿真结果中可以看出文章提出的校准方案可以将  $-30$  mV $\sim 35$  mV 的输入失调电压控制在  $-1$  mV $\sim 1.2$  mV 范围内。

MIPI 高速通道的差分输入信号幅值一般为 70 $\sim 300$  mV,校准之后的失调电压远小于该值,对传输信号的占空比几乎无影响。图 14 给出了有无失调校准时高速通道输出信号的眼图,对于摆幅为 70 mV,速率为 1.5 Gbps 的随机输入序列信号,在有 10 mV 的失调电压时,高速通道的输出信号眼图最大宽度为 513 ps,明显小于 1.5 Gbps 传输速率所对

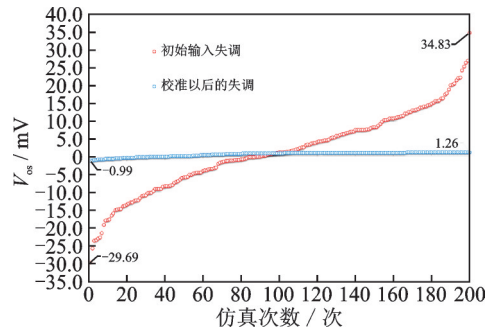
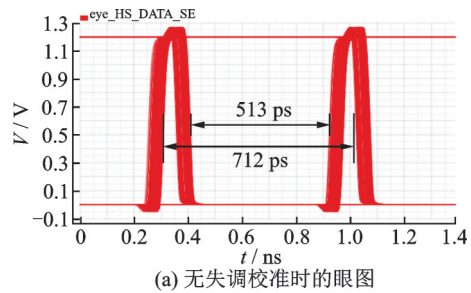


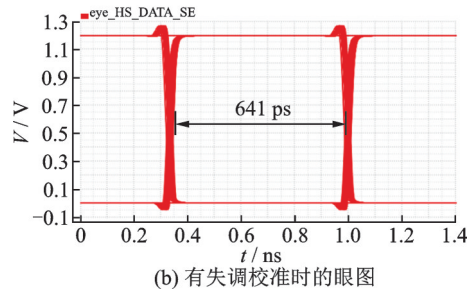
图 13 失调校准前后的失调电压分布结果

Fig.13 Results of offset voltage distribution before and after offset calibration

应的眼图宽度 666 ps,而且输出信号的占空比明显大于 50%,为 60% 左右,如图 14(a) 所示,而加入失调校准后占空比可以恢复到 50%,眼图最大宽度为 641 ps,如图 14(b) 所示。



(a) 无失调校准时的眼图



(b) 有失调校准时的眼图

图 14 高速通道的输出眼图

Fig.14 Output eye diagram of high-speed channel

表 1 给出了文章所设计的高速通道关键参数的仿真结果。与文献[8][9]相比,文章提出的高速通道电路在传输速率与功耗上均有一定的优势。

表 1 高速通道性能指标对比

Tab.1 Comparison of high-speed channel performance indicators

	文章	文献[8]	文献[9]
CMOS 工艺/nm	110	90	80
传输速率/Gbps	1.5	1	1.5
电源电压/V	1.2	1.2	1.2
功耗/mW	1.92	2	3.5

## 4 总 结

文章采用 SMIC 110 nm CMOS 工艺设计了符合 MIPI 规范的 D-PHY 电路高速通道,对于高速比较器的失调电压提出了数字校准的方法,利用数字算法自动调整可编程电流源的输出来补偿失调电压,并完成了高速通道的版图设计,对其进行后仿真。结果显示,失调校准可以将  $-30\text{ mV}\sim 35\text{ mV}$  的输入失调电压降低在  $-1\text{ mV}\sim 1.2\text{ mV}$  范围内,减小失调电压对占空比的影响,提高传输数据的准确性,高速通道的传输速率可以达到 1.5 Gbps。

### 参 考 文 献

- [1] Savolainen R and Rissa T. Standard interfaces in mobile terminals—Increasing the efficiency of device design and accelerating innovation [C]. 2008 45th ACM/IEEE Design Automation Conference, Anaheim, CA, USA, 2008:592.
- [2] Prakash K. MIPI 将彻底改变移动产品设计方式[J]. 集成电路

应用, 2012, 19(2): 20-22.

- [3] MIPI Alliance, Inc. MIPI Alliance Specification for D-PHY, version 1.2[S]. Piscataway, NJ, USA, 2014.
- [4] Enz C C, Temes G C. Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization [J]. Proc. IEEE, 1996, 84(11): 1584-1614.
- [5] Rooijers T, Huijsing J and Makinwa K A A. A quiet digitally assisted auto-zero-stabilized voltage buffer with 0.6 pA input current and 0.6  $\mu\text{V}$  offset [C]. IEEE International Solid - State Circuits Conference, San Francisco, CA, USA, 2018: 50-52.
- [6] 李文嘉, 权 磊. MIPI 接口高速接收电路设计[J]. 电脑知识与技术, 2017, 13(17): 224-226.
- [7] 陈 阳, 邓红辉, 陈昕宇. 带校准的高速 MIPI 电路设计[J]. 合肥工业大学学报(自然科学版), 2021, 44(4): 497-502.
- [8] Wu Shuangyi, Wang Qiwei and Ning Ning, et al. An inductive peaking technology for high-speed MIPI receiver bandwidth expanding in a 90 nm CMOS process[C]. IEEE International Nanoelectronics Conference, Chengdu, China, 2016:1-2.
- [9] 王 鑫. 基于 MIPI 协议的 AM-OLED 显示接口物理层研究与设计[D]. 厦门: 厦门大学, 2020.



### (上接第 310 页)

触结构。测试的基于肖特基势垒调控的突触器件表现出正常突触行为的同时降低了消耗的工作电流。这表明引入肖特基势垒并不会影响突触器件的正常工作,还能够通过限制电子的注入来降低工作电流,从而实现器件的低能耗目标。基于肖特基势垒调控的低能耗有机突触晶体管有望为构建类脑水平的低能耗神经形态计算网络提供一种简单有效的策略。

### 参 考 文 献

- [1] Van De Burgt Y, Lubberman E, Fuller E J, et al. A non-volatile organic electrochemical device as a low-voltage artificial synapse for neuromorphic computing [J]. Nature Materials, 2017, 16(4): 414-8.
- [2] Laughlin S B, de Ruyter van Steveninck R R, Anderson J C. The metabolic cost of neural information[J]. Nat. Neurosci, 1998, 1(1): 36-41.
- [3] Merolla P A, Arthur J V, Alvarez-Icaza R, et al. A million spiking-neuron integrated circuit with a scalable communication network and interface [J]. Science, 2014, 345 (6197) : 668-673.
- [4] Schneider D. US supercomputing strikes back [J]. IEEE Spectrum, 2018, 55(1): 52-53.

- [5] Ren Y, Yang J Q, Zhou L, et al. Gate-tunable synaptic plasticity through controlled polarity of charge trapping in fullerene composites [J]. Advanced Functional Materials, 2018, 28(50): 1805599.
- [6] Wang Y, Lv Z, Chen J, et al. Photonic synapses based on inorganic perovskite quantum dots for neuromorphic computing [J]. Advanced Materials, 2018, 30(38): 1802883.
- [7] Jang S, Jang S, Lee E H, et al. Ultrathin conformable organic artificial synapse for wearable intelligent device applications [J]. ACS Applied Materials & Interfaces, 2018, 11(1): 1071-1080.
- [8] Desbief S, di Lauro M, Casalini S, et al. Electrolyte-gated organic synapse transistor interfaced with neurons [J]. Organic Electronics, 2016, 38: 21-28.
- [9] Duong D T, Tuchman Y, Chakthranont P, et al. A universal platform for fabricating organic electrochemical devices [J]. Advanced Electronic Materials, 2018, 4(7): 1800090.
- [10] Gkoupidenis P, Schaefer N, Garlan B, et al. Neuromorphic functions in PEDOT: PSS organic electrochemical transistors [J]. Advanced Materials, 2015, 27(44): 7176-7180.
- [11] Liu Y, Zhong J, Li E, et al. Self-powered artificial synapses actuated by triboelectric nanogenerator [J]. Nano Energy, 2019, 60: 377-384.
- [12] Zhang C, Wang S, Zhao X, et al. Sub-femtojoule-energy-consumption conformable synaptic transistors based on organic single-crystalline nanoribbons [J]. Advanced Functional Materials, 2021, 31(7): 2007894.