

基于内置时钟的低功耗高精度 SPAD 阵列读出电路

郑丽霞, 韩永奇, 万成功, 周谋昭, 李旭妍, 吴 金, 孙伟锋*

(东南大学集成电路学院, 江苏 无锡 214125)

摘要: SPAD 阵列的规模不断扩大对读出电路 (Read-out Integrated Circuit, ROIC) 提出了更高的要求, 时间数字转换器 (Time to Digital Converter, TDC) 是 ROIC 的核心电路, 完成对光子飞行时间 (Time-of-Flight, TOF) 高精度量化。为避免大规模阵列中高频时钟信号长距离走线而引起的串扰和噪声干扰, 抑制初相误差引起的检测精度退化, 设计了一种基于内置时钟的 ROIC 阵列电路, 阵列像素间距均为 $100\ \mu\text{m}$, 内置于各像素内的门控环形振荡器 (Gated Ring Oscillator, GRO) 独立提供像素 TDC 所需的高频分相时钟信号, 各像素 GRO 均由像素外置锁相环 (Phase Locked Loop, PLL) 产生的压控信号控制。由于采用一种基于事件驱动的检测策略, 只量化光子事件有效触发的 TOF, 有效降低了系统功耗。该芯片采用 TSMC $0.18\ \mu\text{m}$ $1.8\ \text{V}$ 标准 CMOS 工艺制造, 测试结果表明: TDC 的时间分辨率和量程分别为 $102\ \text{ps}$ 和 $100\ \text{ns}$, 微分非线性 DNL 低于 $0.8\ \text{LSB}$, 积分非线性 INL 低于 $1.3\ \text{LSB}$, 系统功耗小于 $59.3\ \text{mW}$ 。

关键词: 时间数字转换器; 光子飞行时间; 门控环形振荡器; 锁相环; 单光子雪崩光电二极管
中图分类号: TN492 **文献标志码:** A **DOI:** 10.3788/IRLA20220896

0 引言

利用雪崩光电二极管 (Avalanche Photodiode, APD) 对微弱光子信号的高灵敏探测能力, 对主动发射的激光光源经目标物体反射后获取的光子飞行时间 (Time of flight, TOF) 进行检测, 可获取被测物体的空间距离分布即景深信息, 通过相关算法可再现目标物体几何轮廓图像^[1-2]。这种由 APD 和读出集成电路 (Read-Out Integrated Circuit, ROIC) 构成的激光测距 (Laser Detection and Ranging, LIDRA) 系统, 具有体积小、检测速率快、灵敏度高、抗干扰能力强等优点, 被广泛应用于激光雷达、量子通信、地图构建、安全距离检测、无人驾驶导航等领域^[3-4]。TDC 作为 ROIC 中的核心模块, 其精度和功耗决定着整体电路的性能水平。随着智能家居、消费电子等民用领域需求的拓展, ROIC 阵列规模不断扩大, 检测精度不断提升, 导致电路功耗急剧增加, 高精度 TDC 阵列电路在抑制功耗增加方面的难点日益提高。

文献 [5] 对像素 TDC 采用内置压控环形振荡器 (Voltage-Controlled Ring Oscillator, VCRO) 和延迟线

插值结构来改善时间探测精度, 其时间分辨率可降至 $145\ \text{ps}$, 单像素功耗为 $9\ \mu\text{W}$ 。由于延迟线插值电路结构对 PVT (Process Voltage Temperature) 敏感, 其微分非线性误差 DNL 为 $\pm 1\ \text{LSB}$; 文献 [6] 设计的一种能实现高度测量功能的三维成像系统中, 像素单元采用了内置 GRO 技术为 TDC 提供高频时钟, 系统功耗小于 $100\ \text{mW}$, 采用单段式的像素 TDC 时间分辨率仅为 $250\ \text{ps}$; 文献 [7] 设计的一种用于量子成像传感系统, 其中每个 TDC 电路采用三级 GRO 及相位插值方案, 包括基于新型伪静态触发器 (Toggle Flip-Flops, T-FFs) 的计数器, TDC 面积小, 时间分辨率为 $210.2\ \text{ps}$, 由于驱动器与 GRO 单元不匹配, 导致非线性误差 DNL 高达 $1.28\ \text{LSB}$; 文献 [8] 采用像素内置 VCRO 和一组紧凑的局部相位内插器 (Phase Interpolator, PI) 结构, 在不提高振荡器频率的前提下, 通过增加时钟分相数, 分辨率可降至 $50\ \text{ps}$, 但由于相位内插器的分相均匀性较差, 非线性随时间积累, 积分非线性误差 INL 高达 $2.18\ \text{LSB}$ 。目前, 高分辨低功耗阵列 ROIC 研究虽已取得长足进展, 但综合性能提升尚有很大的空间。

收稿日期: 2022-12-19; 修订日期: 2023-01-25

基金项目: 国家重点研发计划项目 (2022YFB3604905); 国家自然科学基金项目 (62174028); 江苏省自然科学基金项目 (BK20211046)

作者简介: 郑丽霞, 女, 副教授, 博士, 主要从事 APD 读出电路、数模混合集成电路方面的研究。

通讯作者: 孙伟锋, 男, 教授, 博士, 主要从事智能功率器件及可靠性、智能功率集成电路与系统、数模混合集成电路方面的研究。

文中重点关注低功耗约束下的高精度分辨。在对 ROIC 阵列精度、量程、面积和功耗等相互制约因素细致分析的基础上,采用可使能控制的内置 GRO 高频时钟驱动像素架构以及事件驱动工作模式,以期降低系统功耗,满足近距离、高精度测距成像的应用需求。

1 读出电路系统架构设计

阵列 ROIC 的高精度与宽量程检测要求相互制约,为兼顾二者共同需求,同时考虑响应速度、功耗、面积等因素的限制,大阵列 ROIC 中的 TDC 像素单元普遍采用两段式 TDC 结构,其中驱动计数型 TDC 和相位分辨型 TDC 的多相时钟一般全局像素共享,各像素内则集成了独享的高段 TDC 以及锁存低段 TDC 数据的寄存器。大阵列 ROIC 采用这种架构,面临高频时钟传输到像素中带来的噪声干扰、延迟退化和功耗增大等一系列问题^[9]。

1.1 ROIC 阵列结构选取

全局共享时钟信号传输到各像素后,像素内的高段计数器对同一单相参考时钟的边沿进行计数,增加计数器位数、降低时钟频率均可拓宽检测量程。与此同时,像素内的 D 触发器 (Delay Flip-Flop, DFF) 用于锁存光子到达时刻即 TOF 结束时刻的分相时钟状态,完成对计数时钟周期的细分,经译码可得低段 TDC 数据。为彻底消除高频时钟传输带来的串扰以及大负载驱动引入的时钟畸变,文中选取 GRO 驱动的两段式 TDC 像素全内置型架构如图 1 所示,包含 APD 探测器、淬灭电路 (Active Quenching Circuit, AQC)

和 TDC 电路^[10]。每个像素 TDC 中均内置一个压控 GRO,且能够按需产生时钟信号。保留阵列外的 PLL 电路,用于提供各像素中 GRO 的控制电压,控制各像素 GRO 振荡频率相同,降低内置时钟振荡频率的 PVT 敏感度。这种将传统结构中高频信号传输更换为静态直流电平传输的方法,带来噪声干扰水平的显著降低^[11-13]。

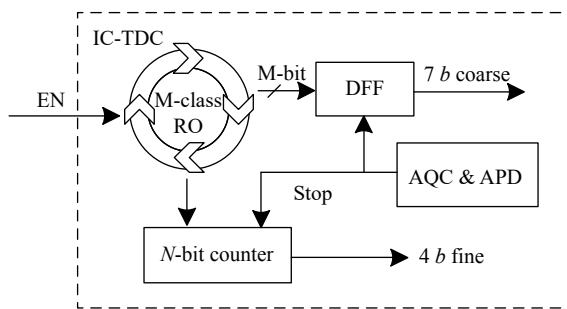


图 1 单像素架构

Fig.1 Single pixel architecture

TDC 全内置结构具有非线性小、时钟分相均匀性好等独有优势,虽然消除了多相高频时钟信号长距离走线带来的诸多问题,但引入的 PLL 压控电压走线仍然很长,线上寄生电阻和电容仍会带来信号传输失真,因此需在传输路径上添加合适的模拟 buffer,以提高电压信号传输驱动能力。

文中设计的 ROIC 系统结构如图 2 所示,除上述像素电路外,还包括全局共享的 PLL 时钟、电压传输、时序控制、同步信号产生和输出接口等电路。数据传输分时段进行,将 1×16 TDC 线阵划分为两个 1×8 的子阵列。

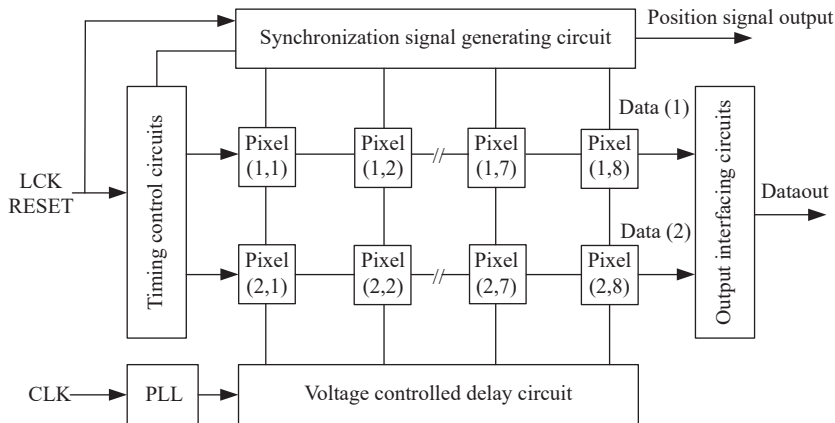


图 2 ROIC 系统结构

Fig.2 ROIC system structure

其全局工作过程如下,先通过复位信号对整体电路进行复位,当在曝光时间内检测到光子后,对应阵列像素迅速做出响应,完成对 TOF 量化并锁存相关数据,在非曝光时间内进行数据传输,数据传输相关模块包括时序控制电路、输出接口电路和同步信号产生电路,分别按图示数据流方向依次将像素数据串行传输到接口电路中,通过时序控制电路产生的信号控制输出接口电路将并行传输的 2 组数据转成串行数据后输出,同步信号产生电路提供数据位置的标记信号,方便芯片测试时读数。

1.2 事件驱动型计数模式

ROIC 阵列的时间分辨率由像素单元中 GRO 延迟单元的延迟时间决定,较少延迟单元环振输出频率高,但分相数少、较多延迟单元环振输出频率低,但分相数多,两种模式下的时间分辨率相同。考虑到分相均匀性易受噪声、失配等因素的影响,分相数越多,分相均匀性的退化越明显,因此采用分相数较少的高频时钟驱动 TDC 更为有利。然而,更高的时钟频率带来检测量程的降低和功耗的增加,对于阵列 ROIC,压

缩像素面积、降低像素功耗面临更大的压力。

时钟信号驱动 TDC 典型时序如图 3(a) 所示,门控作用下,APD 探测器与 TDC 仅在 EN 曝光窗口内工作,该门控窗口同时决定了 TDC 的最大可测量程,在门控窗口外用于传输获取的检测数据。设 HCK 为门控窗口内 GRO 提供的高频时钟信号,LCK 为门控窗口外驱动数据传输的低频时钟信号。设 EN 门控信号在一帧内的占空比为 D ,单帧周期为 T_{frame} ,则单像素在一帧内产生的平均功耗 P_{ave} 可表示为:

$$P_{ave} = D \times (P_{TDC} + P_{GRO}) + (1 - D) \times P_{TRA} \quad (1)$$

式中: P_{TDC} 和 P_{GRO} 表示 EN 曝光窗口内 TDC 与 GRO 电路产生功耗; P_{TRA} 为 EN 门控窗口外数据传输形成的功耗。文中 GRO 内置时钟频率高达 1.25 GHz,数据传输时钟频率仅为 50 MHz,因此 P_{GRO} 与 P_{TDC} 均远超 P_{TRA} 。当测距量程增加,帧频提高即周期减小,曝光窗口增大,导致 EN 门控信号的占空比 D 增大,TDC 量化功耗和 GRO 振荡功耗对系统功耗的贡献增大。由于文中选取了全内置 TDC 架构,每个像素单元中均集成有一个 GRO 环振电路,不但需要采用精简结构以节省面积,更需要降低高频 GRO 的功耗。

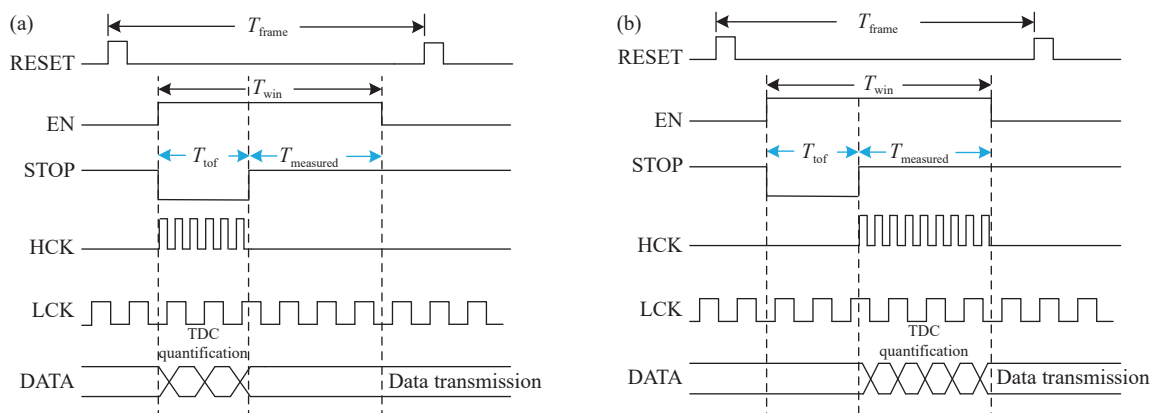


图 3 TDC 时钟信号时序。(a) 门控触发; (b) 事件驱动型

Fig.3 TDC clock signal timing. (a) Gated trigger; (b) Event-driven

对于图 3(a) 所示的常规检测时序,无论光子能否被像素中的 APD 探测器检测到,像素中的 GRO 在门控窗口内时钟始终处于振荡工作状态,压缩窗口虽然可降低 GRO 功耗,但限制了检测量程。为了保持宽门控窗口条件下的降低功耗,可采用倒置计数量化策略,即在 APD 检测到光子后再启动 GRO 和 TDC 工作,对应时序如图 3(b) 所示,倒置计数属于事件驱动型量化控制策略,计数时间与正常时序关于 EN 门控

窗口时间互补。

事件驱动模式下,EN 上升沿到来并启动光子发射后,GRO 和 TDC 仍保持静默,直到像素 APD 检测到光子并触发 STOP 信号翻转后,才启动 GRO 和 TDC 工作,即高段计数型 TDC 对第一分相时钟的上升沿进行计数,门控 EN 下降沿到来时低段相位插值型 TDC 采样此刻多相时钟的相位状态,同时 GRO 停振,TDC 停止工作并锁存量化数据,随后在时序控制逻辑

下将量化数据有效输出。若 GRO 上升沿与 STOP 沿对齐,可消除初相误差,或者各像素均有相同的固定初相误差,对图像精度无影响。

倒置计数方法下,将 EN 门控窗口 T_{win} 减去检测值 $T_{measured}$,即为光子飞行时间 T_{tof} 。在一帧内的工作流程中,TDC 高低两段量化编码值分别为 $[D_{H,mn}]$ 和 $[D_{L,mn}]$,设 GRO 时钟周期 T_{HCK} 的分相数为 R ,则阵列中各像素量化的光子飞行时间 $T_{tof,mn}$ 可表示为:

$$T_{tof,mn} = T_{win} - [D_{H,mn}] \times T_{CLK} - [D_{L,mn}] \times \frac{T_{CLK}}{R} \quad (2)$$

事件驱动型量化时序以“检测到光子到来”这一事件为像素工作的前提条件,可有效避免像素中 GRO 和 TDC 大量无用功耗,同时 GRO 在普通环形 VCO 的基础上增加了门控开关,用于控制振荡时间

以进一步减小功耗。

2 关键模块电路设计

2.1 像素 TDC

为了在固定时钟频率下追求更高的分辨率,像素 TDC 采用如图 4 所示的单像素两段式 TDC 结构,7 bit 高段 TDC 采用由线性反馈移位寄存器 (Linear Feedback Shifter Register, LFSR) 构成的伪随机同步计数器结构,记录 GRO 的振荡周期数,得到粗量化数据。4 位低段 TDC 采用由数据选择器和 D 触发器构成的相位插值结构,采样计时停止时刻 GRO 半个周期 4 个分相时钟的相位信息,得到细量化数据。GRO 的 4 个分相时钟之间的理想相位差为 45° ,一个完整周期细分总计 8 种不同的相位状态,对应 3 bit 量化结

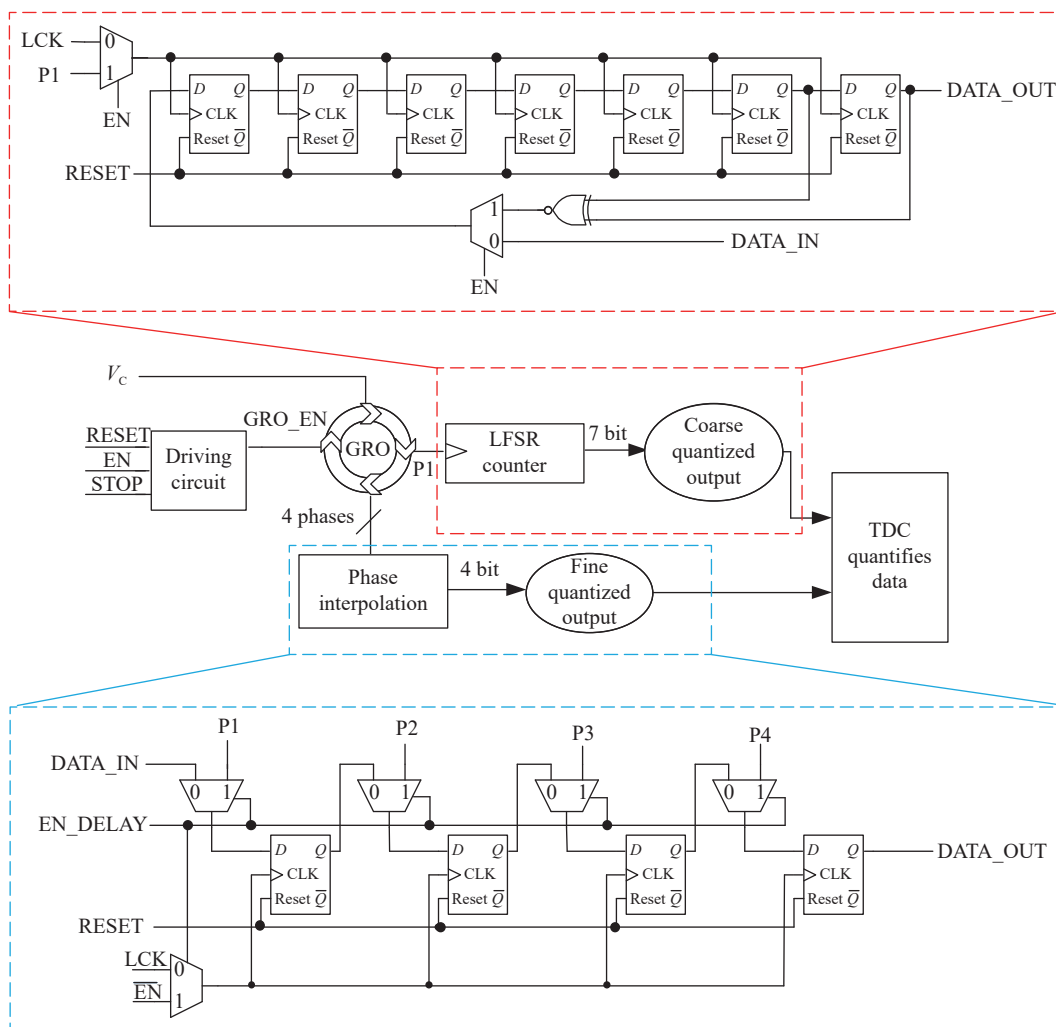


图 4 高精度两段式 TDC 电路

Fig.4 High-precision two-stage TDC circuit

果, TDC 总量化位数为 $7+3=10$ bit。

每一帧开始时, RESET 信号首先对 TDC 电路进行复位操作, 重置 TDC 电路的初始状态。当 EN 上升沿到来后, PLL 提供的控制电压 V_C 已传入 GRO 中, 一旦 GRO 启动工作, 可控制其振荡频率与 PLL 频率一致 (PLL 与 GRO 采用相同结构)。在实际的测距成像应用中, 可忽略各像素近似相同的公有误差, 如 GRO 的起振延时、数字模块门延时等, 仅需考虑 TDC 测量的相对误差。

2.2 门控 GRO 环振电路

GRO 作为驱动高精度 TDC 电路的时钟源, 需要具备高频、低相位噪声、低抖动等特性, 且各相时钟

信号要求分相均匀。

环振电路在频率稳定性和低抖动方面相对其他类型的 VCO 存在明显的不足, 并且相位噪声会随着延迟单元级数的增加而显著增大。为实现 8 分相低段 TDC 量化, 文中选取四级环振 GRO 全差分结构, 如图 5 所示, 低频下为负反馈环路, 高频下每级延迟单元只需产生额外附加的 45° 相移, 环路在此相移频率下转为正反馈而形成振荡。在 GRO 每级延迟单元的输出端添加双端转单端电路 (Double to Single converter, DTS) 和反相器组成的数字 buffer, 维持 50% 占空比的输出时钟信号并增强驱动能力。

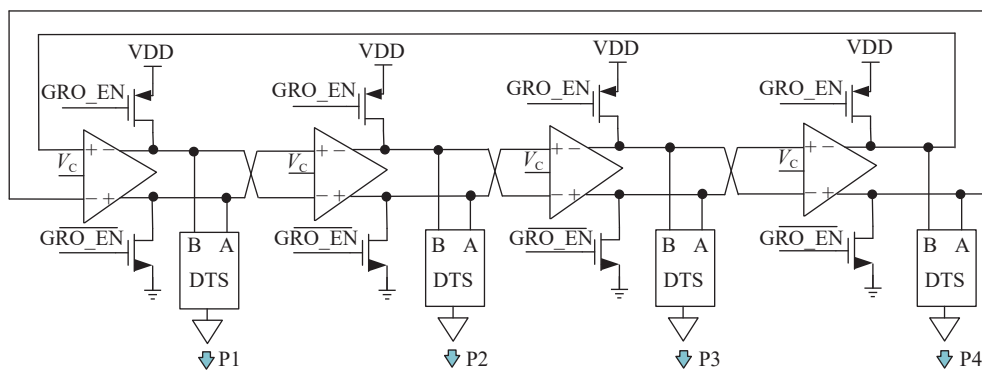


图 5 四级 GRO 结构

Fig.5 Four-level GRO structure

GRO 的时钟抖动会引起 TDC 的非线性退化, 进而降低 TDC 阵列系统的精度。如果直接由外部提供直流电压, 由固定直流电压控制的 GRO 是一个开环系统, 若外加直流电压的纹波较大, 会导致 GRO 输出时钟信号抖动较大。因此在 TDC 阵列外围设置一个 PLL, 由 PLL 提供 GRO 所需的控制电压, 在闭环控制下, 该电压的纹波很小, 由此通过电压控制可保证各个像素内 GRO 振荡频率相同, 且减小 GRO 内置时钟抖动, 并保持良好的 PVT 特性。

为了保证同一像素 GRO 在各帧起振相位一致, 以及不同像素 GRO 在同一帧下起振相位相同, 文中采用了由 MOS 开关管构造的初相复位电路, 利用 GRO_EN 作为 MOS 开关管的使能控制信号。当 GRO_EN 上升沿到来时, 开关管关断, 启动 GRO 振荡; 当 TDC 未处于量化阶段或 GRO_EN 下降沿到来时, 开关管闭合, 将延迟单元的差分输出分别短路到

电源或地, 强制 GRO 停止振荡, 同时也保证不同像素 GRO 在每一帧中的起振相位一致, 保证 TDC 高位计数正确^[14]。

GRO 中的延迟单元采用与 PLL 相同的结构, 如图 6 所示, 这是一种基于伪差分延迟单元的改进型结构, 即增加了 M0、M7、M8 管。图中 M0 为控制开关管, 当 GRO_EN 为高电平时, M0 导通使延迟单元正常工作; 当 GRO_EN 为低电平时, M0 断开, 延迟单元停止工作。差分对管 M1 和 M2 可抑制共模噪声; M3 和 M4 交叉耦合负载管利用形成的正反馈加快输出电平翻转速度、降低相位噪声。 V_C 调节压控负载管 M5 和 M6 输出的充电电流, 进而改变延迟时间。M7 和 M8 为频带抬升管, 其栅端接地并偏置于深线性区, 相当于在输出端并联一对电阻, 使输出端等效阻抗降低, 减小延迟时间, 提高输出频率。通过频带抬升管可以将 GRO 调谐曲线整体抬升至更高频带, 从

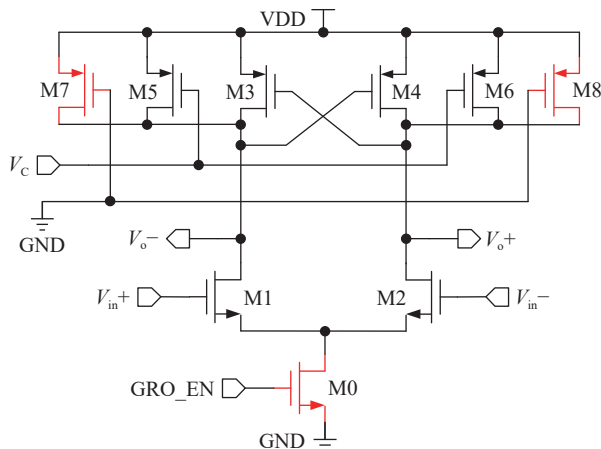


图 6 改进型伪差分延迟单元

Fig.6 Improved pseudo-differential delay unit

而减小 GRO 所需的调谐增益值,降低由于控制电压波动造成的 GRO 输出频率抖动,付出的代价是电路更大的静态功耗^[15]。

由于时钟内置的 GRO 在非曝光阶段停止工作,因此曝光阶段开始时 GRO 需要一定的起振时间才可驱动 TDC 计时,像素 TDC 最终的量化数据中并不包含此初相延迟时间数据,需要独立的量化模块对此时

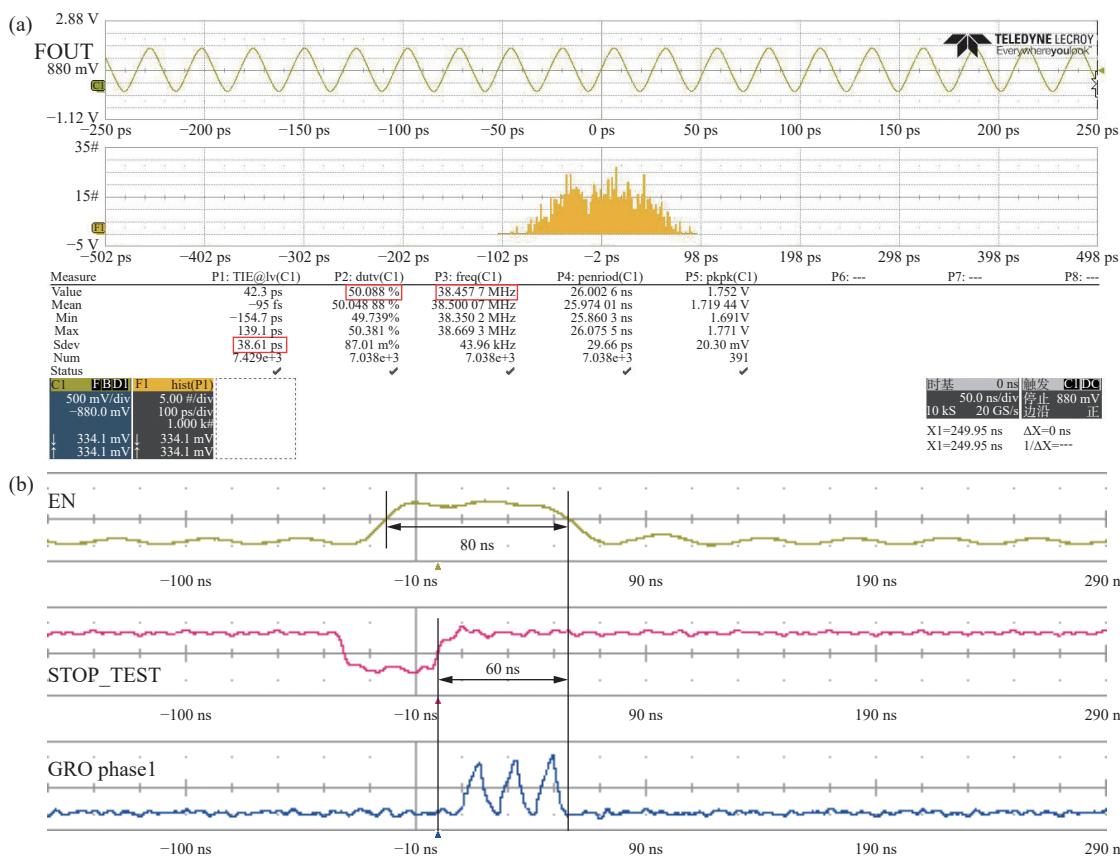
间进行单独量化,测量结果用于修正 TDC 得到的检测数据。由于每个像素中的 GRO 结构完全相同,因此各个像素的起振延迟时间应基本一致,在量化此时间时采样其中一个像素的初相数据即可。另外,初相延迟仅影响绝对距离的检测精度,影响最小检测距离,由于不影响像素间的相对距离关系,因此对远距离物体的成像影响可以忽略。

3 系统测试及结果分析

文中采用 TSMC 0.18 μm 1.8 V CMOS 工艺完成 TDC 阵列电路设计,并对 MPW 流片制备的样品完成封装和相关测试工作。在测试过程中,电路工作于测试模式,雪崩信号由模拟器件产生。

3.1 CP-PLL 多相时钟

CP-PLL 主要功能是将 TDC 内置的 GRO 锁定在固定的频率,并减小时钟抖动,抑制 TDC 量化的非线性误差。测试时 CP-PLL 通过外部信号源输入的参考时钟频率为 25 MHz,直接观测高频信号会带来原有波形较大的失真,为此输出的时钟信号经过示波器内置的 32 分频后,在示波器中观测到的波形如图 7(a)



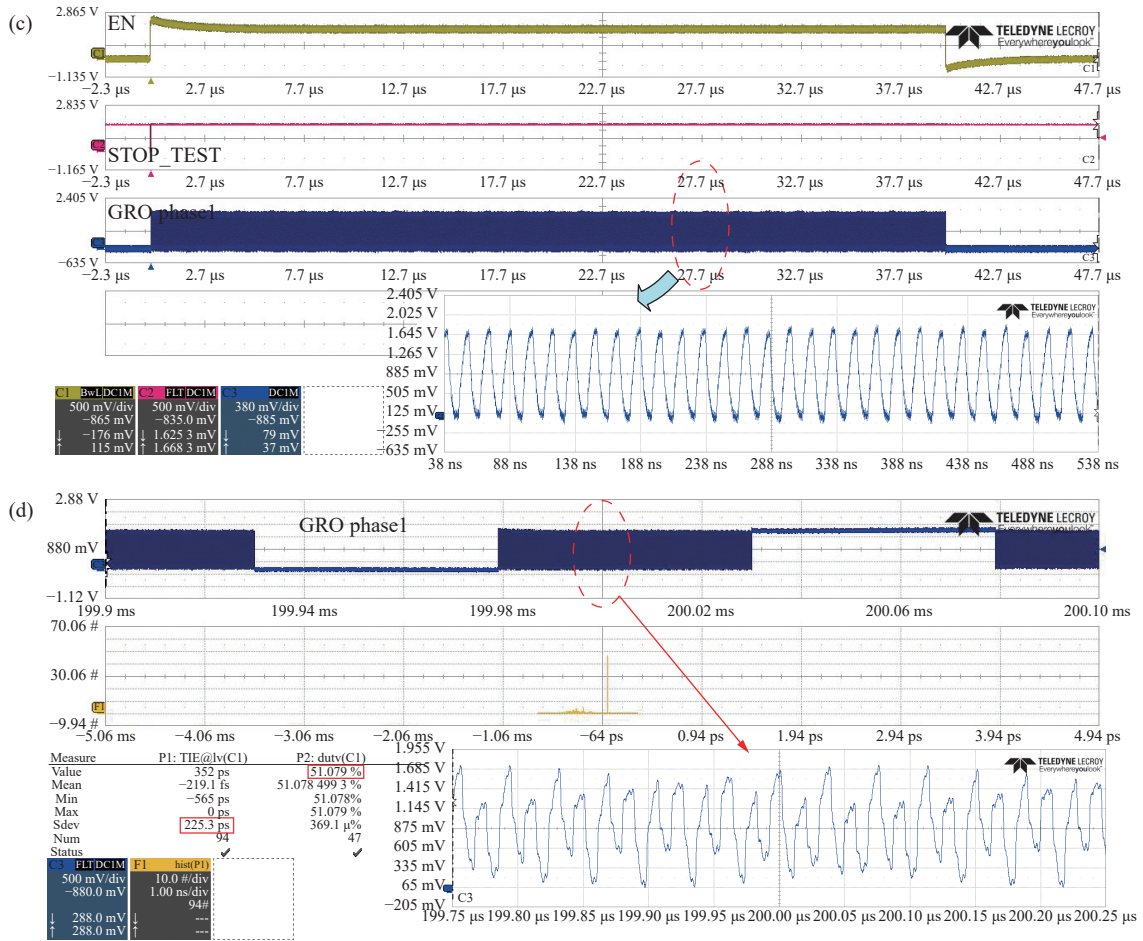


图 7 (a) CP-PLL 32 分频输出波形; (b) GRO 内置时钟功能测试; (c) PLL 控制电压驱动 GRO 内置时钟 16 分频波形图; (d) 输入直流电压的 GRO 时钟 16 分频波形图

Fig.7 (a) CP-PLL 32 divides the output waveform; (b) GRO built-in clock function test; (c) PLL control voltage drive GRO built-in clock divide-by-16 waveform graph; (d) Divide-by-16 waveform of the GRO clock for input DC voltage

所示, 输出时钟频率为 38.46 MHz, 对应 1.23 GHz 的时钟源信号, 占空比为 50.09%, 均方根抖动为 38.61 ps。相较于设计后仿输出 1.25 GHz 的工作频率, 两者比较接近; 高频时钟信号实际抖动应比观测到的分频信号更小。

3.2 GRO 内置时钟测试

为测试 GRO 内置时钟的事件驱动触发的功能, 由 CP-PLL 提供控制电压, 同时选择输入 EN 和 STOP_TEST 信号, 验证 STOP 上升沿触发振荡的能力, 相关信号波形如图 7(b) 所示, 可知 GRO 在 STOP_TEST 上升沿到来后进入振荡状态, 且在 EN 下降沿到来后停止振荡, 振荡持续了整个倒置量化时间范围, 时序功能符合预期设计。

为了评估内置时钟 GRO 的性能, 用 CP-PLL 为

GRO 提供控制电压, GRO 输出信号 16 分频后的波形如图 7(c) 所示。此时内置 GRO 振荡频率稳定在 72.48 MHz, 占空比为 49.16%。其均方根抖动为 75.98 ps, GRO 分频前输出频率约为 1.16 GHz, 相比较 CP-PLL 的时钟源信号性能略有退化, 主要原因是像素内 GRO 是闭环 PLL 的拷贝控制结构, GRO 并不在 PLL 环内, 负载差异导致频率减小, 抖动增加, 但仍能满足基本应用要求。

为了与外加控制电压条件下 GRO 内置时钟的性能做对比, 用外部直流稳压电源为 GRO 提供控制电压, 同时调整外部输入电压的大小, 直到输出频率达到额定频率。此时 GRO 内置时钟 16 分频后波形图如图 7(d) 所示, 输出频率为 78.125 MHz, 则 16 分频前达到额定频率 1.25 GHz, 占空比为 51.08%, 其均方根

抖动为 225.3 ps, 且时钟信号波形均匀性较差。由此可见, 采用 CP-PLL 压控电压控制的 GRO 更为稳定。

3.3 量化功能与性能测试

TDC 的分辨率即 TDC 的最小量化单位, 在分析线性度等方面有重要作用, 其数值等于使 TDC 输出数字量改变一个单位间的 TOF 变化量。在阵列工作量程内进行测试, 缓慢改变 EN 下降沿与 STOP_TEST

上升沿之间的时间间隔, 在量程范围内观察实际的时间间隔与量化时间间隔的变化关系, 以此来得到 TDC 的平均分辨率。输入-输出曲线如图 8(a) 所示, 局部放大曲线如图 8(b) 所示。对测得的 $T_{LSB,n}$ 数据取平均值可以得到 TDC 的平均分辨率为 $T_{LSB,AVE} \approx 102$ ps, 与仿真结果相近, 近似等于时钟周期的 1/8 分相大小。

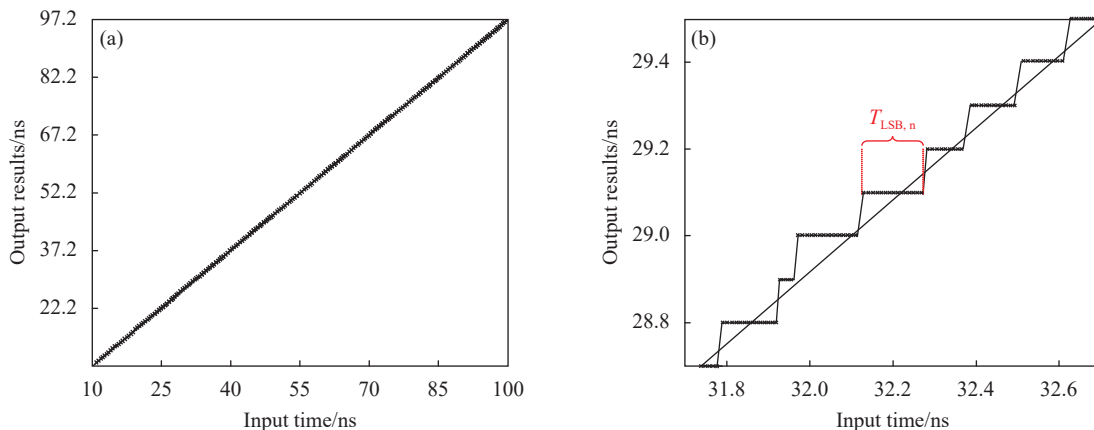


图 8 (a) TDC 整体输入-输出曲线; (b) TDC 局部输入-输出曲线

Fig.8 (a) TDC overall input-output curve; (b) TDC local input-output curve

为评估像素内 TDC 的线性度, 从 28.7 ns 开始, 以最小 10 ps 为步长, 缓慢调整 EN 下降沿与 STOP_TEST 上升沿之间的时间间隔, 以此改变 TDC 的量化时间,

并在每个时间点处分别测试多组数据, 以评估阵列 TDC 量化的非线性误差。测试结果如图 9 所示, TDC 阵列的 $|DNL| \leq 0.80$ LSB, $|INL| \leq 1.30$ LSB。

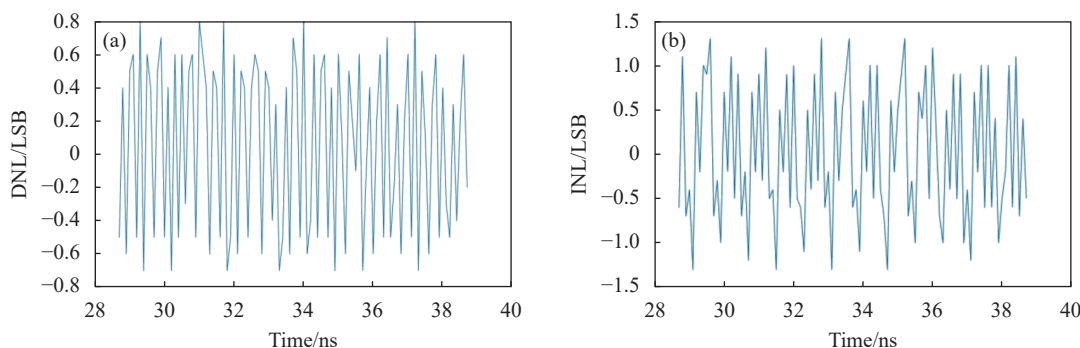


图 9 (a) DNL 曲线; (b) INL 曲线

Fig.9 (a) DNL curve; (b) INL curve

TDC 阵列各像素检测数据的均匀性对于激光雷达应用非常重要。器件的不匹配会导致不同像素 TDC 之间存在差异。为测量 TDC 阵列的均匀性水平, 通过外部控制输入的 EN 和 STOP_TEST 来控制 TDC

阵列内的所有像素对同一时间进行测量, 设置待测时间为 40 ns, 测得阵列 TDC 量化结果如图 10 所示。由图可得, 两个子阵列的像素中 TDC 测量结果近似相同, 其中高段输出结果完全相同, 但低段量化值存在

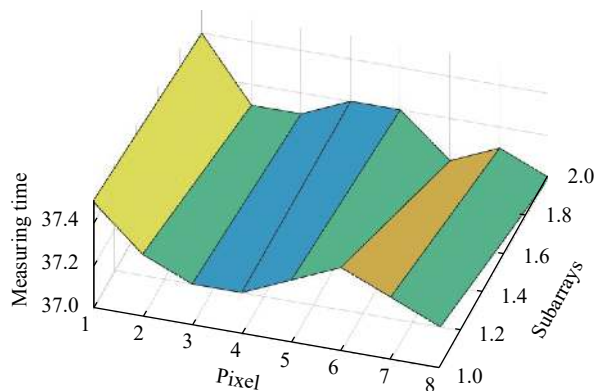


图 10 TDC 阵列均匀性
Fig.10 TDC array uniformity

偏差,总的相对偏差在 $\pm 0.65\%$ 以内,这说明各像素 GRO 产生的时钟频率和相位存在一定差异。

与国内外同类设计方案的比较结果,如表 1 所示,文中所设计的高精度 TDC 阵列在同等精度下,可以获得更大量程。但在功耗方面未得到明显体现,这是由于文中设计的 TDC 阵列规模较小,PLL 功耗占比较大,且测试的是阵列所有像素同时工作的功耗。PLL 功耗约为 5.4 mW,相较后仿结果相差不大,由此像素功耗估算为 3.37 mW。当阵列规模扩大后,不但 PLL 功耗的占比下降,当用于稀疏光子探测,事件驱动的低功耗特性得以显现。

表 1 文中与国内外同类设计比较

Tab.1 Performance comparison between the circuit in this paper and domestic and foreign design

References	2014 ^[5]	2017 ^[6]	2020 ^[7]	2022 ^[8]	This work
Technology/nm	180	150	150	180	180
Voltage/V	1.8	3.3	1.8	1.8	1.8
Format	64×64	64×64	32×32	32×32	1×16
Architecture	VCRO	GRO	GRO	VCRO+PI	GRO
Pixel pitch/ μm	64	60	44.64	60	100
Resolution/ps	145	250	210.2	50	102
Range/ns	297	20	50	51.2	100
DNL/LSB	± 1	0.3	1.28	0.48	0.8
INL/LSB	1.7	1.2	1.92	2.18	1.3
Power/mW	9×10^{-3} (pixel)	< 0.1 (pixel)	12.7	1.3(pixel's VCRO)	59.3

4 结 论

文中提出了一种基于内置时钟的 ROIC 读出电路,实现了 102 ps 的时间分辨率和 100 ns 最大量程,使用 CP-PLL 提供像素内置 GRO 的控制电压,抑制了输出时钟频率漂移,抑制了非线性误差,并采用事件检测驱动策略使其在稀疏光子探测应用等领域具有低功耗的特点,满足近距离、高精度的成像应用需要。

参考文献:

[1] Zheng Lixia, Liu Gaolong, Wu Jin, et al. Design of multifunctional infrared FPA ROIC [J]. *Infrared and Laser Engineering*, 2022, 51(12): 20220139. (in Chinese)
[2] Li Da, Li Yunxia, Meng Wen, et al. Application and

development of laser active imaging technology [J]. *Electronics Optics and Control*, 2013, 20(9): 59-63. (in Chinese)

[3] Deshpande R R, Bhatt M R, Madhavi C H R. Accuracy in depth recovery and 3D image synthesis from single image using multi-color filter aperture and shallow depth of field [J]. *IEEE Access*, 2021, 9: 123528-123540.
[4] Guo H, He X, Liu M, et al. Three-dimensional radiopharmaceutical-excited fluorescence imaging of lymph nodes [C]// 2017 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2017: 1-3.
[5] Vornicu I, Carmona-Galán R, Rodríguez-Vázquez A. A CMOS 0.18 μm 64×64 single photon image sensor with in-pixel 11 b time-to-digital converter[C]//2014 International Semiconductor Conference (CAS), 2014: 131-134.
[6] Perenzoni M, Perenzoni D, Stoppa D. A 64×64-pixels digital silicon photomultiplier direct TOF sensor with 100-MPhotons/

- s/pixel background rejection and imaging/altimeter mode with 0.14% precision up to 6 km for spacecraft navigation and landing [J]. *IEEE Journal of Solid-State Circuits*, 2017, 52(1): 151-160.
- [7] Zarghami M, Gasparini L, Parmesan L, et al. A 32×32-pixel CMOS imager for quantum optics with per-SPAD TDC, 19.48% fill-factor in a 44.64- μm pitch reaching 1-MHz observation rate [J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(10): 2819-2830.
- [8] Hu J, Wang X, Li D, et al. A 50-ps gated VCRO-based TDC with compact phase interpolators for flash LiDAR[C]//*IEEE Transactions on Circuits and Systems I: Regular Papers*, 2022.
- [9] Bai Tao, Chen Yuanjin, Dai Fang, et al. ROIC of ladar based on large array InGaAs linear APD [J]. *Infrared and Laser Engineering*, 2020, 49(8): 20190529. (in Chinese)
- [10] Shimada H, Mizuno K. External oscillator-less TDC based all-digital temperature sensor [J]. *Electronics and Communications in Japan*, 2019, 102(5): 12-18.
- [11] Wu Jin, Sun Yawei, Peng Jie, et al. Design of a low jitter phase locked loop for array TDC [J]. *Acta Electronica Sinica*, 2020, 48(9): 1703-1710. (in Chinese)
- [12] Ansari M A, Saeed S H, Balodi D. Charge pump-phase frequency detector based phase-locked loop for modern wireless communication —a review [J]. *Proceedings of Trends in Electronics and Health Informatics*, 2022, 376: 491-497.
- [13] Steinvall O. A Review of Laser Range Profiling for Target Recognition[M]. 2nd ed. Amsterdam: Elsevier, 2018: 474-495.
- [14] Cheng Z, Zheng X, Deen M J, et al. Recent developments and design challenges of high-performance ring oscillator CMOS time-to-digital converters [J]. *IEEE Transactions on Electron Devices*, 2016, 63(1): 235-251.
- [15] Tong Z, Gao J, Zhang H. Recognition, location, measurement, and 3D reconstruction of concealed cracks using convolutional neural networks [J]. *Construction and Building Materials*, 2017, 146 (2017): 775-787.

Low-power and high-precision SPAD array readout circuit based on built-in clock

Zheng Lixia, Han Yongqi, Wan Chenggong, Zhou Mouzhao, Li Xuyan, Wu Jin, Sun Weifeng*

(School of Integrated Circuits, Southeast University, Wuxi 214125, China)

Abstract:

Objective Using the highly sensitive detection ability of avalanche photoelectricity to weak photon signals, the time of flight can be detected which is obtained after the active laser light source is reflected by the target object. The spatial distance distribution of the measured object, namely the depth of scene information, can be obtained, and the geometric contour image of the target object can be reproduced through relevant algorithms. This Laser Detection and Ranging system composed of APD and readout integrated circuit has the advantages of small size, fast detection rate, high sensitivity, strong anti-interference ability, and is widely used in laser radar, quantum communication, map construction, safe distance detection, unmanned navigation and other fields. With the continuous expansion of the scale of SPAD array and the complexity of application scenarios, higher requirements are put forward for the performance of ROIC. This design focuses on high-precision resolution under low-power constraints. Based on the detailed analysis of the mutual constraints of ROIC array precision, range, area and power consumption, the controllable built-in GRO high-frequency clock drive pixel architecture and event-driven operation mode are adopted to reduce the system power consumption and meet the application requirements of short-range and high-precision ranging imaging.

Methods The readout integrated circuit for high-precision imaging is established. The ROIC array architecture selects the TDC fully built-in structure, which has unique advantages such as small nonlinearity and good clock phase-splitting uniformity, and eliminates many problems caused by the long-distance routing of polyphase high-

frequency clock signals (Fig.1). At the same time, in order to reduce the power consumption, the quantization timing adopts the event-driven quantization method (Fig.3). In order to further pursue higher resolution at rated frequency, the TDC circuit adopts a two-stage structure (Fig.4). In order to ensure clock uniformity and low jitter clock, an external PLL driver with built-in GRO is used to provide the required clock signal (Fig.5).

Results and Discussions The packaging and related testing of the samples prepared by the MPW chip are completed using the test instrument provided by the laboratory. The PLL outside the array and the GRO inside the pixel meet the requirements, and the GRO function also meets the requirements (Fig.7). The quantization function and performance of the array are tested, the average resolution of TDC is 102 ps (Fig.8). After evaluating the linearity of pixel TDC, the test results show that the differential nonlinearity of TDC array is not greater than 0.8 LSB, and the integral nonlinearity is not greater than 1.3 LSB (Fig.9). The uniformity of TDC array pixels is tested, and the test results show that the total relative deviation is within $\pm 0.65\%$, which indicates that the clock frequency and phase generated by each pixel GRO are different (Fig.10). Compared with similar design schemes at home and abroad, the high-precision TDC array designed can obtain larger range with the same accuracy (Tab.1).

Conclusions In this study, a readout integrated circuit based on built-in clock is designed. The performance of the readout circuit is tested using the test instrument provided by the laboratory. The resolution of the readout circuit is 102 ps, the differential nonlinearity of the pixel TDC is not more than 0.8 LSB, the integral nonlinearity is not more than 1.3 LSB, and the total relative deviation of the uniformity of the TDC array pixel is within $\pm 0.65\%$. By testing the performance of the readout circuit, for the sparse photon detection application environment, the circuit can meet the application requirements of short-range and high-precision, and provide stable imaging function for short-range detection.

Key words: time to digital converter; time-of-flight; gated ring oscillator; phase-locked loop; SPAD

Funding projects: National Key R&D Program of China (2022YFB3604905); National Natural Science Foundation of China (62174028); Natural Science Foundation of Jiangsu Province (BK20211046)