

CMOS 有源电感并联的前馈共栅跨阻放大电路

俸志富, 张家洪, 李英娜, 赵振刚

(昆明理工大学 信息工程与自动化学院, 云南 昆明 650500)

摘要: 设计了一种改进的前馈共栅 (Modified Feedforward Common Gate, MFCG) 跨阻放大电路, 通过使用 CMOS 有源电感与前馈共栅 (Feedforward Common Gate, FCG) 跨阻放大电路中的共源放大级并联, 使跨阻放大电路的带宽和跨阻增益均得到有效提升。基于 TSMC 60 nm CMOS 工艺在 Cadence 软件平台对 MFCG 跨阻放大电路进行仿真分析和版图设计。仿真结果表明在电源电压为 1.8 V, 光电二极管结电容为 200 fF 的情况下, 放大电路的 -3 dB 带宽为 17.2 GHz, 跨阻增益为 55 dBΩ, 在带宽内等效输入噪声电流谱密度小于 $55 \text{ pA}/\sqrt{\text{Hz}}$, 电路功耗为 3.7 mW, 电路版图面积为 0.0029 mm^2 。结果表明: 所设计的 MFCG 跨阻放大电路具有跨阻增益高、带宽大、版图面积小等优点, 可用于 20 Gb/s 光纤通信系统的光接收机电路。

关键词: CMOS 有源电感; 跨阻放大电路; 前馈共栅放大电路; 高频 CMOS 电路

中图分类号: TN432 **文献标志码:** A **DOI:** 10.3788/IRLA20210386

Feedforward common gate transimpedance amplifier circuit based on CMOS active inductor in parallel

Feng Zhifu, Zhang Jiahong, Li Yingna, Zhao Zhengang

(Faculty of Information Engineering and Automation, Kunming University of Science and Technology, Kunming 650500, China)

Abstract: A modified feedforward common gate transimpedance amplifier circuit was designed. By using CMOS active inductor in parallel with the common source amplifier stage in the feedforward common gate transimpedance amplifier circuit, the bandwidth and gain of the transimpedance amplifier circuit can be improved effectively. Based on TSMC 60 nm CMOS process, simulation analysis and layout design of MFCG cross-resistance amplifier were carried out on Cadence software platform. The simulation results show that when the power supply voltage is 1.8 V and the photodiode junction capacitance is 200 fF, the amplifier circuit's -3 dB bandwidth is 17.2 GHz, the transimpedance gain is 55 dBΩ, the equivalent input noise current spectral density is less than $55 \text{ pA}/\sqrt{\text{Hz}}$ in the bandwidth, and the circuit power consumption is 3.7 mW. The circuit layout area is 0.0029 mm^2 . The results show that the designed MFCG transimpedance amplifier has the advantages of high transimpedance gain, large bandwidth, small layout area and so on, and can be used in the optical receiver circuit of 20 Gb/s fiber communication system.

Key words: CMOS active inductor; transimpedance amplifier circuit; feedforward common gate amplifier circuit; high-frequency CMOS circuits

收稿日期: 2021-12-20; 修订日期: 2022-02-25

基金项目: 国家自然科学基金 (61765009, 61962031)

作者简介: 俸志富, 男, 硕士生, 主要从事集成跨阻放大电路及其在宽带光电探测方面的应用研究。

导师简介: 张家洪, 男, 副教授, 硕士生导师, 博士, 主要从事集成光波导电磁场传感器及应用、微波光子技术及应用、光纤传感检测技术、嵌入式系统开发与应用等方面的研究。

0 引言

光纤通信由于其传输容量大、安全性高、串扰少、抗电磁干扰等优点而受到人们的广泛应用。跨阻放大电路作为在光接收机中最前端的电路,跨阻放大电路的带宽代表了整个光接收机电路的上限带宽。在跨阻放大电路的制造工艺方面,对比其他工艺,例如 SiGe, Bipolar 和 GaAs, 由于 CMOS 工艺的低功耗和高集成度的优势,所以 CMOS 工艺更适合于设计制造跨阻放大电路^[1-3]。

跨阻放大电路作为光接收机的第一级电路,需要在输入端连接一个光电二极管用来接收光信号,当光电二极管接收到光信号后,利用光电效应转换为光电流后,输入到跨阻放大电路中,将光电流转换并放大为电压信号^[4]。然而在跨阻放大电路输入端连接的光电二极管本身具有较大的寄生电容,寄生电容会在跨阻放大电路的输入端与输入电阻会产生一个极点,限制跨阻放大电路的带宽。为了提升跨阻放大电路的带宽,工程师提出了很多提升带宽的技术。例如,改善电路结构降低输入电阻、负米勒效应^[5]、电感峰化^[6]等。

1990 年, Sackinger E 提出了调节型共源共栅 (Regulated Cascode, RGC) 跨阻放大电路,与普通共栅放大电路相比, RGC 跨阻放大电路因为较低的输入阻抗而被普遍使用^[7]。2016 年, Abu-Taha J Y 等人在 RGC 跨阻放大电路中使用了阻抗匹配技术,设计了大带宽低功耗的跨阻放大电路,带宽达到 20 GHz,版图面积为 3.64 mm²^[8]。2017 年, Seifouri M 等人通过有源反馈技术减小 RGC 跨阻放大电路的输入输出阻抗,同时使用电感补偿技术,使放大电路的带宽达到 7.9 GHz,版图面积为 0.11 mm²^[9]。2020 年,为了减小 RGC 跨阻放大电路的功耗和提升 RGC 跨阻放大电路的带宽, Soltanisarvestani R 等人使用 Cascode 晶体管对 RGC 跨阻放大电路进行改进,电路的带宽为 7.3 GHz,功耗为 1 mW^[10]。Hosseini M 等人使用 MOS 导抗转换器对 RGC 跨阻放大电路进行改善,电路的带宽为 9.2 GHz,功耗为 5.3 mW^[11]。可见,虽然现有研究通过使用阻抗匹配、有源反馈、电感补偿等技术扩展了电路的带宽,但电路功耗依然较大。为了解决 RGC 跨阻放大电路功耗过大的问题,早在 2004 年,

Christian Kromer 等人对 RGC 跨阻放大电路进行了改进,提出了前馈共栅 (Feedforward Common Gate, FCG) 跨阻放大电路,该电路不但解决了 RGC 净空消耗过大的问题,而且 FCG 跨阻放大电路输入阻抗也比 RGC 跨阻放大电路更小。此后,该研究团队通过使用电感并联峰化技术将 FCG 跨阻放大电路的带宽扩展到 13.4 GHz,电路版图面积为 0.01 mm²^[12]。2012 年,王晓霞在没有使用电感峰化技术的情况下,使用可配置功率技术设计了一种高性能 FCG 跨阻放大电路,虽然电路版图面积减小为 0.0064 mm²,但是带宽扩展有限,只达到 6.8 GHz^[13]。2018 年, Behnam Abdollahi 等人提出了一种补偿技术改善 FCG 跨阻放大电路的带宽和稳定性,虽然电路的稳定性有很大的提高,版图面积为 0.014 mm²,但是带宽只达到 3 GHz^[14]。2019 年, Soorena Zohoori 等人提出了一种无电感的 FCG 跨阻放大电路改进结构,虽然 FCG 跨阻放大电路的功耗只有 0.27 mW,但电路的带宽只达到 4 GHz^[15]。可以看到,现有对 FCG 跨阻放大电路的研究主要集中在,使用电感并联峰化技术拓展电路的带宽,使用可配置功率技术减小电路版图面积,使用补偿技术改善电路的稳定性,以及使用无电感设计减小电路功耗等。但是,现有不管是对 RGC 跨阻放大电路的研究还是对 FCG 跨阻放大电路的研究,都着重在如何提高电路的带宽、减小电路版图面积或者减小电路功耗等,而没有综合考虑使放大电路的几个性能指标同时得到提升。

文中通过在 FCG 跨阻放大电路的共源放大级并联 CMOS 有源电感的方法,设计了一种改进的前馈共栅 (Modified Feedforward Common Gate, MFCG) 跨阻放大电路。MFCG 跨阻放大电路通过在共源放大级并联 CMOS 有源电感,有效地提升了电路带宽,同时因为电路使用的 CMOS 有源电感替换平面螺旋电感,使得电路版图面积更小。最后基于 TSMC 60 nm CMOS 工艺,在 Cadence 软件平台中对 MFCG 跨阻放大电路的性能进行仿真分析和版图设计。

1 FCG 跨阻放大电路的带宽扩展

图 1 为 FCG 跨阻放大电路,虚线框内是光电二极管电路模型,由电流源 I_{in} 和结电容 C_{pd} 组成。FCG 跨阻放大电路的输入阻抗为:

$$Z_m \approx \frac{1}{g_{m1}(1 + g_{m2}g_{m3}R_2R_3)} \quad (1)$$

式中： g_m 为晶体管的跨导。相比于 RGC 跨阻放大电路和共源放大电路，FCG 跨阻放大电路的输入阻抗更小^[12]。 M_2 管和 R_2 组成的共栅放大电路跨接在结点 IN 和结点 X 之间，共栅放大电路具有很低的输入阻抗和很大的工作带宽^[16]，为 M_3 管的正常工作提供了足够的栅压。然而，结点 Y 的 M_3 管和电阻 R_3 以及结点 O 的 M_1 管和电阻 R_1 构成的两级共源放大电路，虽然它们为 FCG 跨阻放大电路提供了主要的增益，但是在结点 X 与结点 Y 之间和结点 Y 与结点 O 之间的晶体管寄生电容，分别与 R_1 和 R_3 产生极点，构成了两级低通滤波电路，极大限制了 FCG 跨阻放大电路的带宽。

因此提出使用 CMOS 有源电感代替电阻，与 FCG 跨阻放大电路的共源放大级并联，利用 CMOS 有源电感的电感特性抵消共源放大电路中寄生电容带来的带宽限制，从而提升整体 FCG 跨阻放大电路的带宽。

CMOS 有源电感和平面螺旋电感类似，在一定频率范围内，阻抗随频率上升，但是 CMOS 有源电感占用的版图面积比平面螺旋电感小得多，常用于高速光

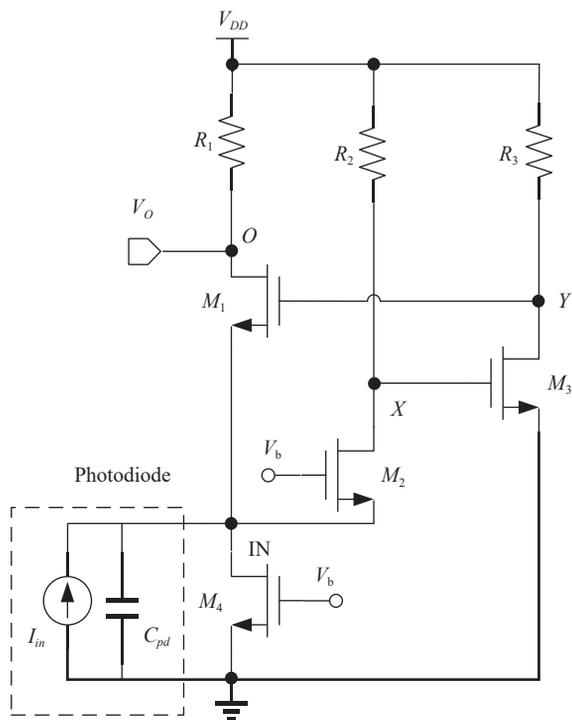


图 1 FCG 跨阻放大电路示意图

Fig.1 Schematic diagram of FCG transimpedance amplifier circuit

电集成电路的带宽扩展^[17]。如图 2(a) 所示，CMOS 有源电感结构仅由一个 NMOS 晶体管 M_0 和一个电阻 R_s 组成，图 2(b) 为 CMOS 有源电感的小信号模型。

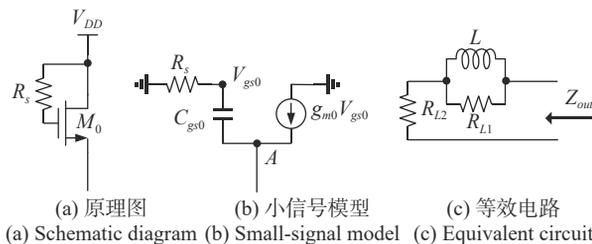


图 2 CMOS 有源电感

Fig.2 CMOS active inductor

根据图 2(b) CMOS 有源电感的小信号模型可计算得 CMOS 有源电感的输出阻抗为：

$$Z_{out} = \frac{V_A}{I_A} = \frac{1}{g_{m0}} \frac{1 + sR_s C_{gs0}}{1 + sC_{gs0} \frac{1}{g_{m0}}} \quad (2)$$

式中： V_A 和 I_A 是图 2(b) 中结点 A 的电压和电流，其中 C_{gs0} 是晶体管 M_1 的栅源电容。由输出阻抗函数公式 (2) 可计算得到，低频时，输出阻抗为 $1/g_{m0}$ ，高频时，因为 C_{gs0} 短路所以输出阻抗等于 R_s 。CMOS 有源电感的频率范围从 $\omega_{L_z} = 1/R_s C_{gs0} \sim \omega_{L_p} = g_{m0}/C_{gs0}$ ，为了更好地实现电感，所以必须满足 $R_s \gg 1/g_{m0}$ 。根据上述 CMOS 有源电感的特性，可得到等效电感电路如图 2(c) 所示，其中 $R_{L1} = R_s$, $R_{L2} = 1/g_{m0}$, $L \approx R_s C_{gs0}/g_{m0}$ 。

CMOS 有源电感改进 FCG 跨阻放大电路实现带宽扩展的原理如图 3 所示，图 3(a) 为采用负载电阻 R 的共源放大电路，电路中的 C_L 是负载电容，其中包含与下一级之间的寄生电容。图 3(b) 为采用 CMOS 有源电感替换电阻负载 R 后的共源放大电路，图中虚线框内为 CMOS 有源电感。

图 3(a) 采用电阻负载的共源放大电路的传输函数为：

$$\frac{V_{out}}{V_{in}}(s) = -\frac{g_m R}{sRC_L + 1} \quad (3)$$

由此可以看到和前文所述一致，负载电容 C_L 与电阻 R 构成了一个低通滤波电路，产生一个极点 $\omega_{cs_p0} = 1/RC_L$ ，这个极点决定了共源放大电路的带宽。

图 3(b) CMOS 有源电感并联后的共源放大电路传输函数和低频跨阻增益分别为：

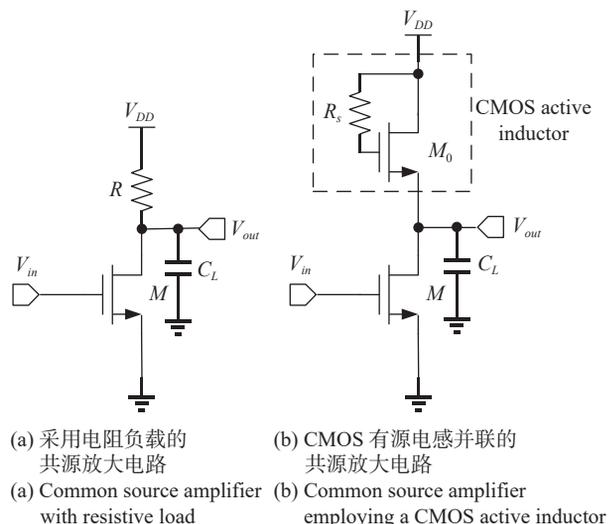


图 3 不同负载的共源放大电路原理图

Fig.3 Schematic diagram of common source amplifier circuit for different loads

$$\frac{V_{out}}{V_{in}}(s) = -\frac{g_m}{g_{m0}} \frac{(1 + sR_s C_{gs0})}{s^2 \frac{R_s C_{gs0} C_L}{g_{m0}} + s \left(\frac{C_L - C_{gs0}}{g_{m0}} \right) + 1} \quad (4)$$

$$\frac{V_{out}}{V_{in}}(0) = -\frac{g_m}{g_{m0}} \quad (5)$$

共源放大电路传输函数公式 (4) 中的两个极点为 ω_{cs_p1} 和 ω_{cs_p2} , 设 $\omega_{cs_p1} \ll \omega_{cs_p2}$, 可计算得其的零极点分别为 $\omega_{cs_p1} = g_{m0}/(C_L - C_{gs0})$, $\omega_{cs_p2} = (C_L - C_{gs0})/R_s C_L C_{gs0}$, $\omega_{cs_z} = 1/C_{gs0} R_s$ 。

$$Z_{TIA}(s) = \frac{V_o}{I_{in}} = \frac{\frac{g_{m1}}{g_{m5} g_{m6}} (s C_{gs5} R_1 + 1) (a s^3 + b s^2 + c s + d)}{\left(s^2 \frac{C_o C_{gs5} R_1}{g_{m5}} + s \frac{C_o}{g_{m5}} + 1 \right) (s C_{in} + G) (1 + s R_2 C_x) \left(s^2 \frac{C_{gs6} C_y R_3}{g_{m6}} + s \left(C_y + \frac{C_{gs6}}{g_{m6}} \right) + 1 \right)} \quad (7)$$

式中： $a = C_{gs6} C_y R_3 R_2 C_x$; $b = (R_2 C_x (g_{m6} C_y + C_{gs6}) + C_{gs6} C_y R_3)$; $c = (g_{m6} C_y + g_{m6} + R_2 C_x g_{m6} - g_{m2} g_{m3} R_2 R_3 C_{gs6})$; $d = g_{m2} g_{m3} R_2$; $G = g_{m2} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + \frac{1}{r_{o4}}$; $C_{in} = C_{pd} + C_{ds4} + C_{gd4} + C_{gs2} + C_{ds1} + C_{ds2} + C_{gs1}$; $C_o = C_{ds1} + C_{gd1}$; $C_x = C_{ds2} + C_{gd2} + C_{gs3} + C_{gd3}$; $C_y = C_{ds3} + C_{gd3} + C_{gs1} + C_{gd1}$ 。
式中： C_{dsi} , C_{gdi} , C_{gsi} 表示的是晶体管 M_i 的栅源电容、栅漏电容、漏源电容; $1/r_{oi}$ 表示的是晶体管 M_i 的输出电导; 上述中 $i=1,2,3,4,5,6$ 。

由公式 (7) 分母的极点表达式可以观察到, 除了输入结点 IN 和结点 X 产生的两个极点外, 由于在 MFCG 跨阻放大电路两级共源放大级使用 CMOS 有

源电感后, 一方面 C_{gs0} 和负载电容 C_L 串联减小了负载电容 C_L 的限制, 另一方面为电路系统引入了一对零点, 可以通过调整零点 ω_{cs_z} 的位置来靠近主极点 ω_{cs_p1} 减小影响。零点 ω_{cs_z} 只与电阻 R_s 和电容 C_{gs0} 有关, 改变电容 C_{gs0} 需要改变晶体管 M_0 的沟道宽度, 然而晶体管 M_0 沟道宽度也决定了跨导 g_{m0} 。因此改变电容 C_{gs0} 会影响公式 (5) 共源放大电路的低频跨阻增益。

文中选择改变电阻 R_s 来减小零点 ω_{cs_z} , 靠近主极点 ω_{cs_p1} , 当电阻 R_s 满足下列条件公式 (6) 时, 零点 ω_{cs_z} 和极点 ω_{cs_p1} 相等, 则:

$$R_s = \frac{C_L - C_{gs0}}{g_{m0} C_{gs0}} \quad (6)$$

则公式 (4) 变为极点为 ω_{cs_p2} 的单极点函数, 代入公式 (6) 极点变为 $\omega_{cs_p2} = g_{m0}/C_L$, 与电阻负载的共源放大电路公式 (3) 的单极点 $\omega_{cs_p0} = 1/RC_L$ 相比, 因为 CMOS 有源电感中 $R_s \gg 1/g_{m0}$, 所以 $\omega_{cs_p2} \gg \omega_{cs_p0}$, 共源放大电路的带宽得到提升。

2 MFCG 跨阻放大电路

图 4 为 FCG 跨阻放大电路使用 CMOS 有源电感代替负载电阻 R_1, R_3 , 与共源放大级并联后的 MFCG 跨阻放大电路。根据 KCL 定理得到结点方程, 可计算 MFCG 跨阻放大电路的传输函数为:

源电感代替了原有的负载电阻, 产生了两对分别只与结点 Y 和结点 O 有关的极点。根据上一节 CMOS 有源电感并联共源放大电路的理论分析, 通过改变在结点 Y 处和在结点 O 处组成 CMOS 有源电感的电阻 R_1 和 R_3 , 使零点靠近较小的极点, 从而减小极点对带宽的影响, 实现 MFCG 跨阻放大电路带宽的扩展。

3 电路仿真与版图设计

基于 TSMC 60 nm CMOS 工艺在 Cadence 软件平台对图 4 的 MFCG 跨阻放大电路进行仿真, 其中电源电压为 1.8 V, 偏置电压 V_b 为 1.1 V, 光电二极管结电

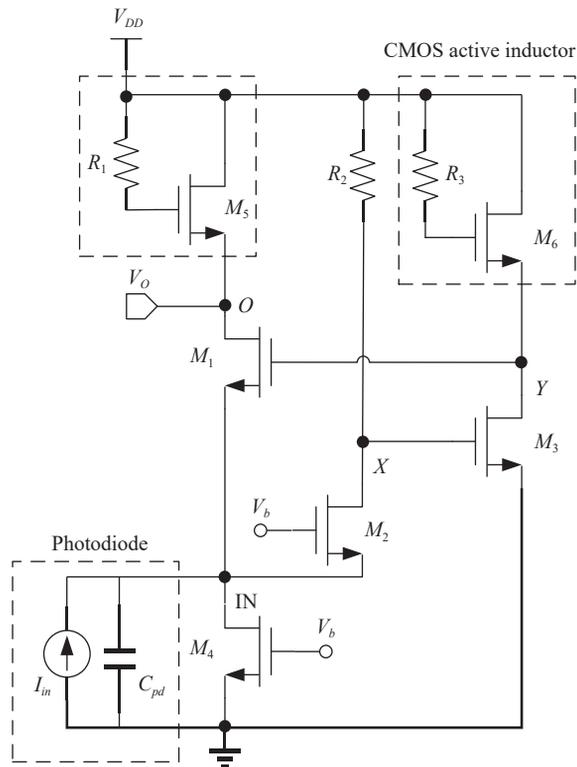


图 4 MFCG 跨阻放大电路示意图

Fig.4 Schematic diagram of MFCG transimpedance amplifier circuit

容设计为 $C_{pd}=200$ fF, 电流源的幅度为 $I_{in}=50$ μ A, 电阻 $R_2=1.5$ k Ω , 晶体管设计的尺寸参数如表 1 所示, 其中晶体管沟道长度 $L=60$ nm。

表 1 晶体管尺寸

Tab.1 Dimnesions of the transistor

	M_1	M_2	M_3	M_4	M_5	M_6
W/L	200	66.6	83.3	50	25	66.6

电阻 R_3 从 2 k Ω 依次增加到 5 k Ω , 在结点 Y 的幅频响应, 以及电阻 R_1 从 4 k Ω 依次增加到 7 k Ω , 在结点 O 的幅频响应, 如图 5 所示。可以看到, 随着电阻 R_1 和 R_3 的增大, 结点的带宽也随之增大, 但是当电阻 R_3 大于 3 k Ω , 电阻 R_1 大于 5 k Ω 时, 分别开始出现增益尖峰。因此, 将电阻 R_1 设计为 5 k Ω , 电阻 R_3 设计为 3 k Ω , 此时, MFCG 跨阻放大电路的跨阻增益为 55.0 dB Ω , -3 dB 带宽为 17.2 GHz。此时, 放大电路的等效输入噪声电流谱密度如图 6 所示, 由图 6 可知等效输入噪声电流谱密度在 -3 dB 带宽内小于 55 pA/ $\sqrt{\text{Hz}}$ 。

MFCG 跨阻放大电路的眼图仿真结果如图 7 所

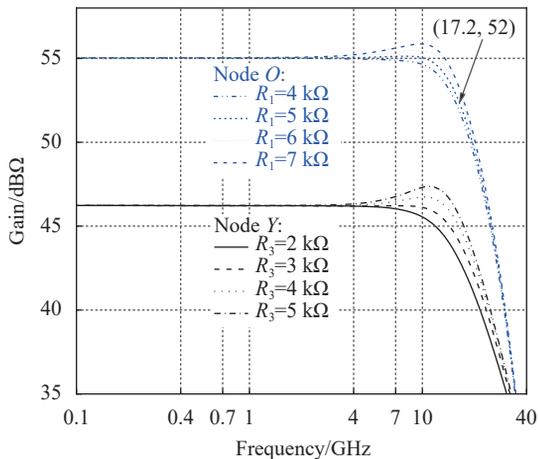


图 5 不同 R_1 在结点 O 和不同 R_3 在结点 Y 的幅频响应

Fig.5 Frequency responses of different R_1 at node O and different R_3 at node Y

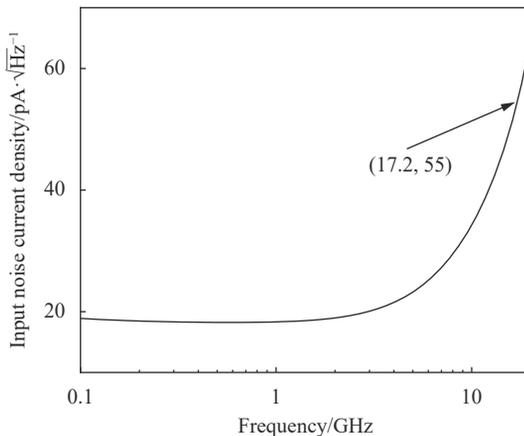


图 6 等效输入噪声电流谱密度

Fig.6 Equivalent input noise current spectral density

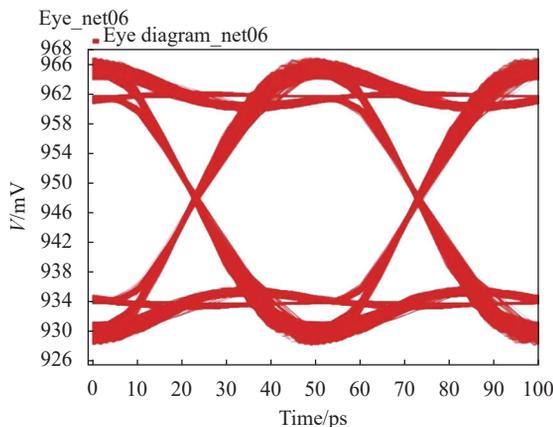


图 7 MFCG 跨阻放大电路仿真眼图

Fig.7 Simulated eye-diagram of MFCG transimpedance amplifier circuit

示, 在输入 20 Gb/s NRZ PBR31 50 μ A 的伪随机输入电流时, 眼图的垂直张开度为 69% 和水平张开度为 93%, 眼图对称完整, 能够满足 20 Gb/s 的光纤通信要求。图 8 是 MFCG 跨阻放大电路的版图设计, 版图面积为 0.0029 mm^2 , 与参考文献 [12] 使用平面螺旋电感电路的 FCG 跨阻放大电路版图面积相比, MFCG 跨阻放大电路版图面积缩小了 71%。

表 2 为设计的 MFCG 跨阻放大电路与其他近几年跨阻放大电路的性能比较。可以看出, 设计的 MFCG 跨阻放大电路与参考文献 [8] 电路相比, 虽然在带宽方面相差 2.8 GHz, 但是电路的增益提高了 2.4 $\text{dB}\Omega$, 版图面积缩小了 1255 倍。与参考文献 [9] 电路相比, 设计的 MFCG 跨阻放大电路虽然在增益方面相差 4 $\text{dB}\Omega$, 但是电路的带宽提升了 9.3 GHz, 版图面积减小了 38 倍。此外, 与参考文献 [10–15] 相比, 设计的 MFCG 跨阻放大电路在带宽、增益、电路版图面积方面均具有较大的优势。

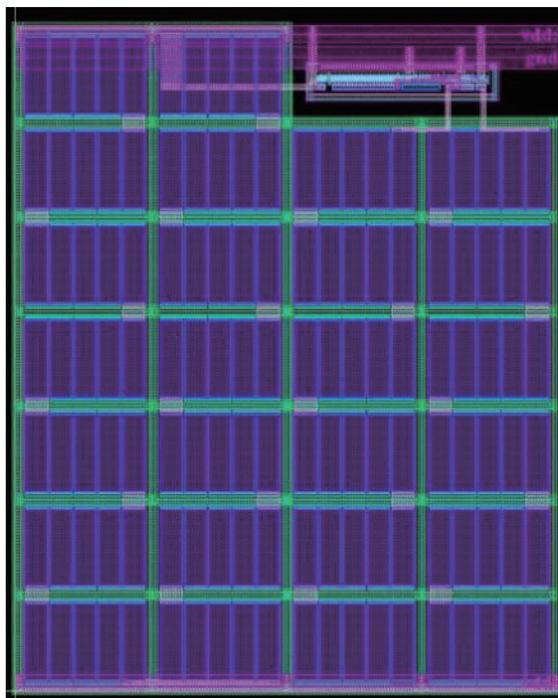


图 8 MFCG 跨阻放大电路设计版图

Fig.8 Chip layout of MFCG transimpedance amplifier circuit

表 2 性能比较

Tab.2 Performace comparison

Ref.	Bandwidth/GHz	Gain/ $\text{dB}\Omega$	Power/ mW	Input capacitance/ pf	Noise current/ $\text{pA}/\sqrt{\text{Hz}}$	Area/ mm^2	Technique
[8]	20	52.6	1.3	0.05	11	3.64	CASCADE
[9]	7.9	59	18	0.3	23	0.11	RGC
[10]	7.3	50.5	1	0.2	19.9	\	RGC
[11]	9.2	49.7	5.3	0.5	15.3	0.068	RGC
[12]	13.4	52.8	2.2	0.32	50	0.01	FCG
[13]	6.8	53.9	6.26	0.35	27	0.0064	FCG
[14]	3	52	4.3	2	75	0.014	FCG
[15]	4	40.6	0.27	0.2	13.7	\	FCG
Paper work	17.2	55	3.7	0.2	55	0.0029	FCG

4 结 论

文中设计了一种改进的前馈共栅跨阻放大电路, 基于 TSMC 60 nm CMOS 工艺对电路仿真分析和版图设计。仿真结果表明: 该电路在电源电压为 1.8 V, 光电二极管结电容为 200 fF 的情况下, -3 dB 带宽为 17.2 GHz, 跨阻增益为 55 $\text{dB}\Omega$, 带内等效输入噪声电流谱密度小于 55 $\text{pA}/\sqrt{\text{Hz}}$, 电路功耗为 3.7 mW, 版图面积为 0.0029 mm^2 。与现有的 FCG 跨阻放大电路相比, 改进的 FCG 跨阻放大电路带宽至少扩展了

3.8 GHz, 跨阻增益至少提高了 1.1 $\text{dB}\Omega$ 。与使用平面螺旋电感并联的 FCG 跨阻放大电路相比, 改进的 FCG 跨阻放大电路版图面积缩小了 71%。结果表明, 所设计的 MFCG 跨阻放大电路具有跨阻增益高、带宽大、版图面积小等优点, 可用于 20 Gb/s 光纤通信系统的光接收机电路。

参考文献:

[1] Francisco A, Santiago C, Bel N C. CMOS Receiver Front-ends

- for Gigabit Short-Range Optical Communications [M]. New York: Springer, 2013.
- [2] Chen X, Takahashi Y. Design of a CMOS broadband transimpedance amplifier with floating active inductor [C]//2019 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), 2019.
- [3] Abd-Elrahman D, Atef M, Abbas M, et al. Current-reuse transimpedance amplifier with active inductor [C]//Signals, Circuits and Systems (ISSCS), 2015 International Symposium on, 2015.
- [4] Xie Sheng, Min Chuang, Wei Heng, et al. Design of an analog front-end circuit for a 25 Gb/s optical receiver in 40 nm CMOS [J]. *Journal of Tianjin University(Science and Technology)*, 2020, 53(12): 1295-1300. (in Chinese)
- [5] Kim D W, Chi H K, Chun Y S, et al. 12.5 Gb/s analog front-end of an optical transceiver in 0.13 μm CMOS [C]//IEEE International Symposium on Circuits & Systems, 2013.
- [6] Mohan S S, Hershenson M D M, Boyd S P, et al. Bandwidth extension in CMOS with optimized on-chip inductors [J]. *IEEE Journal of Solid-State Circuits*, 2000, 35(3): 346-355.
- [7] Sackinger E, Guggenbuhl W. A high-swing, high-impedance MOS cascode circuit [J]. *IEEE J Solid-State Circuits*, 1990, 25(1): 289-298.
- [8] Abu-Taha J Y, Yazgi M. Improving the bandwidth of the transimpedance amplifier based on CS stages in cascode configuration using impedance matching techniques [J]. *Analog Integrated Circuits and Signal Processing*, 2016, 89(3): 685-691.
- [9] Seifouri M, Amiri P, Dadras I. A transimpedance amplifier for optical communication network based on active voltage-current feedback [J]. *Microelectronics Journal*, 2017, 67: 25-31.
- [10] Soltanisarvestani R, Zohoori S, Soltanisarvestani A. A RGC-based, low-power, CMOS transimpedance amplifier for 10 Gb/s optical receivers [J]. *International Journal of Electronics*, 2020, 107(3): 444-460.
- [11] Hosseini M, Jafarnejad R, J Sobhi, et al. A low power wideband RGC-based modified-MIC trans-impedance amplifier in 0.18 μm CMOS process [J]. *Microelectronics Journal*, 2020, 96(2): 104682.
- [12] Kromer C, Sialm G, Morf T, et al. A low-power 20-GHz 52-dB Ω transimpedance amplifier in 80-nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2004, 39(6): 885-894.
- [13] Xiaoxia W, Zhigong W. High performance power-configurable preamplifier in a high-density parallel optical receiver [J]. *Journal of Semiconductors*, 2012, 33(1): 015004.
- [14] Abdollahi B, Mesgari B, Saeedi S, et al. Stability analysis and compensation technique for low-voltage regulated cascode transimpedance amplifier [J]. *Microelectronics Journal*, 2018, 71: 37-46.
- [15] Zohoori S, Shafiei T, Dolatshahi M. A 274 μW , inductor-less, active RGC-based transimpedance amplifier operating at 5 Gbps [C]//2019 27th Iranian Conference on Electrical Engineering (ICEE), 2019.
- [16] Razavi B. Design of Analog CMOS Integrated Circuits [M]. New York: Tata McGraw-Hill Education, 2002.
- [17] Razavi B. The active inductor [A circuit for all seasons] [J]. *IEEE Solid-State Circuits Magazine*, 2020, 12(2): 7-11.