

## 1280 × 1024, 10 μm 数字红外焦平面读出电路设计 (特邀)

钟昇佑, 姚立斌, 范明国, 李正芬

(昆明物理研究所, 云南昆明 650223)

**摘要:** 焦平面红外探测器的数字读出是其发展的一个重要方向, 相比传统的模拟红外焦平面探测器, 数字红外焦平面探测器具有诸多优势。数字红外焦平面探测器的核心在于数字读出电路。文中详细介绍了 1280 × 1024, 10 μm 数字焦平面读出电路的设计和实现。通过对读出电路的测试得到其噪声为 157 μV, 在 50 Hz 帧频下功耗为 165 mW, 列级固定图案噪声为 0.1%。所设计的数字读出电路与短波红外探测器成功实现了倒装焊互连并完成了成像, 所成图像清晰、细节丰富。测试结果和探测器成像效果表明, 所设计的数字读出电路具有低噪声、高传输带宽、高抗干扰性等特点, 有助于提升红外焦平面探测器的各项性能。

**关键词:** 红外焦平面探测器; 数字读出电路; 大面阵; 小像元; 列级 ADC

**中图分类号:** TN216      **文献标志码:** A      **DOI:** 10.3788/IRLA20211113

## 1280 × 1024, 10 μm digital IRFPA readout integrated circuit design (*Invited*)

Zhong Shengyou, Yao Libin, Fan Mingguo, Li Zhengfen

(Kunming Institute of Physics, Kunming 650223, China)

**Abstract:** Digital readout of infrared focal plane array (IRFPA) orients its development. Compared with traditional analog IRFPA, digital IRFPA has many advantages. The critical technique of digital IRFPA is the digital readout integrated circuit (DROIC). The design and implementation of the 1280 × 1024, 10 μm DROIC was introduced in detail in this paper. The DROIC was tested and the results showed its noise was 157 μV, the power consumption was 165 mW when frame rate was 50 Hz, and the column fix pattern noise was 0.1%. The DROIC interconnected short-wave infrared detector through flip chip successfully and completed imaging. The images had good resolution and rich details. The test results and images' effect indicated that the DROIC has some features, such as low noise, wide transmission bandwidth and good resistance to interference and so on, and contributes to the development of IRFPA's performance.

**Key words:** IRFPA; digital ROIC; large format; small pixel; column level ADC

收稿日期: 2021-12-25; 修订日期: 2022-02-10

作者简介: 钟昇佑, 男, 高级工程师, 博士, 主要从事混合信号集成电路设计方面的研究。

导师简介: 姚立斌, 男, 研究员, 博士生导师, 博士, 主要从事混合信号集成电路设计方面的研究。

## 0 引言

红外探测器利用物体本身各部分温度辐射与发射率的差异获得目标细节,并通过光电转换、电信号处理等手段将目标物体的温度分布显示为人眼可见的图像。由于焦平面红外探测器具有抗干扰能力强、隐蔽性好、获取的场景信息丰富等优点,因此在导航、制导、监控、预警、工业检测和医疗卫生等领域均具有广泛的应用。

焦平面红外探测器的数字读出是其发展的一个重要方向。相比传统的模拟红外焦平面探测器,数字红外焦平面探测器具有抗干扰性强、传输带宽高以及稳定性好等优点。数字红外焦平面技术的核心在于数字读出电路(Digital readout integrated circuit, DROIC)技术,其通过将模拟-数字转换器(ADC)集成进读出电路中,使得探测器光电流信号在片内实现数字化,读出电路直接输出数字信号,是下一代红外焦平面探测器的通用基础技术<sup>[1]</sup>。

为了获得更高的空间分辨率,或通过单个探测器获得更大的视场(FOV),目前焦平面红外探测器正朝着大面阵、小像元尺寸的方向发展,这对数字读出电路的设计提出了诸多挑战,例如小面积读出单元电路设计、小面积 ADC 设计、以及高速数据传输电路设计等,以上设计都必须以低功耗实现,以降低制冷机的功耗、体积和成本等<sup>[2]</sup>。文中首先介绍了数字读出电路技术的发展现状,然后详细介绍了用于短波红外焦平面红外探测器的  $1280 \times 1024$ ,  $10 \mu\text{m}$  的数字读出电路设计,最后给出了测试结果以及与探测器完成倒装焊互连后的组件的成像效果。

## 1 数字读出电路技术发展现状

国际上,在数字读出电路技术上领先的机构主要有以色列的 SCD 公司、美国的 Lockheed Martin 公司(以下简称洛马公司)以及法国的 Lynred 公司等。由于读出电路通常针对特定红外焦平面探测器进行设计,只有少数公司将其作为独立的产品,所以这里通过介绍数字焦平面红外探测器的发展现状来阐述数字读出电路的技术水平。

以色列的 SCD 公司是最早启动数字读出电路研究工作的公司之一,早在 2011 年就推出了面阵规格为  $640 \times 512$ , 像元中心距为  $15 \mu\text{m}$  的数字探测器组

件,其产品代号为 Pelican-D;之后 SCD 公司在此基础上进行了技术提升,推出了 Hercules 系列产品,面阵规格扩大为  $1280 \times 1024$ ;2017 年,SCD 公司推出  $10 \mu\text{m}$  像元中心距的新产品系列 BlackBird,面阵规格覆盖了  $1920 \times 1536$ 、 $1280 \times 1024$  和  $640 \times 512$ ,成为世界领先的数字红外成像组件供应商<sup>[3]</sup>。洛马公司下属的 Santa Barbara Focal plane 公司是全球领先的红外焦平面探测器生产厂商,其产品线齐全,面阵规格覆盖了  $320 \times 256 \sim 2560 \times 2048$ ,其中 SBF234 和 SBF259 均为  $1280 \times 1024$  面阵规格,  $8 \mu\text{m}$  像元中心距的产品,而 SBF246 更是实现了  $2048 \times 2048$  的面阵规格,像元中心距同为  $8 \mu\text{m}$ <sup>[4]</sup>。法国的 Sofradir 曾是世界领先的红外焦平面探测器厂商,2019 年与 ULIS 进行重组后成为现在的 Lynred 公司,其旗下的 DAPHNIS-HD 和 DAPHNIS-XGA 产品达到了  $1280 \times 720$  和  $1024 \times 768$  的面阵规格,像元中心距达到了  $10 \mu\text{m}$ <sup>[5]</sup>。

“十二五”期间国内各大研究机构已经开展了数字红外焦平面读出电路及数字探测器的研究工作。昆明物理研究所经过多年的技术攻关,现已取得了一定的成果,2015 和 2019 年先后发布了  $640 \times 512$ ,  $15 \mu\text{m}$  的中波及短波两款数字红外焦平面探测器组件<sup>[1,6]</sup>,并于 2021 年发布了  $384 \times 288$ ,  $25 \mu\text{m}$  的长波数字焦平面探测器组件,该组件采用最新的数字像元技术和数字积分技术,动态范围达到  $95.2 \text{ dB}$ ,最高帧频可以达到  $1012 \text{ Hz}$ <sup>[7]</sup>。

## 2 数字读出电路设计

### 2.1 数字读出电路架构

根据 ADC 集成进读出电路的方式不同,数字读出电路也有以下 3 种架构:片级、列级以及像素级 ADC 数字读出电路架构。其中,像素级 ADC 数字读出电路架构虽为目前最先进的架构<sup>[8]</sup>,但是要在  $10 \mu\text{m} \times 10 \mu\text{m}$  的面积内实现高分辨率 ADC 的设计具有较大的难度,而且 131 万个 ADC 同时工作,读出电路的功耗将十分可观,因此并不适用与  $1280 \times 1024$ ,  $10 \mu\text{m}$  的读出电路设计。相比较而言,列级 ADC 数字读出电路架构在各方面性能和电路实现之间具有较好的平衡,是小像元读出电路的主流架构之一。列级 ADC 数字读出电路架构如图 1 所示,整个读出电路包含读出单元电路、ADC 阵列以及数据传输电路三个主要

部分组成。下面对应用于短波红外焦平面探测器的数字读出电路的各组成模块设计进行介绍。

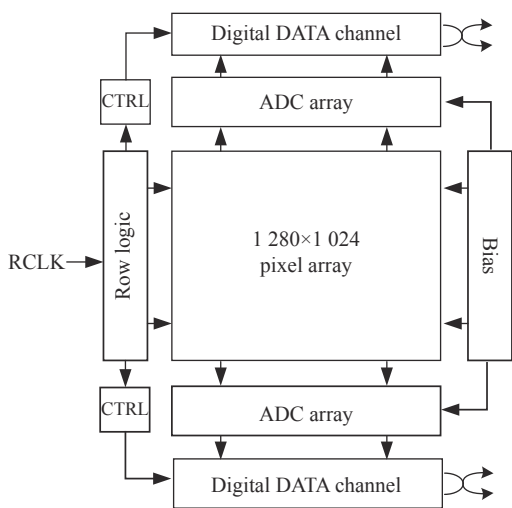


图 1 1280 × 1024, 10 μm 数字读出电路结构框图

Fig.1 Diagram of the 1280 × 1024, 10 μm DROIC

### 2.2 读出单元电路设计

读出单元电路的功能是将探测器光电流进行积分,转换成电压信号后传输至下一级电路进行处理。短波红外探测器相比中波和长波红外探测器具有光电流较小的特点,因此需要采用高注入效率的注入级电路;此外整个读出单元电路的版图面积必须小于等于 10 μm × 10 μm,因此必须充分考虑读出单元电路的版图实现。

传统的注入级电路(例如 3T 结构)虽然具有简单的电路结构和较小的版图面积,但并不适用于短波焦平面红外探测器,因为在积分过程中探测器的偏置电压不断变化,光电流同时对积分电容和探测器分布电容进行积分,注入效率较低。文中采用电容反馈跨阻放大器型 (CTIA) 注入级电路,其通过引入高增益放大器,将积分电容跨接在放大器的输入端(即探测器光电二极管的正端)和输出端,探测器正端的偏置电压恒定,探测器光电流几乎只对积分电容积分,从而实现高注入效率<sup>[9]</sup>。整个读出单元电路的原理图如图 2 所示,其中  $C_{int}$  为积分电容,  $C_{pd}$  为探测器的分布电容。3T 和 CTIA 结构的积分过程对比如图 3 所示。

CTIA 注入级电路的核心在于高增益放大器,其增益决定了注入效率,假设放大器的增益为  $A_v$ ,根据注入效率的定义和米勒等效定理可以写出:

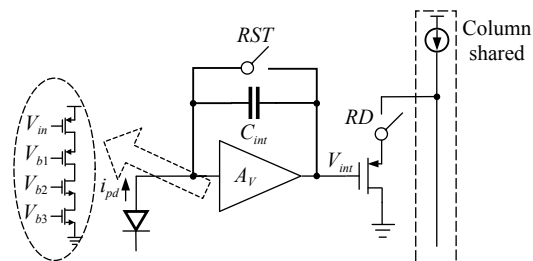


图 2 读出单元电路原理图

Fig.2 Schematic of readout unit circuit

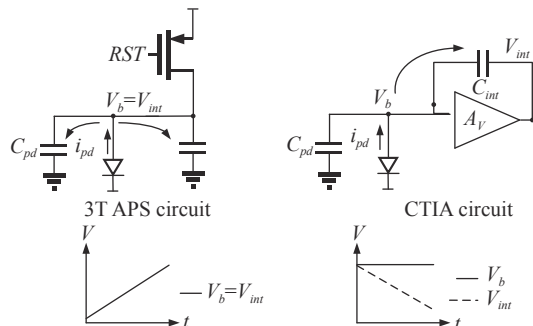


图 3 3T 和 CTIA 电路的积分过程比较

Fig.3 Comparison of integrations between 3T and CTIA circuit

$$\eta = \frac{1}{1 + \frac{1}{A_v} \left(1 + \frac{C_{pd}}{C_{int}}\right)} \quad (1)$$

假设  $C_{pd}$  为 40 fF,对于 60 fF 的积分电容设计,可以计算得到当放大器增益大于 50.5 dB 时,注入效率  $\eta$  高于 99.5%。

除此以外,CTIA 电路的放大器还占据了较大的版图面积。常用的放大器结构通常包含 5~9 个晶体管,考虑到放大器的  $1/f$  噪声以及晶体管之间的匹配等,各晶体管不能采用最小尺寸设计,因此放大器具有较大的版图面积,这对于 10 μm × 10 μm 的像元面积而言具有很大影响。

考虑到以上两方面,文中采用了单端共源共栅 (Cascode) 放大器结构,如图 2 所示。整个放大器只包含 4 个晶体管,这为小面积读出单元电路设计打下了基础,同时放大器的增益达到了 68 dB,读出电路的注入效率达到 99.9%。

所设计的读出单元电路采用卷帘门曝光 (Rolling shot) 工作模式,其工作原理为:所有像元逐行开始积分,然后逐行结束积分并将积分后的光电信号逐行读出。与全局曝光 (Global shot) 相比,卷帘门曝光工作模式的读出单元电路无需采样/保持电容,为小面积

设计提供了基础。

### 2.3 ADC 设计

ADC 是数字读出电路的关键组成模块,其对于读出电路乃至整个红外焦平面探测器的性能有重要影响。首先,ADC 的分辨率影响着整个焦平面红外探测器的动态范围,针对红外信号高动态范围的特点,ADC 的位数需要达到 14 bit 或以上;其次,ADC 的转换速度影响着读出电路的工作速率和焦平面红外探测器的最高帧频,对于面阵规格为  $1280 \times 1024$  的焦平面红外探测器,如果要求帧频高于 100 Hz,则要求 ADC 的转换速度达到 128 ksps;最后,ADC 的功耗直接影响读出电路和焦平面红外探测器的功耗,对于面阵规格为  $1280 \times 1024$  的数字读出电路,共包含 1280 个 ADC,单个 ADC 的微小功耗提升,都将为焦平面红外探测器带来可观的功耗提升,因此 ADC 必须以低功耗实现。

为了满足上述要求,采用参考文献 [6] 中报道过的高分辨率、低功耗二阶 Incremental Sigma-Delta ADC (其结构框图如图 4 所示),并在此基础上针对大面阵、小像元中心距读出电路的特点进行了优化。

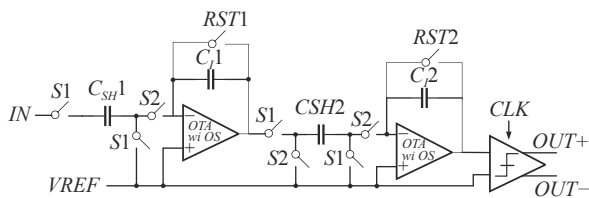


图 4 二阶 Incremental Sigma-Delta 调制器结构框图

Fig.4 Diagram of the second order Incremental Sigma-Delta modulator

对于  $10 \mu\text{m}$  像元中心距的读出电路,单个 ADC 的版图宽度必须小于等于  $10 \mu\text{m}$ ,即便将 ADC 阵列分为奇偶部分,分别放置于读出电路的上下两端,单个 ADC 的版图宽度也必须小于等于  $20 \mu\text{m}$ ,这使得 ADC 的版图呈一种狭长的极端形状,不利于 ADC 中较为关键的模拟电路的对称性版图设计,进而造成模拟电路中差分器件的失配,并产生失调 (offset);此外,对于  $1280 \times 1024$  的面阵规格,整个 ADC 阵列的宽度将达到  $12.8 \text{ mm}$ ,CMOS 工艺的偏差十分显著,ADC 之间存在较大的电路参数 (例如晶体管的阈值电压  $V_{th}$ ,宽度和长度等) 失配,这会使各个 ADC 的失调存在较大的差异,从而引起焦平面红外探测器的列级固定图案噪声 (FPN)。

为此,在原先的设计基础加入失调消除技术 (offset cancellation) 以减小 ADC 的失调,同时降低了焦平面红外探测器的列 FPN。对于二阶 Incremental Sigma-Delta ADC,调制器是其主要的模拟电路模块,而调制器的核心是两个放大器,所以本次设计在放大器的输入端加入了由开关电容组成的失调消除电路,如图 5 所示,其工作原理如下:

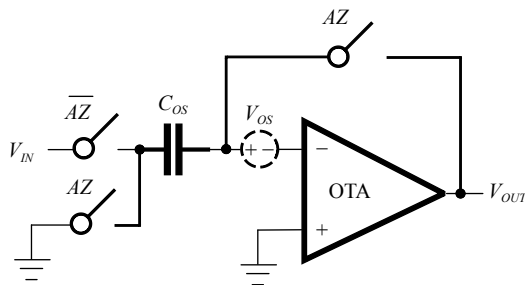


图 5 带有输入级失调消除电路的放大器

Fig.5 OTA with input stage offset cancellation circuit

在 ADC 开始转换之前,控制信号 AZ 有效,此时放大器接成单位增益负的反馈结构,假设放大器的开环增益为  $A_V$ ,放大器输入等效失调为  $V_{OS}$ ,则此时放大器输出端的电压  $V_{OUT}$  为:

$$V_{OUT} = \frac{A_V}{1 + A_V} V_{OS} \quad (2)$$

该电压被存储在电容  $C_{OS}$  上。在 ADC 转换的期间,控制信号 AZ 保持无效,此时正常的输入信号  $V_{IN}$  送入到放大器,根据电荷重分配的原理可以得到此时放大器的输出信号  $V_{OUT}'$  为:

$$V_{OUT}' = -A_V \left( V_{IN} - \frac{V_{OS}}{1 + A_V} \right) \quad (3)$$

公式 (3) 表明,放大器的输入等效失调电压被减小至:

$$V_{OS}' = \frac{V_{OS}}{1 + A_V} \quad (4)$$

对于所设计的放大器,开环增益为 60 dB,因此其输入等效失调电压被减小至原来的 1/1000。

在版图设计方面,为了减小由于差分晶体管失配带来的失调,采用交叉层叠的版图布局技术,将相邻两个 ADC 的调制器在垂直方向进行依次叠放,单个调制器的宽度限制被放宽到  $40 \mu\text{m}$ ,从而可以充分采用共质心版图结构;此外,还在差分晶体管周围加入 dummy 器件以提高差分晶体管的匹配。ADC 阵列的版图布局示意图如图 6 所示,从图中可以看到,采用

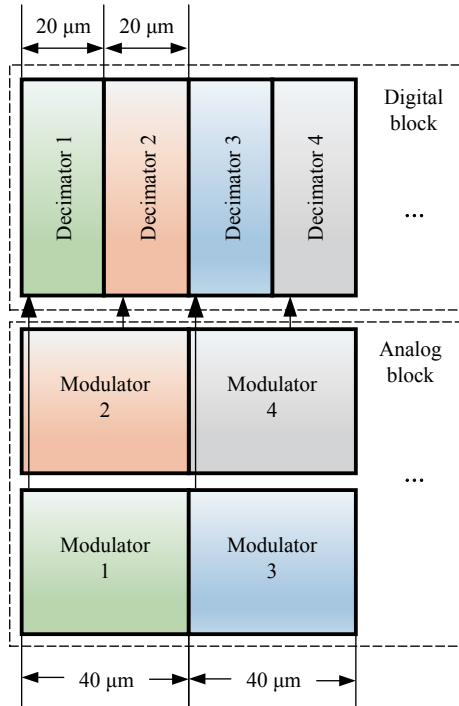


图 6 ADC 阵列版图布局

Fig.6 Floor plane of ADC array

该布局还使得相邻两个 ADC 的调制器集中在底部，而 ADC 的数字抽取滤波器 (Decimator) 仍然在 Y 方向平行排列，即 ADC 的模拟电路和数字电路在物理上分开，减小数字电路对模拟电路的干扰。

### 2.4 数据传输电路设计

对于 ADC 的位数为 14 bit, 面阵规格为 1280×1024 的数字焦平面红外探测器, 如果帧频为 50 Hz, 则读出电路的数据率约为 0.9 Gbps, 如果帧频为 100 Hz, 则数据率将超过 1.8 Gbps。为了满足以上设计要求, 采用了两项电路技术。

首先, 采用 4 路高速、低功耗并行/串行数据转换电路完成 ADC 输出数据的多路选择和传输, 所采用的并行/串行数据转换电路不仅能实现 500 MHz 以上的工作速率而且功耗仅为数毫瓦<sup>[6]</sup>。整个 ADC 阵列输出的并行数据被分为 4 组, 分别传输到对应的并行/串行数据转换电路中转换成串行。4 通道数据传输电路结构框图如图 7 所示。

其次, 采用低压差分信号 (LVDS) 进行数据输出。LVDS 技术能以数 Gbps 的速率传输串行数据, 而且具有低功耗和低误码率的特点。结合所采用的并行/串行数据转换电路单路, 整个读出电路的数

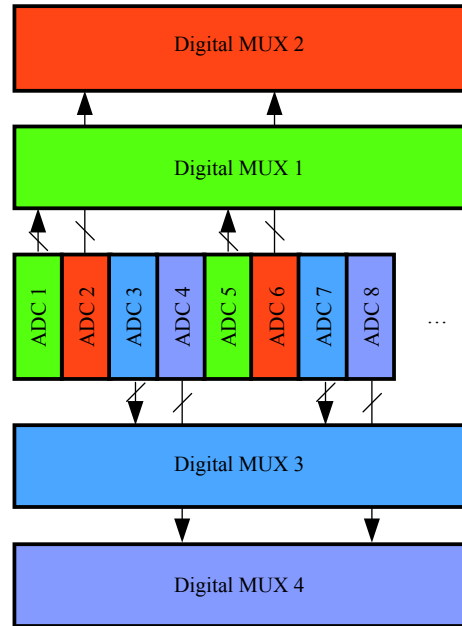


图 7 4 通道数据传输电路结构框图

Fig.7 Diagram of 4-channel data transmission circuit

据率可达到 2 Gbps, 支持数字焦平面红外探测器最高 100 Hz 的帧频。

### 3 读出电路测试及探测器成像验证

所设计的 1280 × 1024, 10 μm 数字焦平面读出电路基于 0.18 μm 标准 CMOS 工艺进行了实现, 图 8 为读出电路的芯片照片, 所设计的数字读出电路与短波红外探测器进行了倒装焊互连, 实现了数字短波红外探测器, 其照片如图 9 所示。基于自主开发的测试平台对所设计的读出电路进行了测试。

在无光电流输入的情况下, 对读出电路进行 200 帧输出数据的采集, 通过计算每个像元的 RMS 噪

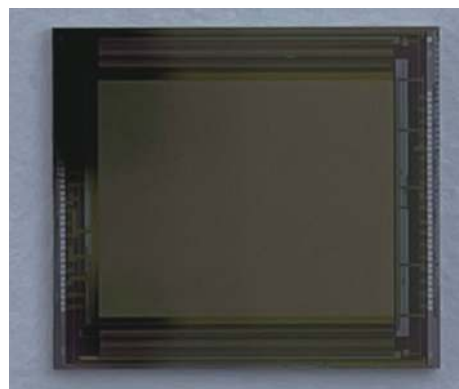


图 8 1280 × 1024, 10 μm 数字焦平面读出电路芯片照片

Fig.8 Picture of the proposed 1280 × 1024, 10 μm DROIC





图 9 数字短波红外焦平面探测器照片

Fig.9 Picture of the digital short-wave IRFPA

声并计算所有像元 RMS 噪声的平均值, 最终得到整个读出电路的读出噪声为 1.03 LSB(最小可分辨位数), 约为 157  $\mu$ V, 测试结果如图 10 所示。

同样在无光电流输入的情况下, 对读出电路输出数据求各列的平均值, 并计算各列平均值的 RMS 值, 最终得到读出电路的列 FPN 为 18.5 LSB, 约为整个输出范围的 0.1%。得益于对 ADC 阵列采用的失调消除设计, 相比参考文献 [6] 的设计, 列 FPN 改善了约 60%, 测试结果如图 11 所示。

在 50 Hz 帧频的条件下, 对读出电路的功耗进行了测试, 其工作电压为 3.3 V(像元阵列和 ADC 阵列等模块的工作电压) 和 1.8 V(数据传输和逻辑控制电路等模块的工作电压), 测得读出电路的总功耗为 165 mW, 其中读出单元阵列的功耗为 70 mW, ADC 阵列的功耗为 68 mW, 4 通道数据传输电路的功耗为 17 mW, 其余电路模块 (包括逻辑控制电路和偏置电流产生电路等) 的功耗为 10 mW, 如图 12 所示。

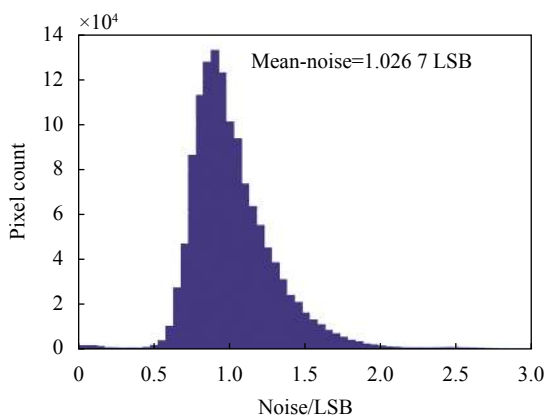


图 10 数字读出电路噪声测试结果

Fig.10 Test result of the DROIC's noise

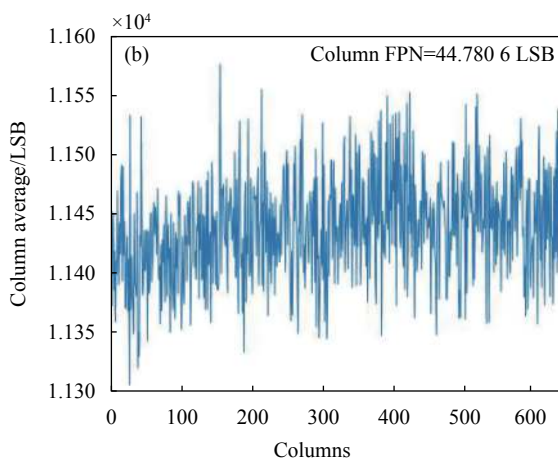
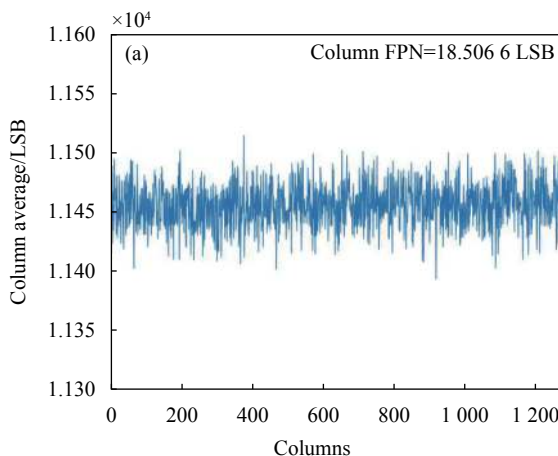


图 11 (a) 所设计的 1280  $\times$  1024, 10  $\mu$ m 数字读出电路 FPN 测试结果; (b) 参考文献 [6] 中 640  $\times$  512, 15  $\mu$ m 数字读出电路 FPN 测试结果

Fig.11 (a) Proposed 1280  $\times$  1024, 10  $\mu$ m DROIC's column FPN test result; (b) Column FPN test result of 640  $\times$  512, 15  $\mu$ m DROIC mentioned in Ref. [6]

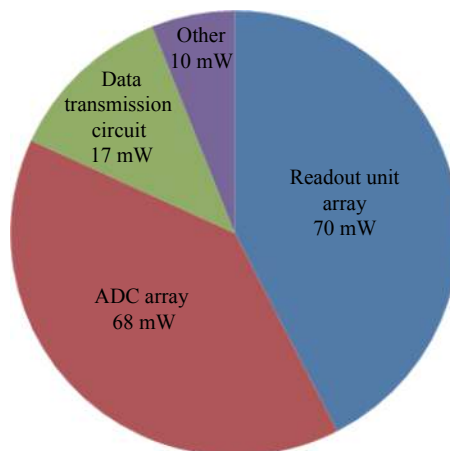


图 12 所设计的数字读出电路各组成模块功耗

Fig.12 Power consumption of the proposed DROIC's all components

表 1 统计了所设计的数字读出电路的性能指标并与国外同类产品进行了比较。所设计的数字读出电路在 ADC 位数和噪声等性能指标方面达到国外产品的水平,但功耗和帧频还有改进的空间。ADC 的转换速度是制约读出电路工作速度的关键因素之一,此外从图 12 可以看到,ADC 阵列的功耗占整个读出电路功耗的 40% 以上,因此可以采用低功耗、高速列级 ADC 结构改善读出电路的功耗和工作速度,例如

三阶 Incremental Sigma-Delta ADC 结构,其完成一次转换所需的时钟个数相比文中所采用的二阶 Incremental Sigma-Delta ADC 可以降低约 3.5 倍,不仅可以支持更高帧频的应用,而且数字模块的功耗可以大大降低;从图 12 还可以看到,读出单元阵列的功耗也是读出电路功耗的主要组成部分,因此低功耗 CTIA 注入级电路设计也是项目组下一步的研究方向之一。

表 1 各款数字读出电路性能对比

Tab.1 Comparison of performance between different DROICs

Parameter	This work	SCD cardinal 1 280 HD <sup>[10]</sup>	SBF262 <sup>[4]</sup>
Format	1280 × 1024	1280 × 1024	1280 × 1024
Pitch/μm	10	10	16
Reading mode	IWR/ITR	IWR/ITR	IWR/ITR
ADC/bit	14	13	22
Well capacity	750 ke <sup>-</sup>	500 ke <sup>-</sup> (Medium gain <sup>-</sup> )	450 ke <sup>-</sup>
Noise	59 e <sup>-</sup>	170 e <sup>-</sup>	93 e <sup>-</sup>
Frame rate (max)/Hz	100	160	200
Power consumption	165 mW@ 50 Hz	150 mW@ 60 Hz	—
Power supply/V	3.3/ 1.8	3.3/ 1.8	—

所设计的数字读出电路与短波红外探测器进行了倒装焊互连,实现了数字短波红外探测器组件,并搭配光学镜头和简易工装进行了成像验证,图 13 和图 14 为成像效果,图像经过了简单的两点校正。可以看到图像细节丰富,由于数字化探测器较好的信噪比和抗干扰性,成像清晰无杂波干扰。



图 13 1280 × 1024 数字短波红外探测器成像图片 1

Fig.13 Image1 captured by the 1280×1024 digital short-wave IRFPA



图 14 1280 × 1024 数字短波红外探测器成像图片 2

Fig.14 Image2 captured by the 1280×1024 digital short-wave IRFPA

#### 4 结 论

文中介绍了 1280 × 1024, 10 μm 数字焦平面读出电路设计。该电路针对大面阵、小像元中心距的特点,通过采用小面积、高注入效率的 CTIA 读出单元电路设计,小面积、高精度、低功耗列级二阶 Incremental Sigma-Delta ADC 设计以及高速、低功耗数据

传输电路设计,最终实现了高性能数字读出电路,其读出噪声为  $59 e^-$ , FPN 为 0.1%, 在 50 Hz 帧频下功耗为 165 mW。所设计的数字读出电路与短波红外探测器进行了倒装焊互连,实现了数字短波红外探测器,并实现了成像,成像效果良好。测试结果和探测器成像效果表明,所设计的数字读出电路具有低噪声,高传输带宽,高抗干扰性等特点,有助于提升焦平面红外探测器的各项性能。焦平面红外探测器的数字化是红外热成像系统的技术发展趋势。

#### 参考文献:

- [1] Yao Libin, Chen Nan. Digital IRFPA technology [J]. *Infrared Technology*, 2016, 38(5): 357-366. (in Chinese)
- [2] Gershon G, Albo A, Eylon M, et al. Mega-pixel InSb detector with 10  $\mu\text{m}$  pitch [C]//Proceedings of SPIE, 2013, 8704: 870438.
- [3] Gershon G, Avnon E, Brumer M, et al. 10  $\mu\text{m}$  pitch family of InSb and XBN detectors for MWIR imaging [C]//Proceedings of SPIE, 2017, 10177: 101771I.
- [4] Focal plane arrays [EB/OL].[2021-10-02]. <https://www.lockheedmartin.com/en-us/products/focal-plane-arrays.html>.
- [5] Bisotto S, Abergel J, Dupont B, et al. 7.5 m and 5 m pitch IRFPA developments in MWIR at CEA-LETI [C]//Proceedings of SPIE, 2019, 11002: 110021C.
- [6] Zhong Shengyou, Chen Nan, Fan Mingguo, et al. 640  $\times$  512 digital InGaAs detector assembly [J]. *Infrared and Laser Engineering*, 2020, 49(7): 20190495. (in Chinese)
- [7] Zhang Jiqing, Zhong Shengyou, Li Zhengfen, et al. High frame rate 384 $\times$ 288 long-wave digital infrared focal plane array detector [J]. *Acta Optica Sinica*, 2021, 41(20): 2036001. (in Chinese)
- [8] Yao Libin, Chen Nan. High performance low noise digital readout circuit [J]. *Infrared and Laser Engineering*, 2020, 49(1): 0103009. (in Chinese)
- [9] Xu Ruoyu, Yuan Jie. A 1/2.5 inch VGA 400 fps CMOS image sensor with high sensitivity for machine vision [J]. *IEEE J Solid-State Circuits*, 2014, 49(10): 2342-2351.
- [10] Fraenkel R, Berkowicz E, Bykov L, et al. High definition 10  $\mu\text{m}$  pitch InGaAs detector with asynchronous laser pulse detection mode [C]//Proceedings of SPIE, 2016, 9819: 981903.