

## 读出电路开窗技术研究

崔长坤, 陈楠\*, 钟昇佑, 张娟, 姚立斌

(昆明物理研究所, 云南昆明 650223)

**摘要:** 读出电路开窗是红外焦平面和图像传感器读出电路中, 用于提高图像帧频降低带宽的重要技术。该技术通过减小读出阵列的窗口尺寸, 降低电路读出的数据量, 从而提高帧频。介绍了两类主要的开窗模式: 异步读出模式和同步读出模式。针对异步读出模式扩展性差、存在竞争冒险的问题, 以及同步读出模式占用像元面积和窗口切换速度慢的问题, 基于同步读出提出了一种行列控制字架构, 并设计了一种用于该架构的可重复单元电路, 提高了对不同面阵规格的扩展性。完成了所提出的开窗电路设计和版图设计, 并对该电路进行了仿真验证。对比其他方案, 文中设计实现了任意位置、最小  $1 \times 1$  尺寸的开窗, 同时解决了占用像元面积和竞争冒险问题, 并提高了窗口切换速度。

**关键词:** 红外焦平面; 读出电路; 开窗

**中图分类号:** TN216      **文献标志码:** A      **DOI:** 10.3788/IRLA20220100

## Research on ROI readout technology of ROIC

Cui Changkun, Chen Nan\*, Zhong Shengyou, Zhang Juan, Yao Libin

(Kunming Institute of Physics, Kunming 650223, China)

**Abstract:** Region of interest (ROI) readout is an important technology used in the infrared focal plane array (IRFPA) and image sensor readout integrated circuits to improve the frame rate and reduce the bandwidth, which is realized by the reduced ROI size and the readout data volume. Two ROI readout modes including asynchronous readout and synchronous readout are introduced in this paper. The asynchronous readout mode exhibits poor scalability and the problem of the competitive risk, while the synchronous readout mode occupies pixel area and the ROI switching speed is slow. To solve these problems, this paper proposes a row-column control word architecture based on synchronous readout mode, and a reusable unit circuit is designed to improve the scalability for various array size. The circuits and layout for the proposed architecture are designed, which are verified by circuit simulation. Compared with other architectures, the proposal realizes ROI readout at arbitrary position with minimum size of  $1 \times 1$ . Moreover, problems including the occupying of pixel area and competitive risk are solved, as well as the ROI switching speed.

**Key words:** infrared FPA; readout integrated circuit; region of interest (ROI)

收稿日期: 2022-03-25; 修订日期: 2022-04-20

基金项目: 云南省高层次人才培养计划支持项目

作者简介: 崔长坤, 男, 助理工程师, 硕士, 主要从事数字信号集成电路设计方面的研究。

通讯作者: 陈楠, 男, 研究员, 博士生导师, 博士, 主要从事混合信号集成电路设计方面的研究。

## 0 引言

红外焦平面阵列 (Infrared focal plane array, IRFPA) 在工业、军事<sup>[1]</sup>和医疗<sup>[2]</sup>等领域被广泛应用。近年来,读出集成电路 (Readout Integrated Circuit, ROIC) 作为红外焦平面的重要组成部分,发展极其迅速<sup>[3]</sup>。1999年,Donald·Reago等提出了第三代红外焦平面的概念<sup>[4]</sup>。其中大面阵、高帧率<sup>[5]</sup>和数字化<sup>[6-7]</sup>是读出电路的发展方向。在大面阵的情况下,为了得到高帧频且不增加带宽和功耗<sup>[8]</sup>,读出电路开窗技术被采用。

读出电路开窗技术又称感兴趣区域 (Region of Interest, ROI) 读出或随机窗口读出。读出电路任意开窗技术是指仅选通像元阵列的一部分来进行数据读出。该技术通过降低数据总量的方式,在不增加带宽和功耗的前提下提高了帧频。

## 1 读出电路开窗技术

读出电路开窗技术具有较多的应用场景。在大面阵红外焦平面上,如图 1 所示,用户可通过开窗技术重构图像大小帮助观察感兴趣的区域或快速导出指定区域的信号<sup>[9]</sup>。此外,该技术还可应用于目标跟踪或模式识别中<sup>[10]</sup>。



图 1 开窗功能示意图

Fig.1 Schematic diagram of ROI readout function

读出电路开窗的目的之一是在不增加带宽和功耗的前提下提高帧率。读出电路开窗后每一帧所需读出的数据量显著降低,减少了数据读出的时间,从而使得帧频得以提高。

在开窗情况下,设开窗的窗口形状为正方形,当窗口尺寸变化时,需要读出的总数据量  $X$  的变化式为:

$$X = a \cdot m^2 \quad (1)$$

式中:  $m$  为窗口尺寸;  $a$  为模数转换器 (Analog digital

converter, ADC) 的位数。假设读出每一位数据都需要固定的时长  $t$ ,且电路为单通道读出,则完成一帧数据读出需要的理论时间  $T_{out}$  和理论帧频  $F$  分别如公式 (2) 和公式 (3) 所示:

$$T_{out} = a \cdot t \cdot m^2 \quad (2)$$

$$F = \frac{1}{T_{out}} \quad (3)$$

若 ADC 位数为 15 位,像元面阵大小为  $1024 \times 1280$ ,当开窗的窗口尺寸逐渐缩小时,需要读出的总数据量和数据读出所需时间的关系如图 2 所示。

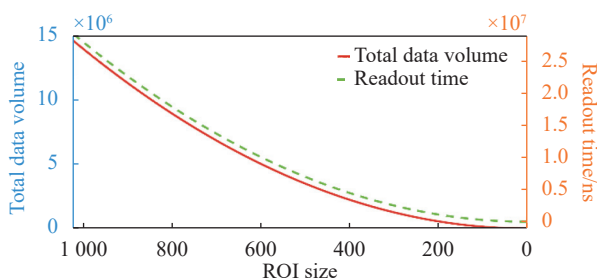


图 2 总数据量和读出时间与窗口尺寸的关系

Fig.2 Relationship between total data volume and readout time and ROI size

由此可以看出,随着窗口尺寸的减小,读出的总数据量和数据读出所需的时间都明显降低。

在实际应用中,受像元阵列积分时间的影响,读出电路完成一帧数据读出所需的时间并不完全等于上述的数据读出理论时间,即电路的帧频与理论帧频存在差异。当电路处于边积分边读出 (Integration while read, IWR) 模式下时,电路的帧频、数据读出时间及像元积分时间的关系如公式 (4) 所示。若数据读出时间小于像元的积分时间,则电路的帧频主要受限于积分时间;若数据读出时间大于像元的积分时间,则电路的帧频主要被电路的读出时间所限制。

$$F = \begin{cases} \frac{1}{a \cdot t \cdot m^2}, T_{out} > T_{int} \\ \frac{1}{T_{int}}, T_{out} \leq T_{int} \end{cases} \quad (4)$$

当电路处于先积分后读出 (Integration then read, ITR) 模式时,电路的帧频可表示为:

$$F = \frac{1}{a \cdot t \cdot m^2 + T_{int}} \quad (5)$$

式中:  $T_{int}$  为像元积分时间。

设面阵大小为  $1024 \times 1280$ , 积分时长为 5 ms, 每读出一位数据所需时间按照 2 ns 计算, 帧频与不同窗口尺寸的关系如图 3 所示。

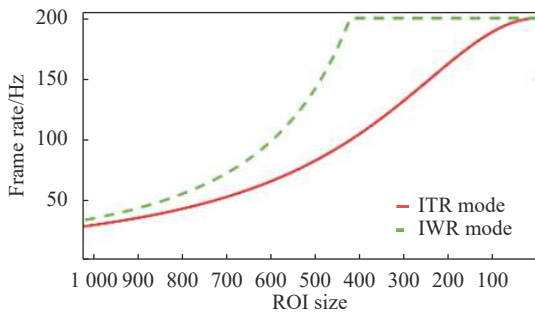


图 3 帧频随 ROI 变化

Fig.3 Change of frame rate with ROI size

从图中可以看到, 电路在 IWR 模式下, 窗口尺寸减小时, 帧频呈现明显的上升趋势。然而, 随着当窗口尺寸进一步减小, 数据读出时间减小, 当读出时间小于像元的积分时长后, 电路完成一帧所需的时间主要取决于电路的积分时间, 所以电路的帧频不再降低, 而是维持在 200 Hz; 电路在 ITR 模式下, 随着窗口尺寸的降低, 电路的帧频逐步提升, 在窗口读出时间低于积分时间后, 电路的帧频上升趋势逐渐减缓, 最终趋近于 200 Hz, 此时窗口尺寸为  $1 \times 1$ 。因此, 开窗口技术能有效降低读出的数据总量, 对提高帧频有显著的作用。

## 2 读出电路开窗架构

读出电路开窗技术自提出后, 由于其对帧频具有明显的提升作用及未来在目标跟踪等方面的应用前景, 受到了很大的关注, 国外的各大公司也各自推出了具有开窗口功能的红外探测器。

目前国内外电路级别的开窗电路架构有很多种, 从读出方式可以分为两类: 异步读出模式和同步读出模式。异步读出模式直接从译码器获得读出的地址, 所以其可以自由读出任意不连续的地址, 其中的代表架构为格雷码译码器架构; 同步读出模式只获取初始地址, 后续读出的地址仅与时钟相关, 因此该模式只能读取连续的地址, 其中应用较多的架构为单像元控制架构和子阵列架构。

异步读出模式中, 由于采用译码器直接输出地址, 会导致竞争冒险现象。图 4 为一种由门电路组成

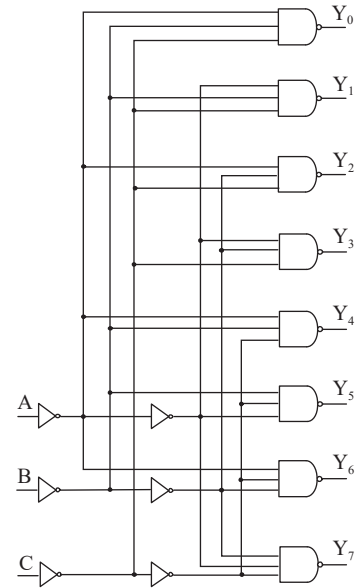


图 4 3-8 译码器结构

Fig.4 3-8 decoder structure

的 3-8 译码器, 在输入的值 A、B、C 不同时, 信号通过的门数量不同, 如输入 C 到输出  $Y_7$  需要通过 3 个门电路, 而到输出  $Y_0$  只需要通过 2 个门电路, 所以信号的时序会产生差异, 从而导致竞争冒险现象。

目前主流的红外探测器面阵大多在几百行, 甚至上千行, 若采用译码器结构来实现, 则门电路的数量大大增加, 信号通路长度的不一致的现象将被放大, 导致更为严重的竞争冒险。如图 5(a) 所示, RS 信号

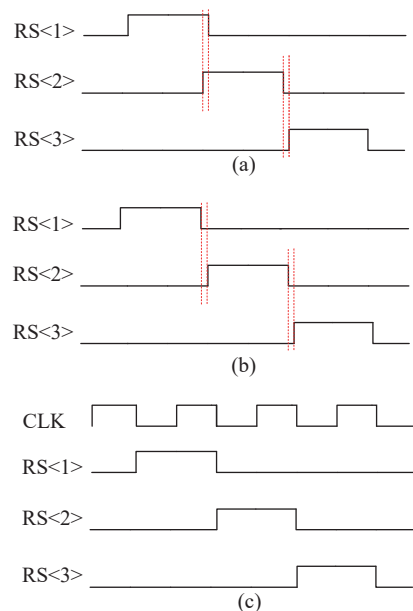


图 5 竞争冒险现象及解决方案

Fig.5 Race and hazard phenomenon and solution

为行选信号,此时 RS<1>和 RS<2>两个信号出现竞争冒险现象,将会有两行像元同时选通,导致读出出错。所以,在该架构中,需要在各行、列中增加冗余的时间,以减小竞争冒险现象对电路的影响,但这意味着电路的读出时间变长,如图 5(b) 所示。

同步读出模式则很好地解决了竞争冒险的问题,如图 5(c) 所示。同步读出模式由于只获取初始地址,后续读出的地址仅与时钟相关,读出的地址与时钟上升沿对齐,因此前级电路产生的竞争冒险会被消除。

### 2.1 格雷码译码器架构

格雷码译码器架构采用异步读出模式,是目前红外焦平面阵列中使用最为普遍的一种架构。格雷码译码器架构的开窗优点是在小面阵时电路结构简单、版图占用芯片面积小<sup>[11]</sup>,同时在窗口位置或大小发生变化时,电路恢复读出所需的时间极短,仅为组合逻辑电路的延时。计数器采用格雷码计数器,由于格雷码相邻两位只改变一位的特性,相对于普通二进制计数器而言,格雷码计数器更加的稳定。图 6 为典型的格雷码译码器架构,由译码器模块和控制电路组成。控制电路主要由格雷码计数器构成。处理器将窗口参数加载到格雷码计数器中,以定义窗口大小和位置<sup>[11]</sup>。系统通过行同步信号启动行格雷码计数器,每当行格雷码计数一次就会启动列格雷码计数器,当列格雷码计数器计数到窗口结束位置时,行格雷码计数器计数一次,行、列计数器的输出结果通过译码器选通各行各列,从而使阵列的每一像元单元的信号得到

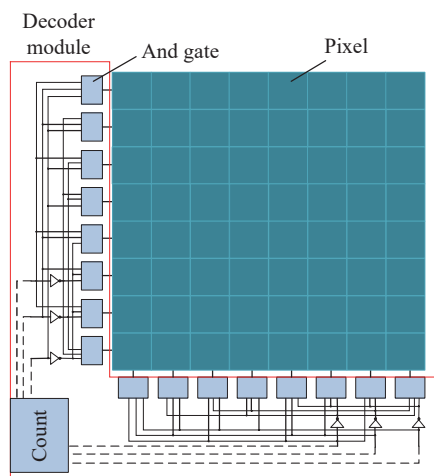


图 6 格雷码译码器架构

Fig.6 Gray code decoder architecture

输出。

该架构具有其固有的优点,即当译码器的输入变动时,可以自由的选通任意像元<sup>[12]</sup>。但是当面阵规模大时,译码器位数较多,会导致译码器的设计复杂,且不同的面阵规模下译码器电路差异很大,所以电路需要重新定制化设计,增大了工作量。

### 2.2 单像元控制架构

单像元控制架构采用异步读出模式,该架构依靠像元内存储的控制字提供初始地址。

单像元控制字架构在保证最小窗口尺寸的同时,将电路放置在像元内部,避免了竞争冒险现象,同时采用了模块化设计,在面阵发生变化时,扩展简单。图 7 为单像元控制字的架构示意图,相比于格雷码译码器架构来说,单像元架构在每一个像元内都有存储单元和控制电路。Rafael 等人提出的一种存储单元和控制电路,除去绿色虚线内的像元积分电路外,在右侧新增了红色虚线内的用于存储控制字的寄存器,用于“编程”的移位寄存器以及用于控制像元开启的门电路<sup>[13]</sup>,如图 8 所示。

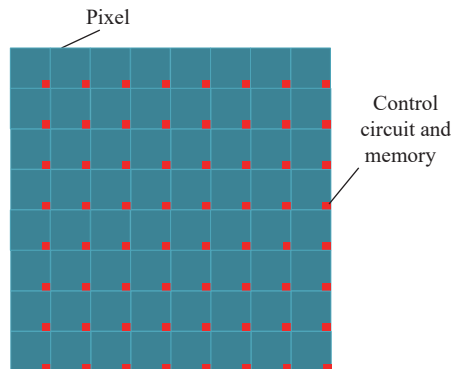


图 7 单像元控制字架构

Fig.7 Single pixel control word architecture

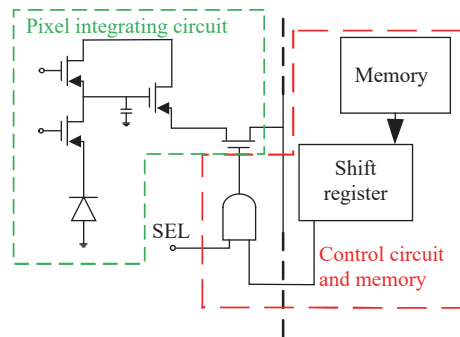


图 8 控制电路和存储单元

Fig.8 Control circuit and memory

该方案选择在每一列的第一行的像元中的寄存器置 1。在数据读出时,对每个像元逐个验证,控制字为 0 跳过,控制字为 1 读出。此时每列的第一个像元读出,全部读出完成后,移位寄存器向下移位,读取第二行,此时移位寄存器内只有一位 1,其余为 0,所以每列只会有一位读出。结束信号由计数器控制,当读出至最后一行时,结束读出。

以 Rafael 等提出的电路为例,单像元控制字架构在保证最小窗口尺寸的同时,将电路放置在像元内部,增加了电路的可扩展性,同时避免了竞争冒险现象。但是在像元内额外增加电路,占据像元内空间,考虑基本的直接注入型像元结构仅需要 4 个 MOS 管,而增加的额外电路,以基础的传输门电路组成的触发器来计算,需要 34 个 MOS 管,这将导致像元面积缩小非常困难;其次,该架构采用了大量的控制字控制像元,在窗口位置或大小发生变化时,控制字需要重新写入,耗费时间较长。

2.3 子阵列控制架构

为了降低单像元控制字架构对于像元内面积的占用,以及降低在窗口发生变化时,电路恢复读出所需的时间,同样采用异步读出模式的子阵列控制架构被提出。该架构的原理是将一组像元集合视为子阵列,同时对其进行标记,如图 9 所示。此架构要求在每一组子阵列中放置寄存器和逻辑电路,当电路读出时,对每组像元集合中寄存器中的值进行扫描,标记有效的读出,无效的则跳过。

图 10 是 Schrey 等提出的一种控制模块和存储单

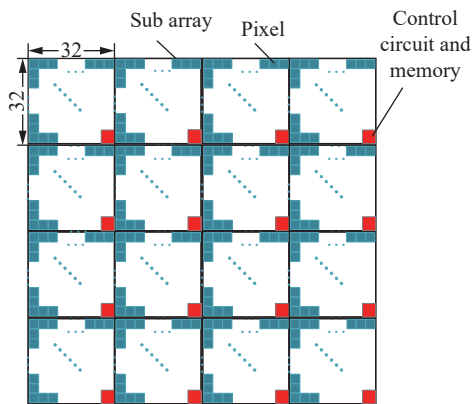


图 9 子阵列控制字架构

Fig.9 Subarray control word architecture

元<sup>[14]</sup>,该方案将控制字提前写入存储单元中,需要数据读出的写入 1,不需要读出的写入 0。在数据读出时,对每个像元集合逐个验证,控制字为 0 跳过,控制字为 1 读出。由于可以自行规定扫描的顺序,方案可以做到多窗口不同尺寸,不同方向的读出。

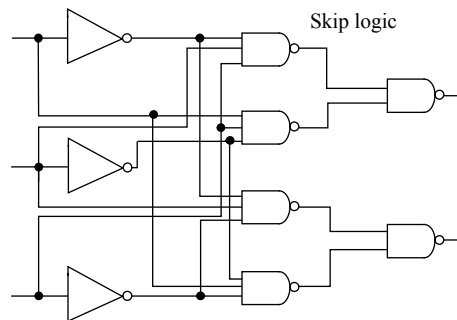


图 10 子阵列中的控制模块和存储单元

Fig.10 Control modules and storage units in subarray

在该方案中,子阵列大小为 32×32,控制模块和存储单元由 3 个触发器和 5 个“与”门组成,以基础的传输门电路组成的触发器来计算,控制模块和存储单元额外增加了 68 个 MOS 管。若像元为直接注入型,则每个像元中平均需要额外增加 0.26 个 MOS 管。相对于单像元控制字架构而言,电路占用的像元面积大大减小;同时降低了控制字的数量,从而在窗口位置或大小发生变化时,电路恢复读出所需时间减小。但是,该架构的窗口的最小尺寸等于子阵列的大小,若想继续降低窗口的最小尺寸,则需要进一步减小子阵列的大小,此时控制模块和存储单元在像元电路中占用的面积就会随之增加,像元的面积则会进一步增大。当子阵列大小减小到 1×1 时,子阵列架构占用的像元面积与单像元控制字架构相同。

2.4 各架构比较

格雷码译码器架构较为常用且在小面阵上有较为优异的表现,但是当面阵较大时,会产生较为严重的竞争冒险现象,同时在面阵尺寸发生变化时,电路需要重新定制化设计,增加工作量且可扩展性相对较差。

单像元控制字架构则在保证最小窗口尺寸为 1×1 不变的情况下,避免了竞争冒险现象,而且增加了电路的可扩展性,但该方案像元尺寸很难缩小,同

时在窗口尺寸或位置发生变化时,控制字都需要重新写入,占用时间较长。

子阵列控制字架构减小了对像元面积的占用,减少了控制字的数量,在窗口尺寸或位置发生变化时,控制字重新写入的时间相对于单像元控制字架构有所降低,但其最小的窗口尺寸也随之增加。

因此,文中提出了一种基于行列控制字读出电路开窗架构,该架构采用模块化设计,易于扩展,在不占用像元内部的面积下,实现了最小窗口尺寸 1×1,并且不存在竞争冒险现象,同时在窗口位置或大小发生变化时,电路恢复读出所需时间不会明显增加。

### 3 读出电路开窗架构及电路设计

#### 3.1 读出电路开窗架构

文中提出的基于行列控制字的读出电路开窗架构如图 11 所示。该架构与同步读取模式类似,读出的起始位置取决于存储在行列上的控制字。此时为像元 (N-3, 3) 被选通时电路的状态。

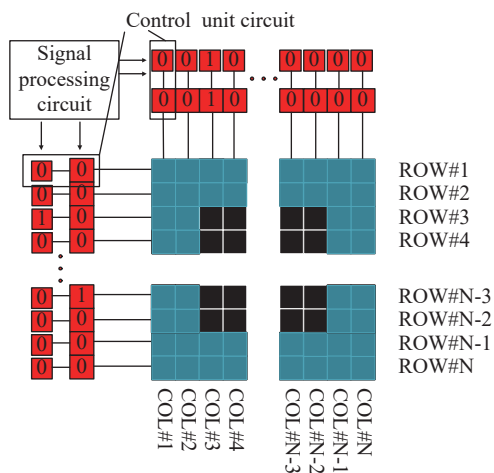


图 11 读出电路开窗架构

Fig.11 ROI of readout integrated circuit

该方案由信号处理电路和控制子电路组成,其中控制子电路由移位寄存器和存储器组成。控制电路接收并处理由串行外围接口 (Serial Peripheral Interface, SPI) 输入的数据,并将数据进行预处理,然后生成控制字和控制信号并传递给控制子电路。控制子电路存储控制字于窗口的起始行和列,当电路读出时,子电路读取存储器内的数值,从而实现不同起始位置的

读出,控制字向后依次移位依次读出各行各列,结束位置由控制电路产生,实现任意大小的窗口。

该架构通过分别控制行和列来实现选通。当只选通一行和一列时,只有一个像元被选通,实现了最小窗口尺寸 1×1;同时该架构将控制电路设计在像元阵列外围,不占用像元内部的面积;采用控制子电路模块来分别控制每行和每列,可以重复使用,所以在面阵尺寸发生变化时,电路不需要重新定制化设计,易于扩展;另外,没有采用组合逻辑电路,不存在竞争冒险现象;同时,控制字的数量被缩减,控制字写入的路径也被较好的缩短,因此在窗口位置或大小发生变化时,电路恢复读出所需的时间也相对较少。

#### 3.2 窗口切换速度分析

读出电路开窗的一个重要应用方向是目标搜索和跟踪。当目标的位置发生改变时,读出电路的窗口位置也应该迅速随之改变。当窗口的位置或者大小改变时,电路需要一段时间来恢复正常读出,我们称之为称为窗口切换速度,窗口切换速度越快,则电路对实际应用的影响越小。

在格雷码译码器架构中,窗口切换速度很快,其所需的时间仅为组合逻辑电路的延时,所以在此忽略不计。采用同步读取模式的三种架构都需要写入控制字,所以需要考量控制字的写入时间。

在单像元控制字架构中,由于在每一位像元中都存在控制字,当窗口的位置或者大小改变时,需要重新写入每一位控制字,需要时间较长,产生控制字写入时间  $T$ ,如公式 (6) 所示:

$$T = M \cdot (t_e + T_{clk}) \quad (6)$$

式中:  $M$  为面阵行数;  $t_e$  为该生成控制字信号所需的时间;  $T_{clk}$  表示行时钟周期。

在子阵列控制字架构中,采用对子阵列编码的逻辑,减少了控制字的数量,降低了控制字写入时间,控制字写入时间  $T$ ,如公式 (7) 所示:

$$T = \frac{M \cdot (t_e + T_{clk})}{x} \quad (7)$$

式中:  $x$  为子阵列的大小。其中,当子阵列的大小为 1×1 时,该方案的控制字写入时间与单像元控制字相同。

文中所提出的行列控制字架构方案产生的控制字写入时间  $T$ , 如公式 (8) 所示:

$$T = r \cdot T_{rclk} \quad (8)$$

式中:  $r$  为窗口位置改变后的行的起始位置。

单像元控制字架构采用了每个像元都存储控制字的方案, 除了需要将控制字逐行存储在预定位置外, 还需要额外的时间  $t_e$  去产生控制字; 子阵列控制字架构相对减少了控制字的数量, 但是仍然需要额外的时间  $t_e$  去产生控制字; 而文中所提出的架构中控制字只有两个, 且不需要额外的时间去产生。

下面以面阵大小  $1024 \times 1280$ , 子阵列大小  $32 \times 32$  为例, 对比三种方案的控制字写入时间, 如图 12 所示。考虑到实际情况中不同电路需要的额外时间  $t_e$  不同, 这里将时间  $t_e$  视为 0, 即不需要额外的时间。

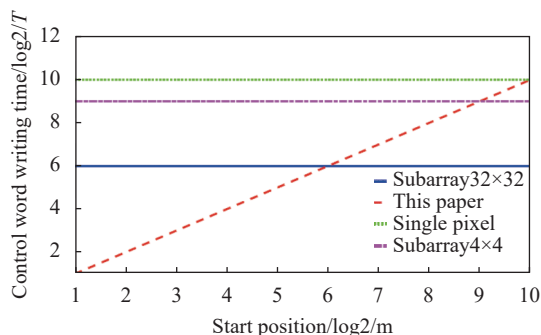


图 12 控制字写入时间对比

Fig.12 Comparison of control word writing time

从图中可以看到, 控制字写入时间最长的为单像元控制字架构, 由于像元内的控制字需要逐一改变, 所以其需要遍历各行, 需要时间最长为  $1024 \cdot T_{rclk}$ ; 子阵列控制字通过增大最小窗口尺寸, 降低了控制字数量, 在 Schrey 等人提出的方案中, 最小窗口尺寸为  $32 \times 32$ , 相应的时间也缩短到了  $32 \cdot T_{rclk}$ , 当最小窗口尺寸降低时, 如公式 (8) 所示, 所需的时间也成比例的增加。当子阵列的尺寸减小到  $4 \times 4$  时, 该架构下的控制字写入时间为  $256 \cdot T_{rclk}$ 。文中所提出的架构产生的控制字写入时间随窗口起始位置的变化而变化。当位置较为靠前时, 该架构产生的控制字写入时间最小, 随着位置逐渐向后移动, 时间逐渐增加, 平均时间为  $512 \cdot T_{rclk}$ 。

对比 3 种架构, 在不考虑时间  $t_e$  的情况下, 文中提出的架构相对比于单像元控制字架构, 在同等的最小窗口尺寸下, 平均控制字写入时间降低了 1 倍。在子阵列控制字架构中, 当子阵列的尺寸较大时, 子阵列控制字架构切换时间较低, 随着子阵列的尺寸逐渐减小, 其控制字写入时间增加, 当子阵列的尺寸减小到  $4 \times 4$  时, 该架构下的控制字写入时间为单像元控制字架构下的控制字写入时间的四分之一。

### 3.3 读出电路开窗电路设计

此节将提供一种基于文中所提出的行列控制字架构的开窗电路实现方案, 并展示了该实现方案具体的工作流程及工作时序。

控制子电路的设计是本架构的重点, 控制子电路由移位寄存器和数据存储寄存器组成, 其中移位寄存器和数据存储寄存器均为 D 触发器 (DFF)。如图 13 所示, 信号 ROW\_ED 无效时, 当前级移位寄存器的输入由前一级移位寄存器的输出  $RS_{<N-1>}$ 、当前级数据存储寄存器的输出和信号 ROI\_RS 共同控制。当信号 ROI\_RS 处于低电平时, 移位寄存器的输入为前一级移位寄存器的输出  $RS_{<N-1>}$ , 移位寄存器正常工作。

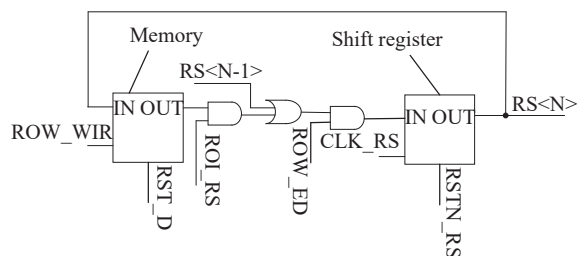


图 13 控制子电路

Fig.13 Control sub circuit

当信号 ROW\_ED 有效时, 无论其他信号是否有效, 在信号 CLK\_RS 上升沿之后, 所有移位寄存器都将被复位, 并关闭电路的输出。最终, 通过信号 ROI\_RS 和信号 ROW\_ED 共同控制窗口的读出。同时信号 ROW\_WIR 和信号 ROW\_WIR 的上升沿需要延迟于 CLK\_RS 的上升沿, 确保信号可以成功建立。

ROI\_RS 处于高电平时, 存储在数据存储寄存器中的数据被写入移位寄存器的输入, 以确定窗口的开始位置。当读出电路读出窗口数据之前, 需要将控制字分别写入数据存储寄存器中。

图 14 展示了完整的行控制字写入过程。如图 14(a) 所示,首先在第一个移位寄存器输入信号 ROI\_S,通过移位寄存器移位该信号,直至窗口的第一行对应的位置,如图 14(b) 所示。当控制字移动到新状态的起始位置时,存储在数据存储器中的数据在信号 ROW\_WIR 的作用下写入控制字至寄存器,如图 14(c) 所示。写入完成后,复位所有移位寄存器,行控制字

写入完成,如图 14(d) 所示。行控制字的写入时序如图 15 所示,其中信号 ROW\_WIR 与信号 RS<3>存在延时,以确保信号可以成功的被写入寄存器。该方案在读出时先选通一行,然后逐次选通各列,由于行列的选通的逻辑相同,所以文中只详细介绍行选逻辑及时序。

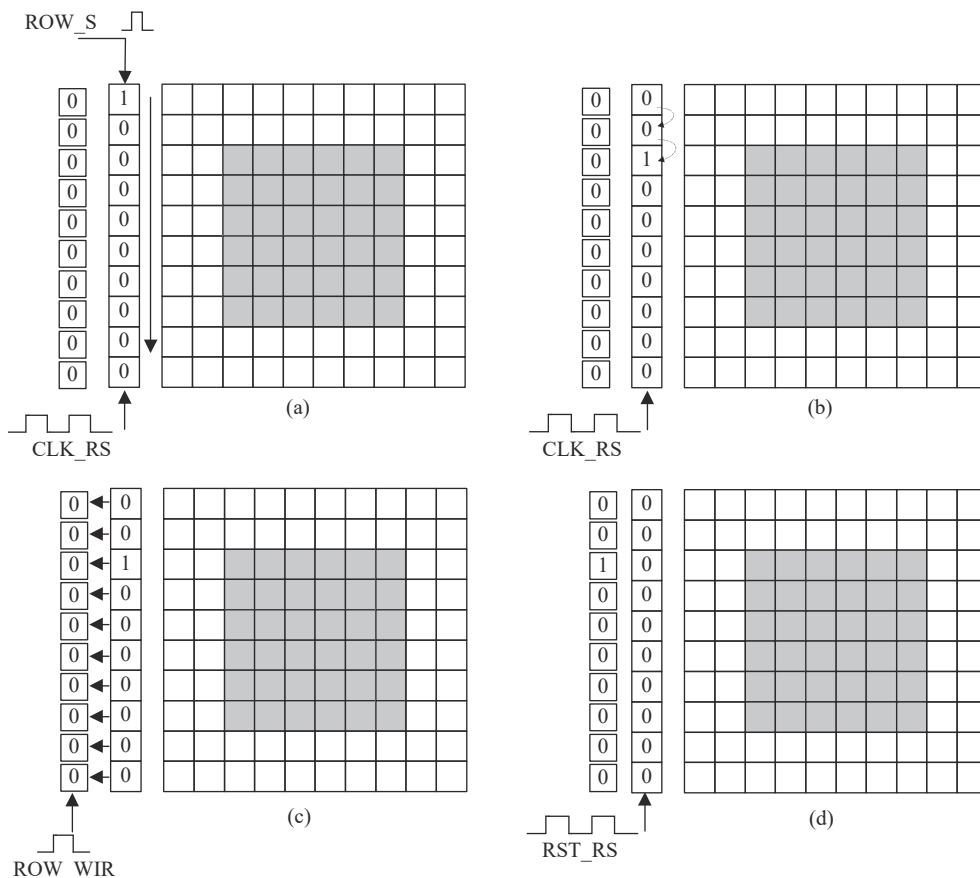


图 14 控制字写入过程

Fig.14 Process of control word writing

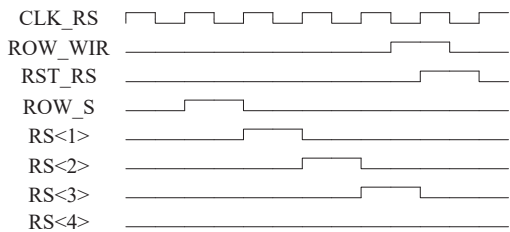


图 15 控制字写入时序图

Fig.15 Diagram of control word writing sequence

该方案的行选工作逻辑如图 16 所示,如图 16(a) 所示,开始信号 ROW\_RS 输入,将寄存器内数据写入移位寄存器,如图 16(b) 所示,选通窗口第一行,然后移位寄存器逐级向下移位,如图 16(c) 所示,逐行选通,当选通至窗口最后一行时,结束信号 ROI\_ED 输入至移位寄存器,如图 16(d) 所示,复位移位寄存器,行选结束。

图 17 为行选过程的时序图,其中信号 ROI\_ED 与信号 RS<N>存在延时,以确保在下一个时钟上



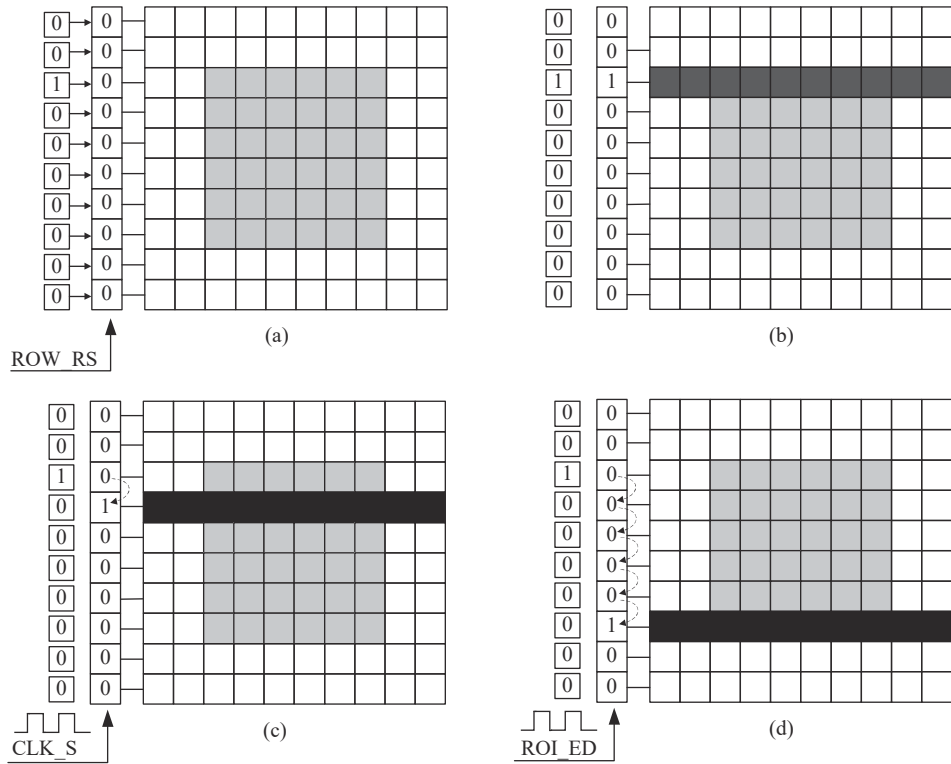


图 16 行选工作过程

Fig.16 Process of row selection

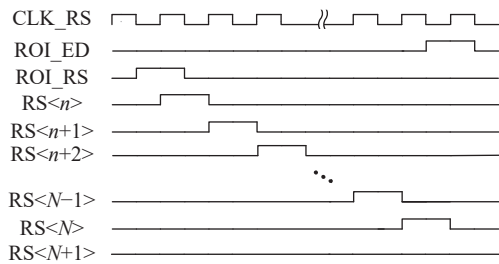


图 17 行选时序图

Fig.17 Row selection sequence diagram

升沿之前,所有移位寄存器的输入端全部为 0,从而完成复位。

### 3.4 版图设计与仿真

由于本架构需要在电路外围增加控制电路,为了确定额外增加的控制电路所占用的面积,文中在 0.18  $\mu\text{m}$  工艺, 15  $\mu\text{m}$  像元尺寸, 面阵大小 1024 $\times$ 1280 的条件下,对文中的读出电路开窗电路方案进行了版图设计,其中增加了控制子电路的行选电路版图如图 18(a) 所示,宽度为 96.7  $\mu\text{m}$ ,因为整体版图长度过

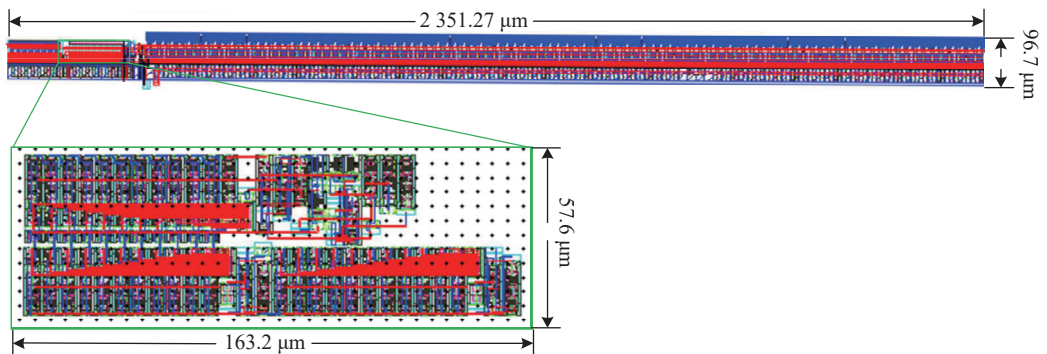


图 18 行选电路及控制电路版图

Fig.18 Row select circuit and control circuit layout

长,所以截取了 1~200 行的控制电路,1~200 行长度为 2 351.27  $\mu\text{m}$ ,原电路版图宽度约为 20 mm,尺寸增加小于 0.5%,尺寸增加较小,对原电路影响很小,其中增加的控制电路的版图如图 18(b) 所示,大小为 57.6  $\mu\text{m} \times 163.2 \mu\text{m}$ ,面积为 9 253.44  $\mu\text{m}^2$ ,总体版图大小约为 4  $\text{cm}^2$ ,控制电路额外占用面积约为原始电路

的 0.000 025%,占用面积很小。

为了进一步验证该方案的可行性,搭建了一个像元面阵大小为 16 $\times$ 16 的电路,其中规定窗口大小为 12 $\times$ 12,起始位置为 (3,3),实验得出波形如图 19 所示。行选产生信号 RS<3>~RS<14>,读出 3~14 行,与预设条件一致。读出预定区域内的图像,电路工作正常。

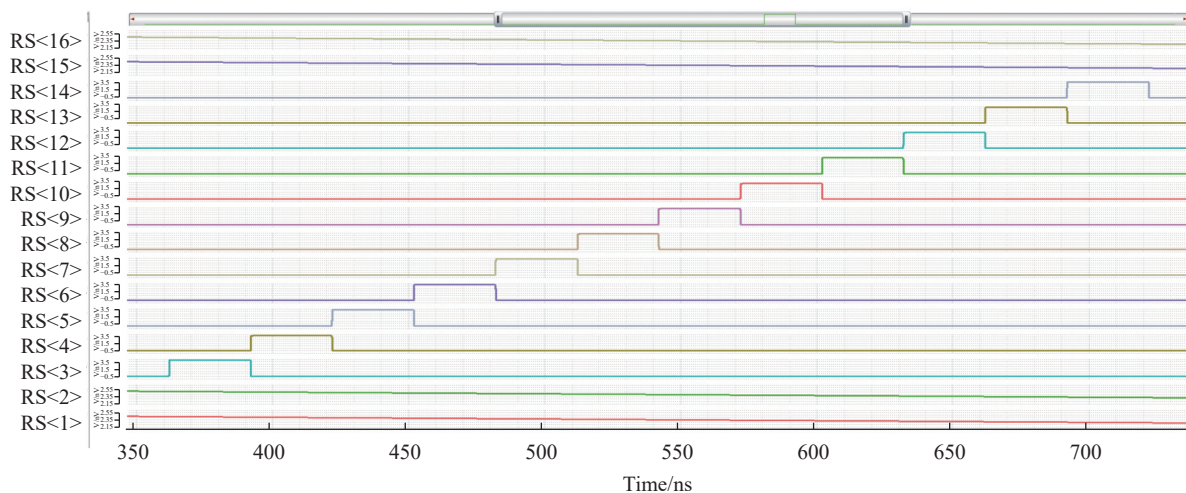


图 19 仿真波形

Fig.19 Simulation waveform

同时,为了验证电路在大面阵时的工作情况,设计了一个 1280 $\times$ 1024 的像元阵列,通过寄存器模拟像元,并将每个模拟像元对应的行列值相加存储在寄存器中以模拟不同位置不同像元的输出。设置窗口大小为 733 $\times$ 179,起始位置为 (101, 211),读取不同像元的输出值,以读取的值表示该像元在图像中的灰度值,并将其映射为彩色图像。仿真结果如图 20 所示,上图为全面阵的图像,其中的黑色框为待读出的开窗

区域,下图为读出的窗口数据图像,可以看到该电路正确读出。其中仿真设定行时钟周期为 30 ns,实际窗口切换时间为 3 032.4 ns,公式 (8) 计算所需时间为  $101 \cdot T_{clk}$ ,理论值为 3 030 ns,仿真与计算误差的 2.4 ns 为电路在实际实现过程中路径上驱动及各级反相器的延时。

#### 4 总结与对比

文中提出了一种基于行列控制字的新开窗架构,并提供了一种电路实现方式。表 1 对比了各个架构。

格雷码译码器架构理论最小窗口可以达到 1 $\times$ 1,目前美国 indigo 公司产品 ISC0403 最小尺寸为 4 $\times$ 4,该架构采用异步读出模式,存在竞争冒险的风险,而且不同面阵大小电路需要重新定制化设计。

采用同步读出模式的子阵列架构与单像元控制字架构不会产生竞争冒险现象,但是在像元内增加了晶体管,导致像元尺寸难以缩小。

文中提出的架构采用同步读出模式,避免了竞争冒险现象,同时该架构采用了重复模块,在面阵大小

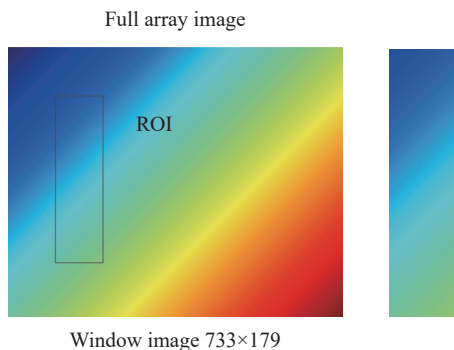


图 20 仿真结果

Fig.20 Simulation result

表 1 不同方案的对比

Tab.1 Comparison of different schemes

Reference	Ref.[15]	Ref.[14]	Ref.[13]	This paper
Architecture	Gray code addressing	Subarray control word	Single pixel control word	Row and column control word
Min. size of ROI	4×4	32×32	1×1	1×1
Increase the number of transistors per pixel	0	0.26	34	-
Control word writing time	0	32·T <sub>clk</sub>	1 024·T <sub>clk</sub>	(1-1 024)·T <sub>clk</sub>
Existing the race and hazard phenomenon	Yes	No	No	No
Different array sizes circuits need to be custom redesigned	Yes	No	No	No

变化时不需要重新设计,可扩展性相对较好;相对于子阵列架构来说,该方案的最小窗口尺寸达到 1×1,而且将控制电路设计于面阵外围,没有占用像元面积,使得像元尺寸容易缩小;相对于单像元控制字方案,在同样的最小窗口尺寸下,没有占用像元面积,而且大大提高了窗口切换速度。

参考文献:

[1] Liu Wu, Sun Guozheng. The status quo, developments and military application analysis of the multi-color ir focal plane arrays [J]. *Infrared Technology*, 2004, 26(3): 1-4,10. (in Chinese)

[2] Zheng Yingqi, Chen Yongjie, Zhu Xiaozhang. Research progress of near-infrared organic photovoltaic photodetectors [J]. *Acta Polymerica Sinica*, 2022, 53(4): 354-373. (in Chinese)

[3] Zhong Shengyou, Yao Libin, Fan Mingguo, et al. 1280 × 1024, 10 μm digital IRFPA readout integrated circuit design (Invited) [J]. *Infrared and Laser Engineering*, 2022, 51(4): 20211113. (in Chinese)

[4] Choi J, Han S W, Kim S J, et al. A spatial-temporal multi-resolution CMOS image sensor with adaptive frame rates for moving objects in the region-of-interest[C]//IEEE International Solid-state Circuits Conference. IEEE, 2007.

[5] Chen Nan, Zhang Jiqing, Mao Wenbiao, et al. High-dynamic-range and high-sensitivity IRFPA digital-pixel ROIC technology (Invited) [J]. *Infrared and Laser Engineering*, 2022, 51(3): 20210821. (in Chinese)

[6] Bai Piji, Zhao Jun, Han Fuzhong, et al. Review of digital mid-

wave infrared focal plane array detector assembly [J]. *Infrared and Laser Engineering*, 2017, 46(1): 0102003. (in Chinese)

[7] Yao Libin, Chen Nan, Hu Douming, et al. Digital infrared focal plane array detectors (Invited) [J]. *Infrared and Laser Engineering*, 2022, 51(1): 20210995. (in Chinese)

[8] Jiang Yongqing, Zhou Yanliu. A simple implementation of arbitrary windowing in 256×256 CMOS image sensor [J]. *Semiconductor Optoelectronics*, 2011, 32(1): 105-108.

[9] Deng T Q J, Shen K, Ruan A W, et al. Design of a control circuit for a user reconfigurable ROIC for IRFPA applications [J]. *COMPEL International Journal of Computations and Mathematics in Electrical*, 2010, 29(2): 327-337.

[10] Liu X, Zhang M, Van der Spiegel J. A low power multi-mode CMOS image sensor with integrated on-chip motion detection[C]//IEEE, 2013: 2416-2419.

[11] Liu Qi, Xia Xiaojuan, Xu Shen. Design of 640 × 512-25 μm multi-function infrared readout circuit [J]. *Aero Weaponry*, 2019, 26(2): 90-95. (in Chinese)

[12] Doran R W. The gray code [J]. *Journal of Universal Computer Science*, 2007, 13(11): 1573-1597.

[13] Castro R D, Castillo S M, Juárez R, et al. Advanced region of interest function for image sensors: US. Patent 9, 979, 904[P]. 2018-05-22.

[14] Schrey O, Huppertz J, Filimonovic G, et al. A 1 k/spl times/1 k high dynamic range CMOS image sensor with on-chip programmable region-of-interest readout [J]. *IEEE Journal of Solid-State Circuits*, 2002, 37(7): 911-915.

[15] Kataria H, Asplund C, Lindberg A, et al. Novel high-resolution VGA QWIP detector [C]//SPIE, 2017, 10177: 529-536.