

大视场视频图像采集及 SDI 显示设计

张永康, 陈 萍, 孟祥笙, 田 雁

(中国科学院西安光学精密机械研究所, 陕西 西安 710119)

摘 要: 针对 Camera Link 接口的大视场高速相机的图像实时存储显示及实时跟踪显示的实际需求, 设计了一种基于 FPGA 的大视场视频图像采集及 SDI 显示系统。采用了 Altera 公司的 FPGA EP2S90F1020 为核心处理器件, 外接两片 SDRAM MT48LC4M32 的硬件系统。提出了基于 FPGA 的图像实时缩放、Bayer 格式彩色图像实时转换为 SDI 显示的方法, 实现了将 Camera Link 接口的大视场彩色视频图像在 SDI 视频图像上的实时显示。实验结果表明, 该设计方法能将 Camera Link 接口 $2\,048 \times 2\,048$ 、100 Hz 的视频图像实时转换为 $1\,920 \times 1\,080$ 、25 Hz, $1\,280 \times 720$ 、25 Hz 或 720×576 、50 Hz 三种 SDI 制式显示。在 FPGA 环境下, 采用该设计方法, 整幅图像处理时间为 8.7 ms, 满足系统的实时性要求, 为大视场视频图像在嵌入式系统的实时显示提供了一种有效的实现方法。

关键词: FPGA; Camera Link; 大视场; Bayer; HD-SDI

中图分类号: TN941.1 文献标志码: A DOI: 10.3788/IRLA20200211

Design of video image acquisition and SDI display in large field of view

Zhang Yongkang, Chen Ping, Meng Xiangsheng, Tian Yan

(Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, Xi'an 710119, China)

Abstract: According to the real demand of image real-time storage display and real-time tracking display for large field of view and high-speed camera, which was with Camera Link interface, a large field of view image acquisition and SDI display system based on FPGA was designed. FPGA EP2S90F1020 of Altera Company as the core processor and two pieces of SDRAM MT48LC4M32 were used. A method of image real-time zooming based on FPGA and real-time conversion of Bayer format color image to SDI display was proposed. The real-time display of large field of view color video image, which was Camera Link interface, was realized on SDI video image. The experimental results show that the design method can convert the $2\,048 \times 2\,048$, 100 Hz video image of Camera Link interface into $1\,920 \times 1\,080$, 25 Hz or $1\,280 \times 720$, 25 Hz, or 720×576 , 50 Hz SDI display in real time. In the FPGA environment, the whole image processing time is 8.7 ms, which meets the real-time requirements of the system, and provides an effective implementation method for the real-time display of large field of view video image in embedded system.

Key words: FPGA; Camera Link; large field of view; Bayer; HD-SDI

收稿日期: 2020-05-28; 修订日期: 2020-07-04

作者简介: 张永康, 男, 工程师, 硕士, 主要从事嵌入式视频图像处理方面的研究工作。

0 引言

随着数字图像技术的快速发展,数字图像技术已应用于工业监视、航空航天、国防军工、遥测遥感等各个领域。工业成像相机也取得了快速的发展,出现了许多应用在大视场测量方面的相机。大视场相机具有靶面尺寸大、图像分辨率高的特点,广泛地应用在医学检测、国防军工测量等领域^[1]。通常,针对大视场视频图像的采集及显示有两种方式:一种是将相机的视频图像通过计算机采集卡采集,应用相应的开发软件在计算机显示器上显示,这种方法的缺点是系统体积大、结构复杂、成本高;另一种是将相机的视频图像通过基于 FPGA (Field Programmable Gate Array) 的嵌入式模块或通过“ARM+FPGA”构架的嵌入式模块进行采集显示,这种方法因成本低、体积小、结构简单等优点被越来越多地应用在工业视频图像显示领域^[2-4]。

由于大视场视频图像的分辨率大,通常图像靶面分辨率达到 2 048×2 048 个像元,而 HD-SDI (High Definition Serial Digital Interface) 视频图像的大小一种为 1 920×1 080 (1 080p、1 080i 格式),另一种为 1 280×720 (720p 格式),SD-SDI (Standard Definition Serial Digital

Interface) 视频图像的大小为 720×576 (576i 格式)。这几种视频图像的分辨率大小、视频显示制式、帧频都不一样,大视场视频图像无法直接转换为 HD-SDI/SD-SDI 视频图像显示。因此,有必要设计一种基于 FPGA 的嵌入式模块,实现将大视场视频图像直接转换为 HD-SDI/SD-SDI 视频图像显示。目前,参考国内将 HD-SDI/SD-SDI 视频在 FPGA 内的缩放显示以及基于 FPGA 实现图像的实时采集和显示的方法^[5],文中提出了一种基于 FPGA 的硬件电路,针对 Camera Link 接口的大视场和高帧频的相机,将 Camera Link 接口的视频图像通过 FPGA 硬件平台实现视频图像的实时缩放、采集以及转换为 HD-SDI/SD-SDI 接口视频在通用视频监视器上显示。

1 基于 FPGA 的硬件系统设计

基于 FPGA 的硬件系统由 Camera Link 接口视频解码芯片 DS90CR288A、视频外同步控制芯片 DS90LV019、与相机通讯芯片 DS90LV031、FPGA 芯片 EP2S90F1020、外部 SDRAM (Synchronous Dynamic Random Access Memory) 芯片 MT48LC4M32、视频编码芯片 LMH0040 以及 Camera Link 接口相机组成,如图 1 所示。

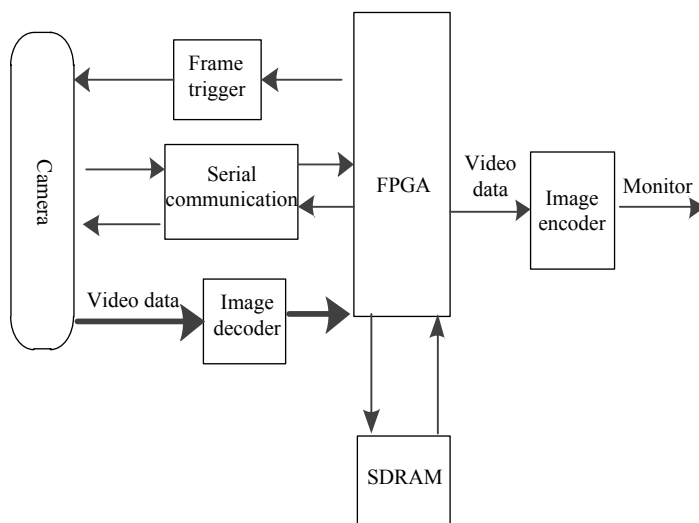


图 1 系统组成

Fig.1 Block diagram of the system

Camera Link 接口视频编码器模块将来自相机的差分视频数据转换为并行的视频数据、帧信号、行信号以及时钟信号。

FPGA 为系统控制和图像处理单元。系统采用 FPGA 作为处理器,一方面用于控制相机的外同步信号和相机通讯指令,另一方面用于将相机 2 048×2 048、

100 帧/s 的视频图像抽帧, RGB 转换 YCbCr 格式, 图像缩放转换为标准的 HD-SDI/SD-SDI 视频格式输出。

外同步控制模块和通讯模块: FPGA 产生外同步信号通过外同步控制模块控制相机的帧信号的外触发。FPGA 产生通讯指令对相机模式设置、帧频等系列信号进行设置和接收来自相机的相关反馈数据。

外部 SDRAM 模块用于乒乓缓存图像数据, 使得 FPGA 能将缓存图像数据按照 HD-SDI/SD-SDI 视频格式输出。

视频编码模块用于将从 FPGA 转换出的标准 HD-SDI 视频流输入至视频编码模块, 转换为视频监视器可以接收的标准视频信号。

Camera Link 接口相机采用德国巴斯勒公司的 acA2040-180kc。该相机具有大视场 1 in (1 in=2.54 cm)、高分辨率 2 048×2 048、高帧频 180 帧/s 的优点, 适合于工业方面的视频图像监视^[6]。其主要参数见表 1。

表 1 相机主要参数

Tab.1 Summary of camera characteristics

Characteristics	Value
Sensor resolution	2 048×2 048
Optical size/cm	2.54
Pixel size/ μm^2	5.5×5.5
Max frame rate/fps	180
Mono/color	Color
Camera link clock speed/MHz	65

文中主要对相机大视场(靶面尺寸为 1 in)、高分辨率(图像大小为 2 048×2 048)、高帧频(相机频率为 100 帧/s)的视频图像输入至 FPGA, FPGA 对视频图像进行处理, 包括视频图像的实时缩放、RGB 转换为 YCbCr, 经过 SDRAM 乒乓缓存, 按照标准的 HD-SDI/SD-SDI 视频格式输出。

2 FPGA 视频处理技术设计

2.1 基于 FPGA 的图像的实时缩小

数字图像的缩放方面有许多插值算法, 如最近邻插值算法、双线性插值算法、双立方插值算法等。最近邻插值算法和双线性插值算法运算量较小, 可以在图像实时处理方面得到应用。最近邻插值算法会造成图像轮廓边缘处产生锯齿现象; 双立方插值算法运算量大, 不能满足实时方面的要求; 双线性插值算法

不会造成轮廓边缘锯齿现象, 容易造成图像边缘模糊, 但实时性较好^[7-9], 考虑到图像缩放的实时性及清晰显示的需求, 选用双线性插值算法。

该系统中, 相机接口为 Camera Link 接口, 输出 64 位图像, 帧频为 100 Hz。每帧图像大小为 2 048×2 048, 相机输出 Bayer 格式彩色图像, 每个像素的数据位长度为 8 位。

由于图像帧频为 100 Hz, 需要将视频图像按每 4 帧抽取 1 帧的方式乒乓存入两片 SDRAM 中。另外, 在 FPGA 中需要将相机分辨率 2 048×2 048 的视频图像转换为 1 024×1 024、或 720×720、或 576×576 的视频图像, 以便在后续 HD-SDI/SD-SDI 视频图像中可以实时显示。

相机输出模式为 8×8, 视频解码模块解码出数据为 64 位, 在进行图像的缩小之前, 将 64 位并行数据转换为 8 位串行数据, 便于图像进行实时插值缩小。在 FPGA 中, 使用四个双口 RAM 进行数据的并串转换。在第一个双口 RAM1 中依次写入第 1、5、9、…行数据, 在第二个双口 RAM2 中依次写入第 2、6、10、…行数据, 在第三个双口 RAM3 中依次写入第 3、7、11、…行数据, 在第四个双口 RAM4 中依次写入第 4、8、12、…行数据。读取数据时分为四种情况: (a) 当第 4 行开始写入数据时, 读取 RAM1、RAM2、RAM3 的第 1、2、3 行数据; (b) 当第 5 行开始写入数据时, 读取 RAM2、RAM3、RAM4 的第 2、3、4 行数据; (c) 当第 6 行开始写入数据时, 读取 RAM3、RAM4、RAM1 的第 3、4、5 行数据; (d) 当第 7 行开始写入数据时, 读取 RAM4、RAM1、RAM2 的第 4、5、6 行数据。当后面的行读取数据时, 依次按照 (a)、(b)、(c)、(d) 方式循环读取数据, 其原理框图如图 2 所示, 图中 i 的值为 1、4、7、…。

相机输出为 Bayer 格式像素数据, 其输出排序包含四种模式: 分别为 GB、BG、RG、GR (G 代表绿色, B 代表蓝色, R 代表红色) 模式。该相机的 Bayer 格式数据为 GB 模式排序, 其示意图如图 3 所示。

将 Bayer 格式数据转换为 RGB 数据时, 需要将 2 048×2 048 图像转换为 1 024×1 024、或 720×720、或 576×576 的图像, 根据双线性插值的思想, 取每个像素点为中心的 3×3 模板进行图像插值并转换 RGB 图像^[10]。同时, 又要考虑图像要进行分辨率缩小, 因此

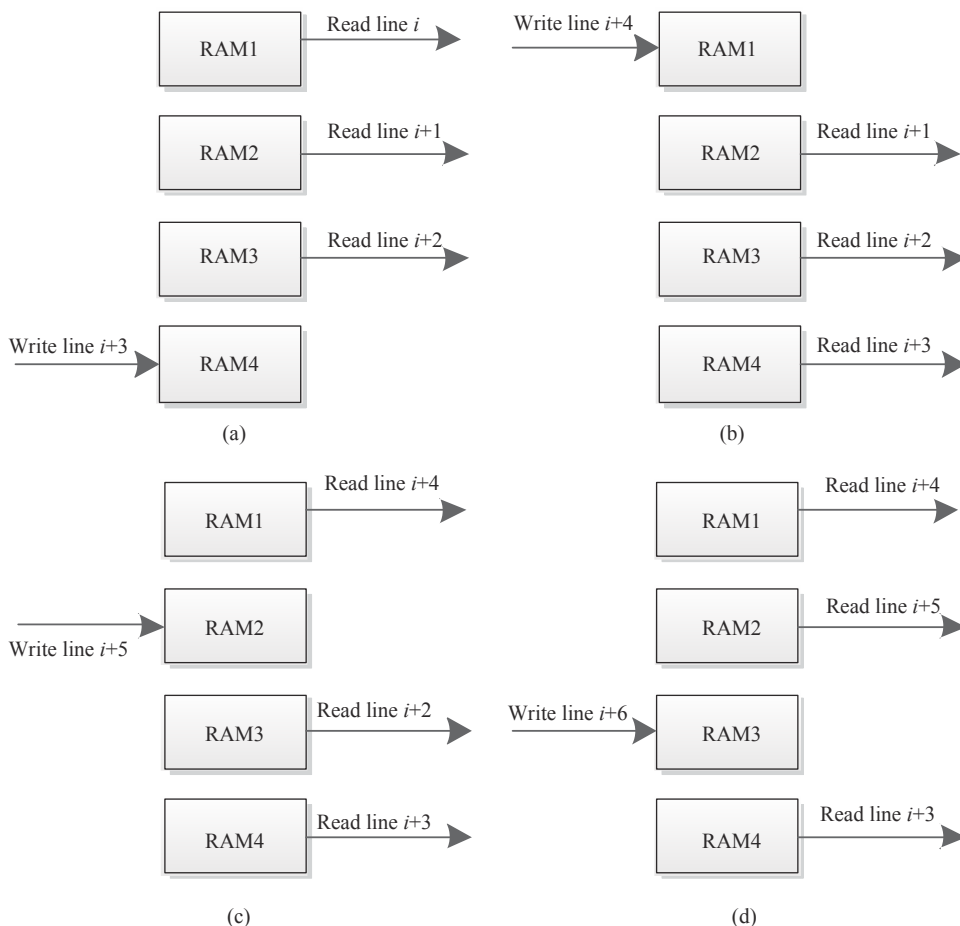


图 2 读取 RAM 的示意图

Fig.2 Sketch map of reading RAM



图 3 Bayer 格式数据

Fig.3 Bayer filter pattern

先对原始图像进行缩放变换, 变换公式如下:

$$L = k \times 2048 / M \quad (1)$$

式中: M 值为 1024、720、576 三种情况; k 值为从

1~ M 的整数值; L 为图像缩放后所选取对应的行数、列数, 并对该行数、列数取整数。对公式 (1) 中所选取的行进行图像插值, 对未选中的行进行取舍。在所进行进行 RGB 变换时, 所选行的每个像素的插值信息会用到相邻行的像素信息, 因此, 在图像缩小时不会产生图像边缘锯齿现象。

Bayer 图像转换为 RGB 图像如公式 (2) 所示。式中各元素的二维变量值表示该元素在 3×3 图像矩阵中的行与列 (如 $G(i, k)$ 表示为图像第 i 行、第 k 列的绿色分量值, 依次类推); $g(i, k)$ 为转换的绿色分量值; $b(i, k)$ 为转换的蓝色分量值; $r(i, k)$ 为转换的红色分量值。

$$\begin{cases} g(i, k) = G(i, k) \\ b(i, k) = [B(i-1, k) + B(i+1, k)]/2 \\ r(i, k) = [R(i, k-1) + R(i, k+1)]/2 \end{cases} \quad (2)$$

将 2048×2048 的视频图像先按公式 (1) 的方法进行“行列缩放”转换为所需的缩放图像, 根据 M 值的

不同缩放为 $1\ 024 \times 1\ 024$ 、或 720×720 、或 576×576 的图像。缩放后,在 3×3 的图像数据流中按照公式 (2) 实现 Bayer 图像转换为 RGB 图像。

2.2 RGB 转换为 YCbCr 变换

一幅 RGB 图像就是彩色像素的一个三维数组,其中每一个彩色像素点都是在特定空间位置的彩色图像相对应的红、绿、蓝三分量。如果是 8 位的真彩色图像,则对应的 RGB 图像的深度就是 24 位。文中在获取 RGB 图像后,将 RGB 图像实时转换为 YCbCr 图像。在 YCbCr 彩色空间中,分量 Y 表示亮度信息,分量 Cb 表示蓝色分量和一个参考值的差,分量 Cr 表示红色分量和一个参考值的差^[1]。公式 (3) 为 RGB 转换为 YCbCr 的转换公式。式中: R、G、B 的取值范围分别为 $[0, 1]$; Y、Cb、Cr 分量的取值范围分别为 $[16, 235]$ 。

$$\begin{bmatrix} Y \\ Cb \\ Cr \end{bmatrix} = \begin{bmatrix} 16 \\ 128 \\ 128 \end{bmatrix} + \begin{bmatrix} 65.481 & 128.553 & 24.966 \\ -37.797 & -74.203 & 112 \\ 112 & -93.786 & -18.214 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad (3)$$

文中的 RGB 图像中, R、G、B 分量分别为 $[0, 255]$,因此在 FPGA 中,考虑系统处理实时性的要求,需要将浮点型数据转换为整数部分,便于 FPGA 快速处理,公式 (3) 的两边同时乘以 256,得到方便 FPGA 处理的公式 (4):

$$\begin{bmatrix} Y' \\ Cb' \\ Cr' \end{bmatrix} = \begin{bmatrix} 4\ 096 \\ 32\ 768 \\ 32\ 768 \end{bmatrix} + \begin{bmatrix} 65 & 129 & 25 \\ -38 & -74 & 112 \\ 112 & -94 & -18 \end{bmatrix} \begin{bmatrix} R' \\ G' \\ B' \end{bmatrix} \quad (4)$$

式中: Y' 、 Cb' 、 Cr' 为在 RGB 范围为 $[0, 255]$ 时分别转换出来的值。此时, R' 、 G' 、 B' 的取值范围分别为 $[0, 255]$ 。

公式 (4) 中用了三次乘法和三次累加完成运算,在 FPGA 中需要耗时 18 个时钟周期,为了提高系统的实时性,将式中的乘法运算转换为加法运算,两个时钟周期完成公式转换。改进后的公式如下:

$$\begin{cases} Y' = 4\ 096 + R' \times 64 + R' + G' \times 128 + G' + B' \times 16 + B' \times 8 + B' \\ Cb' = 32\ 768 - R' \times 32 - R' \times 4 - R' \times 4 - G' \times 64 - G' \times 8 - G' \times 2 + B' \times 64 + B' \times 32 + B' \times 16 \\ Cr' = 32\ 768 + R' \times 64 + R' \times 32 + R' \times 16 - G' \times 64 - G' \times 16 - G' \times 8 - G' \times 4 - G' \times 2 - B' \times 16 - B' \times 2 \end{cases} \quad (5)$$

式中: Y' 等式右边的 $\times 64$ 、 $\times 128$ 、 $\times 16$ 、 $\times 8$ 是将对应的 R' 、 G' 、 B' 值左移 6 位、7 位、4 位、3 位,在 FPGA 中,将相应的 R' 、 G' 、 B' 值左移 6 位、7 位、4 位、3 位来实现。同理, Cb' 、 Cr' 等式右边的乘法运算在 FPGA 中按照此种方式运算。最后,将 Y' 、 Cb' 、 Cr' 分别除以 256,在 FPGA 中,通过右移 8 位得到 YCbCr 彩色图像的 YCbCr 值。由于每一个像元都可以转换为 YCbCr 值,视频流格式为 Cb1Y1Cr1Y2,每次转换为 YCbCr 值中,舍弃偶数列转换的 Cb、Cr 值。

2.3 视频缩放及 HD-SDI/SD-SDI 显示

文中显示的一种 HD-SDI 视频格式为 1 080p 格式 ($1\ 920 \times 1\ 080$, 25 Hz),而转换的视频图像大小为 $1\ 024 \times 1\ 024$,即 HD-SDI 视频的每行要达到 1 920 pixel,每帧图像有 1 080 行。按照 SMPTE 274M 的标准,在每行 1 920 pixel 的中间部分填充大小为 1 024 的图像数据,在每行的两边部分填充数据为 16 的黑边数据图像,在每帧图像 1 080 行的中间部分填充为 1 024 行的视频图像,每帧图像的上下两部分各 28 行填充数据为 16 的黑边数据图像。将此种转换方式的数据图像按 YCbCr4:2:2 输出至视频编码器芯片,转换成标准 HD-SDI 视频格式输出至后端视频监视器。

另一种 HD-SDI 视频格式为 720p ($1\ 280 \times 720$, 25 Hz),转换的视频图像大小为 720×720 ,即 HD-SDI 视频的每行 1 280 pixel,每帧 720 行。按照 SMPTE 296M 的标准,在每行 1 280 pixel 的中间部分填充大小为 720 的图像数据,在每行的两边部分填充为 16 的黑边数据图像,在每帧 720 行填充为 720 行的视频图像,无空余行填充黑边数据。将此种转换方式的数据图像按 YCbCr4:2:2 输出至编码器芯片,转换为标准 HD-SDI 视频格式输出至后端监视器。

SD-SDI 视频格式为 576i (720×576 , 50 Hz),转换的视频图像大小为 576×576 ,即 SD-SDI 视频的每行 720 pixel,每帧 576 行。在每行 720 pixel 的中间部分填充大小为 576 的图像数据,在每行的两边部分填充为 16 的黑边数据,每帧 576 行填充 576 行的图像数据,无空余行填充黑边数据。将此图像数据按照 PAL 制式 (720×288) 图像数据,分奇场数据、偶场数据输出,将数据进行 10 位转换 20 位,并加扰码变换输出至编码器芯片,转换为标准 SD-SDI 视频格式输出。

3 实验结果与分析

3.1 实验平台搭建及实现

为了验证系统设计的正确性,搭建了系统的硬件设计平台,包括大视场相机、所设计的嵌入式模块、Camera Link 接口电缆。在实验室对户外场景进行了成像显示实验。实验系统如图 4 所示。

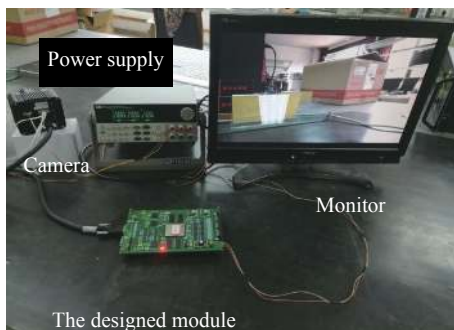


图 4 实验系统

Fig.4 Experimental system

依据文中所设计的硬件系统及基于 FPGA 开发的软件系统,对大视场相机的视频图像进行了实时的抽帧、缩放变换,进行了 HD-SDI/SD-SDI 视频图像的实时显示。视频中间部分大视场相机缩放后的视频图像,对图像上下左右边界测试,大视场范围内图像没有缺失,连续移动相机未出现图像的卡滞现象。结果表明系统设计可行。该视频图像如图 5 所示。

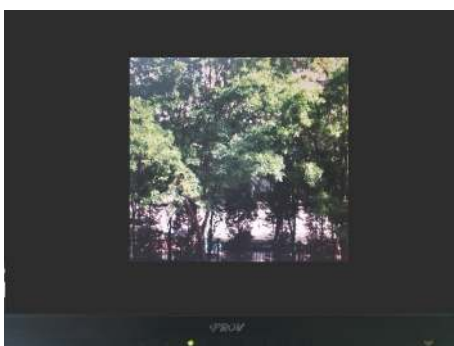


图 5 HD-SDI 视频图像

Fig.5 HD-SDI video

3.2 算法实时性分析

对在 MATLAB 环境下的最近邻插值法、双线性插值法、三次插值法与在 FPGA 环境下的双线性插值法的耗时进行了仿真实验。各算法处理一帧图像大

小为 2048×2048 , 缩放因子为 0.5 倍, 此时在 MATLAB 和 FPGA 环境下仿真, 所消耗的时间如下。表 2 为各种处理算法所消耗的时间。从表中得出, 在 MATLAB 环境下, 最近邻插值法耗时最短, 双线性插值法次之, 三次插值法耗时最长。在 FPGA 环境下, 双线性插值法耗时为 8.7 ms, 比在 MATLAB 环境下的双线性插值法耗时更短, 满足图像实时显示一帧图像 40 ms 的要求。说明在图像按模式 8×8 传输时, 算法直接利用了 FPGA 并行处理的优势, 极大地节约了算法的处理时间, 具有良好的实时性, 满足数字图像实时显示的需求。

表 2 各种算法所消耗的时间 (单位: ms)

Tab.2 Consuming time for some kind of algorithms (Unit: ms)

Algorithm	Consuming time
Nearest neighbor interpolation in MATLAB	296.4
Bilinear interpolation in MATLAB	355.7
Cubic interpolation in MATLAB	30736.7
Bilinear interpolation in FPGA	8.7

4 结论

文中设计了一种针对高帧频 100 Hz、高速数据传输 (模式为 $FULL8 \times 8$)、具有 Camera Link 接口的大视场相机的嵌入式成像采集显示系统, 设计了其硬件系统、基于 FPGA 设计了彩色视频图像的实时缩放、Bayer 格式视频转换为多种 SDI 制式视频的显示方法, 并在室内进行了系统的硬件平台搭建及户外场景的实验测试。实验结果表明该大视场视频采集显示系统具有良好的实时性, 可在不同的 FPGA 平台上移植, 能转换为多种 HD-SDI/SD-SDI 视频格式实时显示。该系统已成功应用在嵌入式大视场视频图像存储显示及实时跟踪显示等领域, 为嵌入式大视场视频成像视频显示提供了一种有效的参考方法。

参考文献:

[1] Shu Shuangbao, Liu Chao, Chen Meiwen, et al. A large field of view visible cameras image acquisition and processing technology in EAST device[J]. *Fusion Engineering and Design*, 2019, 147: 111253.

- [2] Wang Guozhong. Research and design of high speed image acquisition device based on CMOS sensor[D]. Taiyuan: North University of China, 2019. (in Chinese)
- [3] Tian Jiakai. The research and design of CMOS video image processing algorithm based on FPGA[D]. Guilin: Guangxi Normal University, 2018. (in Chinese)
- [4] Li Guangchun, Su Peidong, Du Shitong, et al. Design of video acquisition and real-time display system based on FPGA [J]. *Computer Measurement and Control*, 2015, 23(11): 3810-3816. (in Chinese)
- [5] Wu Yikai. Design and implementation of video scaling based on FPGA[D]. Zhenjiang: Jiangsu University, 2017. (in Chinese)
- [6] 巴斯勒工业相机官网. User's manual for camera link cameras [EB/OL]. (2015-03-24) [2020-07-04] <http://www.baslerweb.com/cn/products/cameras/area-scan-cameras/ace2>.
- [7] Huang Biao, Tian Yan, Yao Dawei, et al. A real-time image magnification technology based on edge prediction [J]. *Infrared and Laser Engineering*, 2013, 42(S1): 268-273. (in Chinese)
- [8] Xu Yu. A weighted algorithm of image zoom-out based on image sub-block and corner points [J]. *Computer and Modernization*, 2011, 4: 34-36, 44. (in Chinese)
- [9] He Lei, Tan Jieqing, Zhang Ping. Method for image zooming-out based on linear and nonlinear combinations[J]. *Application Research of Computers*, 2007, 24(5): 303-307. (in Chinese)
- [10] Li Jinwen, An Bowen. Image data conversion from Bayer to YCbCr based on FPGA [J]. *Video Engineering*, 2013, 37(23): 54-56, 84. (in Chinese)
- [11] Gonzalez R C, Woods R E, Eddins S L. Digital Image Processing Using MATLAB[M]. 2nd ed. Translated by Ruan Qiuqi. Beijing: Publishing House of Electronics Industry, 2005: 152-153. (in Chinese)