

大电流窄脉冲激光器驱动芯片设计

王立晶^{1,2}, 赵柏秦², 杨仕轩²

(1. 中国科学院大学, 北京 100049;
2. 中国科学院半导体研究所, 北京 100083)

摘要: 脉冲式半导体激光器的出光质量直接影响探测精度。针对激光探测系统小型化的需求, 设计一款面积小、集成度高的激光器驱动芯片。该芯片使用新型 3D 堆叠式封装技术将栅极驱动管芯与功率场效应晶体管管芯集成, 并在中间添加双面覆铜陶瓷基板实现两管芯互连。该封装形式既提高了芯片的散热能力, 又增强了过流能力。首先对激光探测发射模块现状进行详细介绍, 引出了激光器驱动芯片的设计思路与方法, 并给出了具体的封装设计流程。对栅极驱动电路与版图进行设计, 使用 0.25 μm BCD 工艺制造栅极驱动芯片。在完成激光器驱动芯片封装后, 搭建外围电路进行测试, 使该芯片驱动 860 nm 激光器, 芯片供电电压为 12 V 时, 输入电平为 3.3 V、频率为 10 kHz 的 PWM 信号, 芯片输出脉冲宽度为 180 ns 的窄脉冲, 其上升、下降时间小于 30 ns, 峰值电流高达 15 A, 可以使激光器正常出光, 满足探测需求。芯片具有超小面积, 约为 5 mm \times 5 mm, 解决了传统激光器驱动电路采用多芯片模块造成探测系统内部空间拥挤的问题, 为小型化提供新思路。

关键词: 半导体激光器; 驱动芯片; 小型化; 3D 封装; 功率 MOSFET

中图分类号: TN248 **文献标志码:** A **DOI:** 10.3788/IRLA20210034

Design of high current narrow pulse laser driving chip

Wang Lijing^{1,2}, Zhao Baiqin², Yang Shixuan²

(1. University of Chinese Academy of Sciences, Beijing 100049, China;
2. Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The light quality of the pulsed semiconductor laser directly affects the detection accuracy. Aiming at the miniaturization requirement of laser detection system, a laser driving chip with small area and high integration was designed. The chip integrated the gate driving die and the power field effect transistor die using 3D stacked packaging technology, and added a double-side copper-clad ceramic substrate in the middle to realize the interconnection of the two dies. This packaging form not only improved the heat dissipation capability of the chip, but also enhanced the overcurrent capability. First, the current status of the laser detection transmitter module was introduced in detail, the design ideas and methods of the laser driver chip were introduced, and the specific packaging design process was given. Then, the gate driving circuit and layout were designed, and the gate driving chip was fabricated with a 0.25 μm BCD process. The multi-chip packaging scheme was designed. By setting up a peripheral circuit for testing to make the chip drive the 860 nm laser, the chip can output a narrow pulse with a pulse width of 180 ns, rise and fall times were less than 30 ns, and reached a peak current as high as 15 A when the chip power supply voltage was 12 V, the input level was 3.3 V and the frequency is 10 kHz PWM signal. It can make the laser emit light normally and meet the detection requirement. The chip has an ultra-small area about

收稿日期: 2021-01-19; 修订日期: 2021-02-17

作者简介: 王立晶, 女, 博士生, 主要从事激光器驱动电路及激光器封装方面的研究。

导师简介: 赵柏秦, 男, 研究员, 博士生导师, 主要从事新型光电子器件及传感器器件方面的研究。

5 mm×5 mm, which solves the problem of congestion in the internal space of the detection system caused by the traditional laser drive circuit using multi-chip modules, and provides a new idea for miniaturization.

Key words: semiconductor laser; driving chip; miniaturization; 3D packaging; power MOSFET

0 引言

激光探测系统通过激光器发射光脉冲信号, 精准感知目标的存在, 具有探测精度高、抗干扰能力强等优势, 应用于多种领域。随着微电子技术越加成熟, 小型化已成为激光探测系统的关键技术和发展趋势^[1]。

激光驱动电路板多由分立器件组成, 且在板级设计中为了避免电磁干扰, 器件之间需留有安全间距, 所以传统激光器发射模块存在集成度低、面积大 (13 mm×10 mm) 等问题。Wang Jinhua 等^[2]提出使用 CPLD 替代 TTL 电路, 减小了发射模块中控制电路的面积; Han Wei^[3]等将激光器与驱动电路元件组装在 AlN 基板上, 解决了驱动电源与激光器分离问题。但是以上两种方案中激光器驱动电路仍占据发射模块大部分面积。

由于激光探测发射模块中的驱动电路和功率 MOSFET 开关管占用面积过大^[4], 文中采用新型堆叠式封装形式, 将栅极驱动管芯与功率 MOSFET 开关管堆叠封装, 实现了发射模块最小化设计。芯片使用双面覆铜陶瓷基板替代引线键合连接两管芯, 其中功率 MOSFET 管芯采用国产功率管裸芯。通过优化栅极驱动电路与版图结构, 制作了小面积、高驱动能力的栅极驱动管芯。该多芯片封装形式减少了分立器件连接所需要的 PCB 板走线, 降低系统分布式电感、电容效应, 从而提高激光探测系统的可靠性和安全性。

1 3D 堆叠式封装设计

虽然单管芯集成栅极驱动电路和功率 MOSFET 是集成度最高的方案, 但是此方案目前只能使用单一工艺。功率 MOSFET 一般由垂直双扩散工艺加工, 栅极驱动器多采用单片集成双极器件、CMOS 器件以及高压 MOS 器件 (Bipolar-CMOS-DMOS, BCD) 工艺, 所以很难将二者集成到单一管芯。文中提出的多芯片封装方案既有利于激光器驱动板小型化, 又解决了两器件工艺不兼容的问题。

多芯片封装形式主要分为平铺式和堆叠式^[5]。平

铺式封装多采用引线键合工艺连接两管芯。该封装形式占用面积大, 而且引线键合存在寄生参数大、载流量小等问题。文中选用 3D 堆叠式封装, 并使用倒装技术, 从而达到缩小面积、降低寄生参数、增强散热和提高功率密度的目的^[6]。

1.1 封装结构

功率 MOSFET 漏极从管芯背部引出, 将其置于多芯片封装结构底层, 可以增强散热能力。

由于栅极驱动管芯面积比较小, 如果将其直接倒扣在 MOSFET 管芯上, 栅极驱动管芯其余焊盘很难引出。选择在两管芯之间增加覆铜陶瓷基板 (Direct Bonding Copper, DBC), 如图 1 所示。

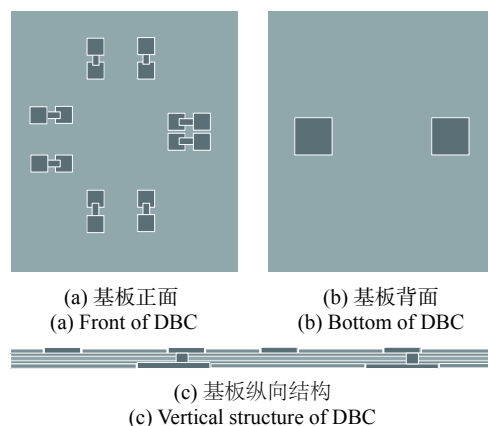


图 1 覆铜陶瓷基板结构图

Fig.1 Structure of copper-clad ceramic DBC

中间层陶瓷基板预先刻蚀相应线路, 并采用双层结构, 通过分层布线设计使栅极驱动管芯焊盘位置重新排布。栅极驱动芯片的输入焊盘和电源焊盘从陶瓷基板正面引出, 输出端焊盘从基板背面与功率 MOSFET 栅极连接。陶瓷基板不仅增强了芯片三维散热, 也减小管芯内的电磁干扰。

1.2 封装工艺

如图 2(a) 所示, 在中间层陶瓷基板的焊盘上制作焊料凸点。栅极驱动管芯与功率 MOSFET 管芯表面进行金属化处理后, 分别贴装在中间陶瓷基板上, 实现芯片与基板上相应焊盘的互连, 使用回流焊工艺, 完成所有焊接, 如图 2(b) 所示。

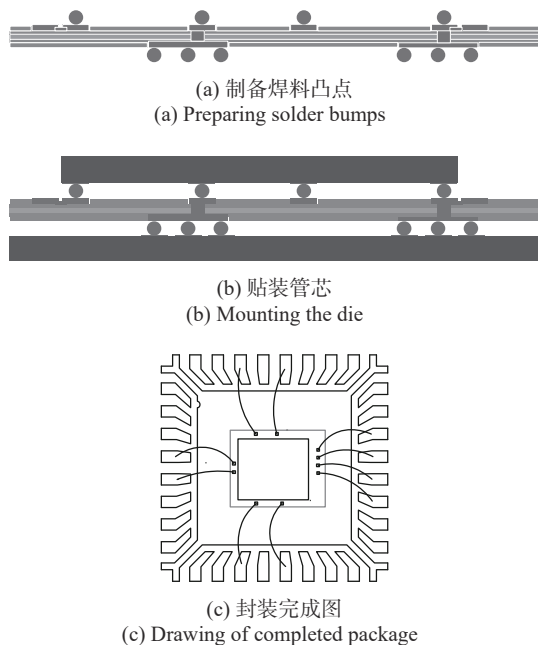


图 2 多芯片封装工艺图
Fig.2 Multi-chip packaging process

芯片采用方形扁平无引脚封装,功率芯片漏极使用导电银胶,贴装在底部中央大焊盘处,可以使芯片承载大电流的同时增强散热能力。其余焊盘,使用引线键合方式连接到底部基板,如图 2(c) 所示。

2 栅极驱动管芯设计

硅基功率 MOSFET 产品已经十分成熟,选择国产某型号 MOSFET 作为激光器驱动芯片功率管芯,该管芯具有开关延时小,导通电阻低,输出电流大,面积小(约 2 mm×2.3 mm)等优势;国内现有栅极驱动管芯存在面积大,性能较差等问题,所以有必要设计一款专用栅极驱动管芯与功率 MOSFET 管芯匹配,文中提出了设计方案,此方案在减小多芯片封装的寄生效应和增加封装可靠性方面进行了优化。

2.1 栅极驱动电路设计

激光探测系统性能很大程度上取决于光脉冲质量,因此驱动芯片需要提供上升时间短、脉冲宽度窄的大电流脉冲信号^[7]。表 1 给出了该栅极芯片的设计

表 1 栅极驱动芯片设计指标

Tab.1 Design index of gate driving chip

	Frequency/kHz	Pulse width/ns	Rising and falling edge/ns
Index	10	≤200	≤20

指标。在输出脉冲频率为 10 kHz 时,系统能有效且快速地探测到目标^[8]。

该栅极驱动管芯主要包括输入级、逻辑电路、输出级、低压线性稳压器(LDO)以及欠压保护五个模块,原理框图如图 3 所示。输入信号经过输入接口模块得到低压方波信号,该信号输入到逻辑控制模块,逻辑控制模块将其与欠压保护、启动保护等信号综合后,把得到的信号输出到驱动模块,由驱动模块产生驱动信号。

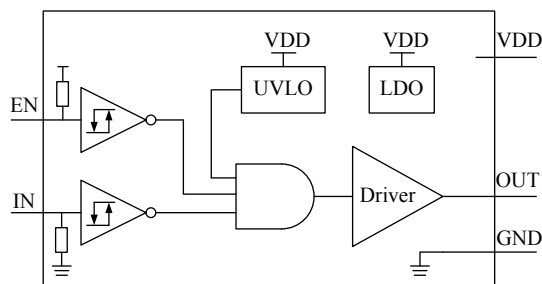


图 3 栅极驱动电路原理图

Fig.3 Schematic diagram of gate driving circuit

2.1.1 输入接口模块

输入级接口电路使用施密特触发器,如图 4 所示,利用滞回效应提高系统抗噪和抗干扰能力。

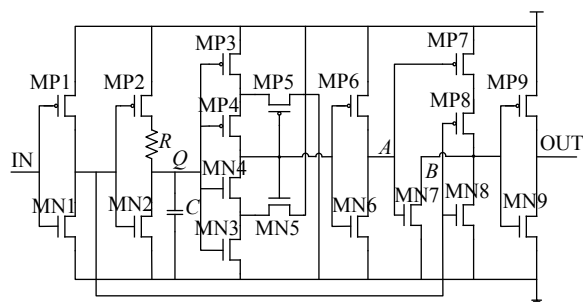


图 4 输入级接口电路图

Fig.4 Circuit of input stage interface

输出脉冲宽度为:

$$t = R \times C \times \ln \frac{V_{CC}}{V_{CC} - V_{T+}} \quad (1)$$

$$V_{T+} = \frac{V_{CC} + \sqrt{\frac{\beta_3}{\beta_5}} \times V_{TH}}{1 + \sqrt{\frac{\beta_3}{\beta_5}}} \quad (2)$$

式中: β_3, β_5 为 MN3, MN5 的宽长比。

2.1.2 LDO 模块

为了节省版图面积,该电路使用 MP2-MP6,MN5-MN8 管构成折叠共源共栅放大器,如图 5 所示,在电源与开关管 MP7 栅极之间串联 RC,简化补偿网络。

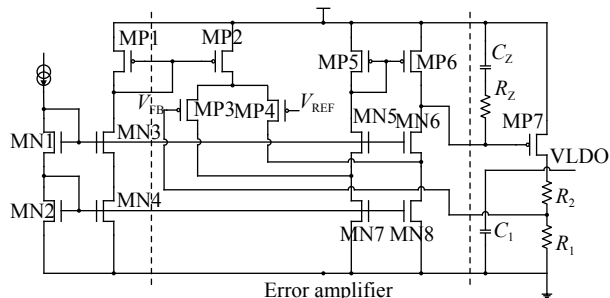


图 5 LDO 电路图

Fig.5 Circuit of low dropout regulator(LDO)

2.1.3 输出驱动级

由于 PMOS 的沟道迁移率远低于 NMOS,在提供相同电流输出时,PMOS 元件所占版图面积很大。该电路在输出级增加了 NMOS 上拉结构,如图 6 所示,将 N 沟道 MOSFET 与 P 沟道 MOSEFT 并联,减小了管芯版图面积的同时,增加了输出驱动电流。

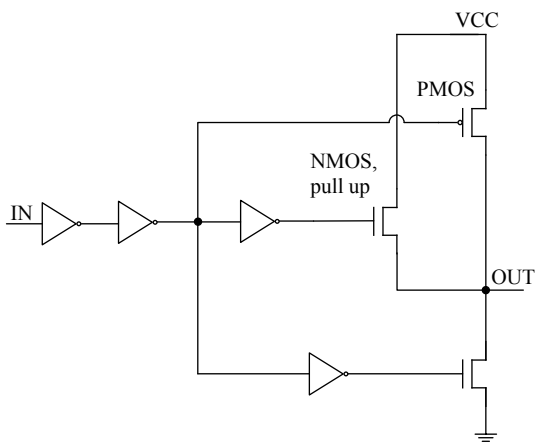


图 6 输出驱动级电路

Fig.6 Circuit of output driving stage

2.2 栅极驱动芯片版图设计

该栅极驱动管芯版图设计对寄生效应和过流能力方面进行了优化。

输出级版图位于整体版图右侧,缩短输出焊盘与 MOSFET 栅极之间的距离以减小寄生效应;增加栅极驱动输出焊盘尺寸,焊盘开窗 $100\ \mu\text{m}\times 100\ \mu\text{m}$ 焊盘,以增强过流能力,提高多芯片的稳定性。栅极驱动管

芯整体版图如图 7 所示,版图面积为 $1.7\ \text{mm}\times 2\ \text{mm}$ 。该管芯采用 $0.25\ \mu\text{m}$ BCD 工艺加工制作。

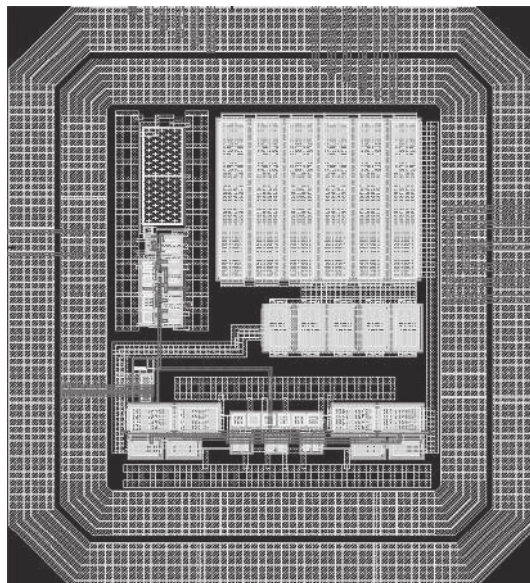


图 7 栅极驱动管芯版图

Fig.7 Layout of gate driving chip

3 芯片测试结果

3.1 栅极驱动芯片测试

对栅极驱动管芯进行驱动能力测试,信号发生器的信号脉宽为 $100\ \text{ns}$,幅值为 $3.3\ \text{V}$,上升下降沿为 $3\ \text{ns}$,并采样 $1\ \text{nf}$ 电容作为负载以测试芯片驱动能力。

测试结果如图 8 所示,在供电电压为 $12\ \text{V}$ 时,输出脉冲宽度为 $160\ \text{ns}$,上升下降时间均小于 $20\ \text{ns}$,基本满足设计需求。测试结果与整体电路仿真结果相比,输出脉冲宽度比输入脉冲宽度略有展宽。

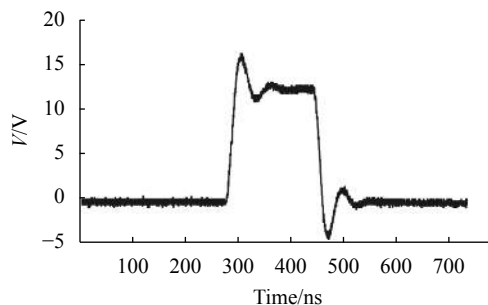


图 8 栅极驱动管芯测试结果

Fig.8 Test result of gate driving chip

考虑其主要原因是电路中 RC 数值设计不理想。在芯片制造工艺中,不同工艺层的引入会产生相应的

寄生器件。由于输入脉冲宽度较窄，器件寄生效应会更加明显，输入级电阻、电容值大于理论设计值，导致输出脉冲宽度展宽。解决方案是在电路设计时，重新计算电阻工艺误差，并建立仿真模型，以改善波形问题。

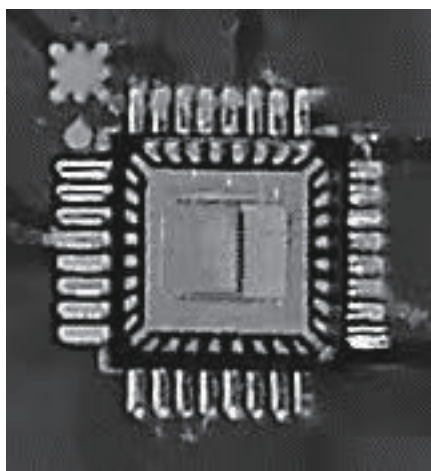
3.2 激光器驱动芯片测试

根据设计要求完成了激光驱动电路，制作了探测系统测试样机，如图 9 所示。

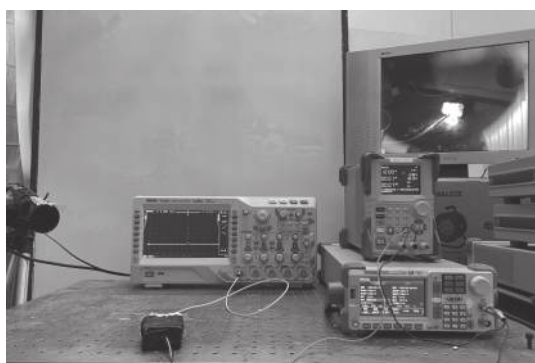
如图 9(b) 所示，该激光器驱动芯片对激光器进行驱动，屏幕显示激光器能够正常出光。采用光电探测器接收光信号，获得激光器光脉冲波形，如图 10 所示，并使用 LP-3B 激光功率计进行测试，测得该激光器单管芯最大峰值功率为 18 W。

进一步测试激光器驱动芯片性能，提供输入电平为 3.3 V、频率为 10 kHz 的 PWM 信号，在供电电压为 12 V 时进行测试。图 11(a) 为部分时序测试结果。由图 11(b) 可知，芯片输出脉冲宽度为 180 ns 的

窄脉冲，其上升、下降时间小于 30 ns，可见在该封装形式下，栅极驱动芯片能够使功率 MOSFET 的快速



(a) 激光器驱动芯片
(a) Laser driving chip



(b) 测试系统
(b) Test system

图 9 激光驱动芯片与测试系统
Fig.9 Laser driving chip and test system

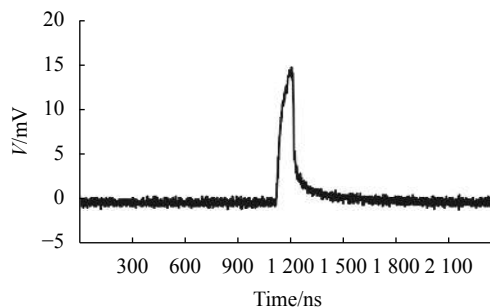
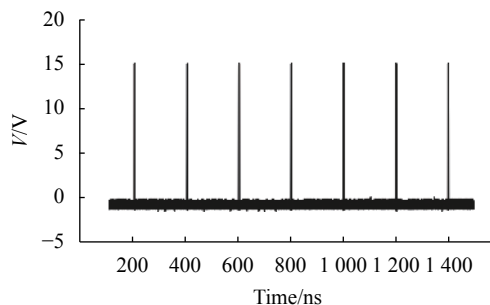
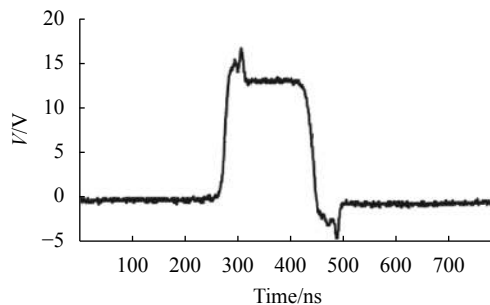


图 10 激光器光脉冲波形

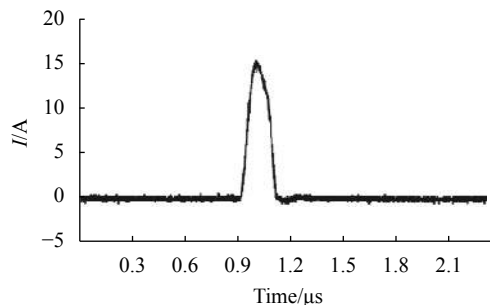
Fig.10 Waveform of laser pulse



(a) 输出时序测试结果
(a) Test result of output timing



(b) 输出脉冲测试结果
(b) Test result of output pulse



(c) 输出电流测试结果
(c) Test result of output current

图 11 激光器驱动芯片测试结果
Fig.11 Test result of laser driving chip

开启与关断。图 11(c) 为激光器驱动芯片输出电流脉冲波形图。将芯片输出端短路, 使用 100 mV/A 电流探头进行测试, 由图可见, 驱动峰值电流可达 15 A。该芯片可以通过调整功率开关管供电电压改变输出脉冲幅值与峰值电流大小。

激光器驱动芯片输出脉冲宽度较输入脉冲宽度展宽约 20 ns。将栅极驱动管芯与功率 MOSFET 分离, 并贴装在测试电路板上, 再次进行测试后, 脉冲宽度展宽现象消失。对多芯片封装模型分析可知, 高封装密度使两管芯热耦合增强, 陶瓷基板走线带来的寄生效应更加明显, 导致输出波形展宽。将栅极驱动器输出级焊盘与功率 MOSFET 栅极焊盘通过 DBC 基板过孔直接连接, 减小走线距离, 同时采用陶瓷封装, 进一步增强芯片散热能力, 改善输出波形。

4 结论与展望

文中设计的激光驱动芯片具有超小面积 5 mm×5 mm, 实现了激光发射模块小型化, 打破了驱动电路采用分立器件搭建的传统模式。该芯片使用新型 3D 堆叠式封装技术, 在两管芯中间引入双面陶瓷基板, 将栅极驱动器与功率 MOSFET 管芯集成, 提高了系统集成度。经测试, 芯片应用于激光探测系统, 满足使用需求。

文中设计的激光器驱动芯片具有集成度高、驱动能力强等优点, 可以通过改进驱动电路以及封装基板材料进一步提高驱动性能, 可以应用于工业、通信等

领域, 同时该封装形式为功率集成电路 (PIC) 高度集成化提供了方向。

参考文献:

- [1] Gao Yejun. Analysis of the research status and development process of fuze system in foreign countries [J]. *Guidance and Fuze*, 2018, 39(1): 1-5. (in Chinese)
- [2] Wang Jinhua, Chen Feixia. Design of realizing laser fuze circuits system miniaturization with CPLD [J]. *Infrared and Laser Engineering*, 2000, 29(4): 67-70. (in Chinese)
- [3] Han Wei, Zheng Xiang, Zhao Baiqin. Design of miniaturized transmitting-receiving system for laser detection [J]. *Infrared and Laser Engineering*, 2017, 46(9): 0906008. (in Chinese)
- [4] Chen Shanshan, Zhang He, Xu Xiaobin. Design of narrow pulse light source driving circuit of laser fuze [J]. *Infrared and Laser Engineering*, 2018, 47(S1): S106004.
- [5] Yang Jiansheng. Development of three-dimensional memory die stack packages technique [J]. *Equipment for Electronic Products Manufacturing*, 2018, 47(47): 40-44. (in Chinese)
- [6] Tong Zhiyi. The present situation of high-density packaging and its future [J]. *Equipment for Electronic Products Manufacturing*, 2000, 29(2): 1-9. (in Chinese)
- [7] Cong Menglong, Li Li, Cui Yansong, et al. Design of high stability digital control driving system for semiconductor laser [J]. *Optics and Precision Engineering*, 2010, 18(7): 1629-1636. (in Chinese)
- [8] Dai Qin, Song Wenwu, Wang Xijun. Design and stability of high frequency LDs driving circuit [J]. *Optics and Precision Engineering*, 2006, 14(5): 745-748. (in Chinese)