

单光子探测 InGaAs 雪崩焦平面像素级高分辨率低 误码时间数字转换电路

刘 煦^{1,2,3}, 李云铎^{1,2,3}, 叶联华^{1,2,3}, 黄张成^{1,2}, 黄松垒^{1,2}, 方家熊^{1,2}

- (1. 中国科学院上海技术物理研究所 传感技术联合国家重点实验室, 上海 200083;
2. 中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室, 上海 200083;
3. 中国科学院大学, 北京 100049)

摘 要: 单光子探测在量子信息、生物医学、激光雷达成像等领域具有重要应用前景, InGaAs 盖革雪崩焦平面具有单光子探测灵敏度, 通过计量光子飞行时间实现距离探测, 时间数字转换精度决定整个探测系统的测距精度, 是近年来单光子探测领域的研究热点。设计了一款 64×64 面阵型像素级高分辨率低误码时间数字转换阵列电路 (Time to Digital Converter, TDC), 采用局部共享型高中低三段式异步周期 TDC 结构。低段位 TDC 全阵列共享, 基于压控延迟链 (Voltage Control Delay Line, VCDL) 分相时钟实现亚纳秒计时; 中高段位每个像素独享, 中段位采用分频计数器降低时钟频率, 降低阵列整体功耗, 高段位采用线性反馈移位寄存器扩展计时量程并实现计时、数据存储、输出一体化。采用延迟采样方案显著降低了因段间计数时钟不匹配导致的数据锁存误码问题。采用 0.18 μm CMOS 工艺流片, 实测 250 MHz 参考时钟频率下分辨率 0.5 ns, 积分非线性 -0.4~0.6 LSB, 微分非线性 -0.4~0.4 LSB, TDC 转换单调, 有效量程位数 13 位, 20 kHz 帧频功耗 380.5 mW。

关键词: 时间数字转换; 时间分辨率; 低误码; 单光子探测; 盖革雪崩焦平面

中图分类号: TN402; TP212 **文献标志码:** A **DOI:** 10.3788/IRLA20210009

Pixel-level high resolution and low error rate time-to-digital converter circuit of single photon detection InGaAs avalanche focal plane array

Liu Xu^{1,2,3}, Li Yunduo^{1,2,3}, Ye Lianhua^{1,2,3}, Huang Zhangcheng^{1,2}, Huang Songlei^{1,2}, Fang Jiaxiong^{1,2}

- (1. State Key Laboratories of Transducer Technology, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;
2. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;
3. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Single-photon detection has important application prospects in quantum information, biomedicine and laser radar 3D imaging. InGaAs Geiger avalanche focal plane has single-photon sensitivity. Distance detection is

收稿日期: 2020-12-28; 修订日期: 2021-06-18

基金项目: 国家自然科学基金 (62075229, 61675225)

作者简介: 刘煦, 男, 博士生, 研究方向为红外传感器专用集成电路设计。

导师简介: 方家熊, 男, 研究员, 博士生导师, 研究方向为半导体光电器件和光电传感器专用集成电路设计。

achieved by measuring time of photon flight. Time-to-digital conversion accuracy determines the ranging accuracy of the detection system and this direction is the focus of single photon detection in recent years. A high resolution and low error rate 64×64 array type pixel level time-to-digital converter (TDC) circuit adopting three-stage asynchronous periodic counter structure was designed for InGaAs Geiger-mode avalanche focal plane array applications. Sub-nanosecond time resolution was realized by a voltage-controlled delay chain as well as a fine TDC that was shared by the entire array. The pixel level middle and coarse TDC used a divider counter to reduce the clock frequency and a linear feedback shift register to achieve a large time range, respectively. The high-segment coarse TDC can achieve timing, data storage and output integration through the register chain. The data conversion error rate originating from the mismatch of counting clocks between different stages was significantly reduced by incorporating of a delayed sampling scheme. A timing resolution of 0.5 ns at a reference clock frequency of 250 MHz, an integral nonlinearity of -0.4 to 0.6 LSB, a differential nonlinearity of -0.4 to 0.4 LSB, an effective digit of 13 bits, and a power consumption of 380.5 mW at 20 kHz frame rate are attained based on a $0.18 \mu\text{m}$ digital-analog hybrid CMOS technology. The TDC remains monotonous within the conversion range.

Key words: time-to-digital converter; time resolution; low error code; single photon detection; Geiger avalanche focal plane

0 引言

单光子探测在激光雷达三维成像^[1]、荧光寿命成像^[2-3]、激光通信^[4]等领域具有广泛的应用前景。基于盖革雪崩光电二极管 (Avalanche Photodiode, APD) 的单光子焦平面探测器具有灵敏度高、探测距离远、测距精度高等特点^[5-8]，它通过计量光子飞行时间实现距离探测，光子飞行时间由探测器内的读出电路 (Readout Integrated Circuit, ROIC) 记录、存储和输出，读出电路内的时间-数字转换模块负责将时间信息转换为数字码值，计时精度决定整个探测系统的测距精度，是 ROIC 内的关键模块。

在 $M \times N$ 规模的焦平面探测器内，若各像元具备独立计时能力，需 $M \times N$ 个计时单元，TDC 设计面临面积和功耗的挑战。TDC 有多种实现方案：基于单一计时器型的 TDC 结构简单、静态功耗低，但计时精度受限于参考时钟频率，难以实现高精度；基于游标型的 TDC 能够实现超高精度，但功耗高、版图面积大，无法应用于小像元中心距阵列。

针对中大规模焦平面的应用特点，一些研究机构采用复合型的 TDC 结构，将 TDC 分为粗计时和细计时两个段位，这种结构可以兼顾精度、功耗和版图面积^[9-10]。如何选择不同的分段组合、各分段如何选择底层的 TDC 结构和优化设计对整个 TDC 的性能有着重要影响，是值得研究的重要方向。此外，由于

TDC 的不同段之间存在时钟信号失配，计数码值的存储和转换会存在误码现象，严重影响时间数字转换的准确性。因此，有必要针对多段式 TDC 的误码进行分析并研究解决方案，在低功耗条件下实现高计时精度和大时间量程。

文中报道了一款适用于 64×64 规模 InGaAs 盖革 APD 面阵的时间数字转换电路。该面阵 TDC 针对无扫描航空激光雷达三维测距时间分辨率高、计时量程大、探测区间内每一个像素可检测回波光子和记录光子飞行时间的应用需求，采用高、中、低三段式 TDC 结构和延迟采样方案，实现高时间分辨和低误码计时。对高、中、低段位计时原理、电路结构、延迟采样方案进行了分析。流片和测试结果表明时间分辨率可达 0.5 ns，20 kHz 帧频功耗 380.5 mW。

1 时间-数字转换电路整体方案设计

基于盖革 APD 焦平面的三维激光雷达工作原理如图 1 所示，通过测量光子飞行时间计算被测目标与探测器间的距离。探测系统脉冲激光源发射光子，焦平面内的读出电路开始计时，光子到达目标点后反射，回波信号触发 APD 雪崩，探测器感应到雪崩电流并触发读出电路停止计时。

光子飞行时间由读出电路的时间数字转换模块记录并存储。根据不同的共享方式，时钟驱动型阵列

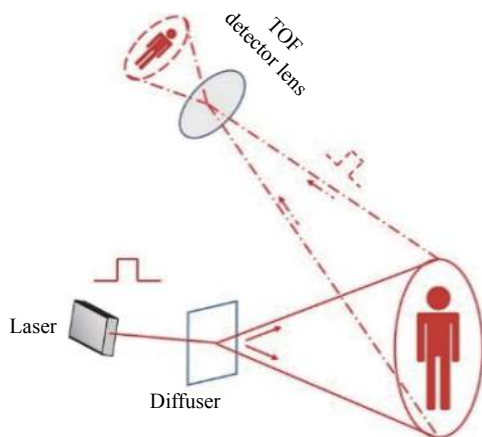


图 1 时间数字转换电路工作原理

Fig.1 Working principle of time-to-digital converter circuit

TDC 主要分为像素独享型、全局共享型、局部共享型三种方案。像素独享型方案基于门控环振 (Gated Ring Oscillator, GRO)^[2], 像素内部集成独立门控环振, 像素时间量化独立、无全局时钟线、像素间高频干扰小, 但是 GRO 受 PVT 影响, 随阵列规模增大, 存在各像素计时不均匀问题。全局共享型方案共用一个外置型 TDC, 该方案结构简单, 可通过提高量化时钟频率提升时间分辨率。但是随着像素规模增加, 要实现大量程需多条全局时钟线, 时钟网络布局复杂, 多路信号间相互干扰严重、各路时钟延迟难以匹配, 在阵列应用中难以兼顾量程、计时精度。

局部共享型三段式 TDC 的结构如图 2 所示。低段位 TDC 基于延迟锁相环 (Delay Locked Loop, DLL), 环路为单极点稳定系统且具有低抖动、低相位噪声优点^[1], 该模块内部的压控延迟链生成的多路分相时钟可突破时钟周期限制, 实现高精度计时。中高段位 TDC 位于像素内部, 降低单像素功耗对于降低全局电路的功耗具有重要意义, 在低段位与高段位之间插入

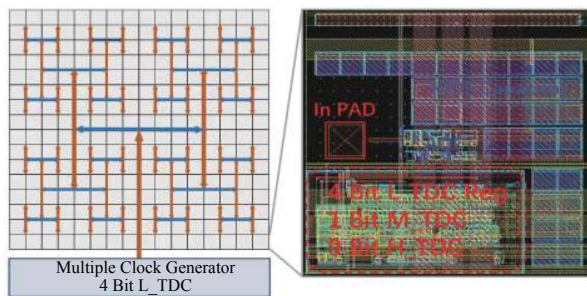


图 2 三段式时间数字转换电路结构

Fig.2 Structure of three-stage time-to-digital converter circuit

分频计数器作为中段位 TDC, 分频后的信号作为高段位 TDC 的时钟信号, 进而降低像素内时钟频率。高段位采用线性反馈移位寄存器, 该模块为同步电路, 具有结构简单、功耗低、时钟信号同步的优势。时间转换完成后, 结果存储在每个像素的寄存器块内, 在读出模式下被配置为移位寄存器并通过选择信号逐步开启每个像素, 各像素数据通过总线输出。这种面阵 TDC 方案可满足无扫描激光雷达每个探测窗口内, 所有像素都可记录光子飞行时间的应用需求且兼顾高时间分辨率和计时量程。

TDC 的工作方式如图 3 所示, 基于参考时钟的上升沿, 待测时间分为三个部分, 时间转换结果可表示为:

$$\Delta T_{TEST} = \Delta T_{START} + NT_{CLK} - \Delta T_{STOP} \quad (1)$$

式中: NT_{CLK} 表示停止计时后计数器的结果; ΔT_{START} 和 ΔT_{STOP} 为经过低段位 TDC 量化后的时间值。

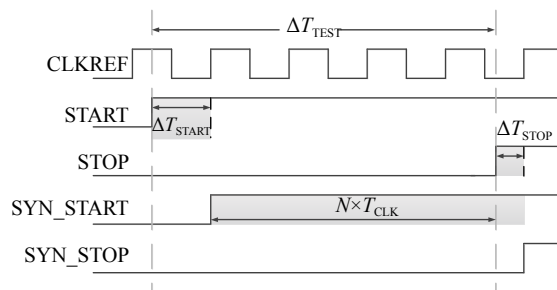


图 3 三段式时间数字转换电路工作时序

Fig.3 Working sequence of three-stage time-to-digital converter circuit

2 时间数字转换电路关键模块设计

三段式 TDC 各段位采用不同的结构方案, 其结构如图 4 所示。各段位采用不同的技术方案, 段位之间可能会因失配造成进位误码, 同时具备高计时精度和低误码率是设计重点。在门控时钟模式下, 高速参考时钟仅在计时模式下进入 TDC 模块内部, 非计时模式屏蔽高频参考时钟, 其功耗仅由漏电流和门控模块之前时钟路径上的动态功耗组成, 有效降低电路平均功耗。通过时钟选择器, 读出模式下低速时钟进入像素内部, 不同工作模式的时钟彼此之间相互独立。在这种工作方式下, 数字码值无法并行输出, 片内无法进行数据转换, 但是在时间数字转换过程中, 输出缓冲器不需驱动大容值片外负载, 可将影响 TDC 转

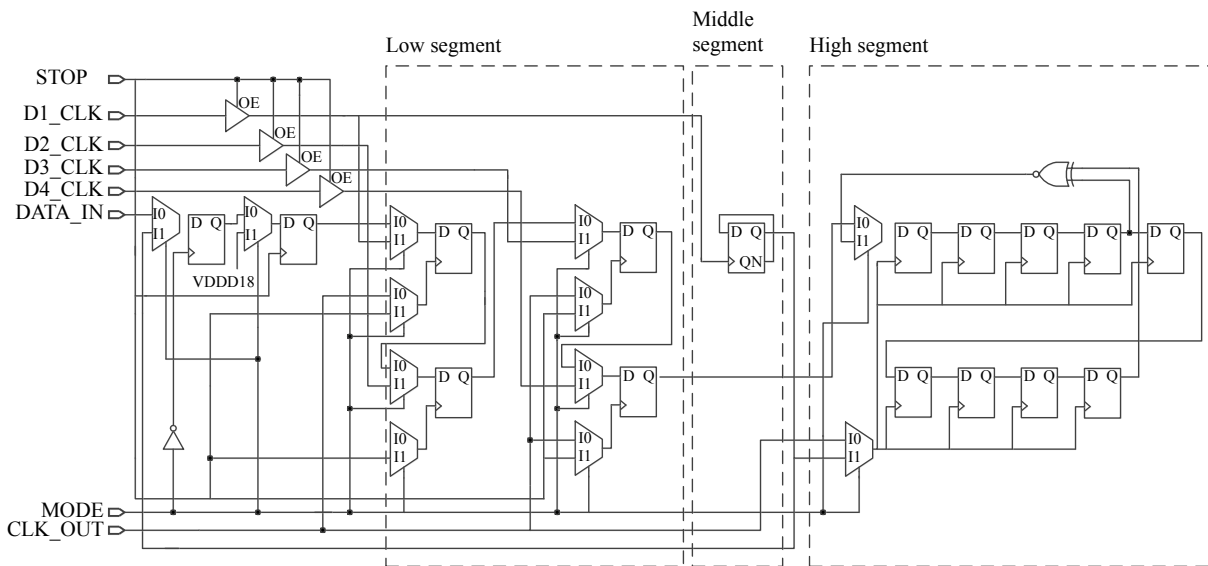


图 4 三段式时间数字转换电路

Fig.4 Three-stage time-to-digital converter circuit

换精度的开关噪声降至最低且不需要专用的读出寄存器,降低硬件资源开销。

2.1 基于 DLL 的低段位 TDC 与全局时钟网络设计

如图 5 所示, DLL 由启动模块、鉴相器 (Phase Detector, PD)、电荷泵 (Charge Pump, CP)、压控延迟链、环路滤波器 (Loop Pass Filter, LPF) 等模块组成, VCDL 是实现高时间分辨率的关键,通过插值技术提取分相时钟信号可突破参考时钟周期限制。假设 VCDL 的级数为 N , 参考时钟频率为 T_{ref} , TDC 可实现的时间分辨率为:

$$T_{LSB} = \frac{T_{ref}}{N} \quad (2)$$

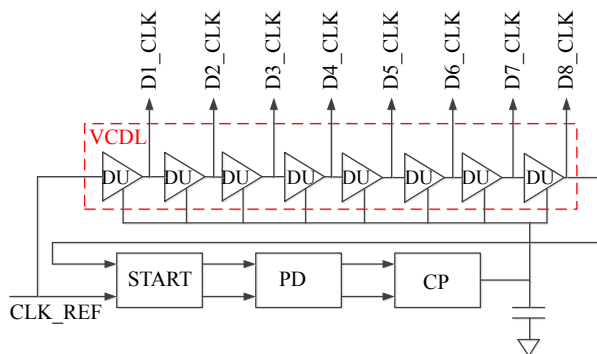


图 5 延迟锁相环电路结构

Fig.5 Structure of delay-locked loop circuit

为在 250 MHz 参考时钟频率下实现 0.5 ns 时间分辨率, VCDL 设计为 8 级, 如图 6 所示, 延迟单元为差分电路, 与单端结构相比, 差分结构能够更好地抑

制共模干扰,降低共模噪声对电路的影响。NMOS 管 M1 和 M2 为信号输入管, M3、M5 由 V_{CTRL} 信号控制, 当 V_{CTRL} 控制电压大小改变, 压控管的充放电能力随之改变, 延迟时间改变, 其随着控制电压的增加而增加。

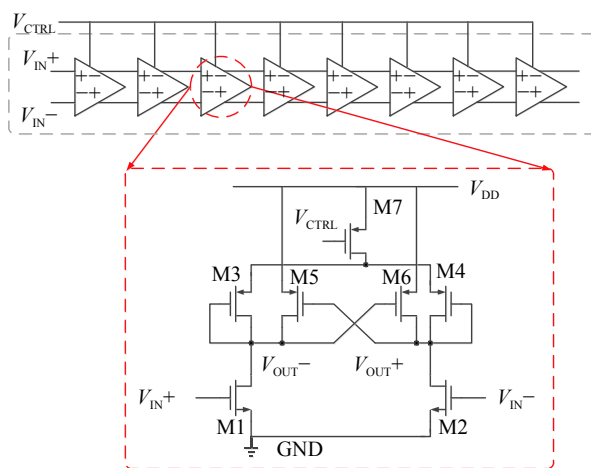


图 6 压控延迟链与延迟单元

Fig.6 Voltage-controlled delay chain and delay unit

由图 5 和图 7 可知, 在锁定状态下, CLKREF 与 D8_CLK 的相位相差 2π , 相邻时钟信号的相位差为 $\pi/4$, 利用时钟内插法提取 8 级压控延迟链的 4 路相邻时钟作为分相时钟信号, 在 TDC 停止信号到来时刻, 锁存器锁存分相时钟的当前值。4 路相邻分相时钟以格雷码形式变换, 相邻状态下只有 1 bit 信号翻转, 格雷码转换方式能够避免因多路电平同时翻转出现高

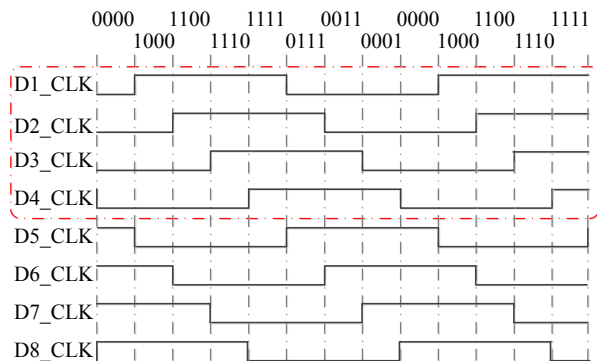


图 7 压控延迟链-多级分相时钟时序图

Fig.7 Voltage-controlled delay chain - Multi-stage split-phase clock

瞬态功耗的情况。

如图 8 所示,多级分相时钟信号和 TDC 开启计时信号通过 H 型时钟网络进入各像素单元,全局信号能够等延迟进入各像素单元,有效提升像素计时一致性。

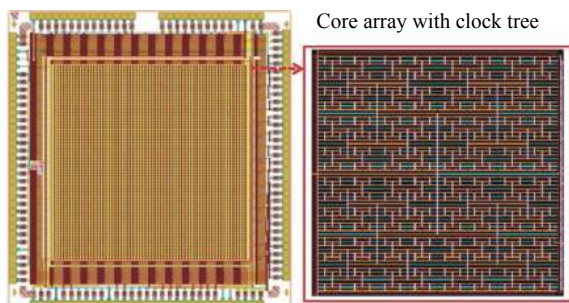


图 8 全局时钟网络版图

Fig.8 Global clock network layout

2.2 像素电路设计

低段位数据锁存电路如图 9 所示, D1_CLK 信号既是低段位信号, 又是中段位输入时钟, 当 STOP 信

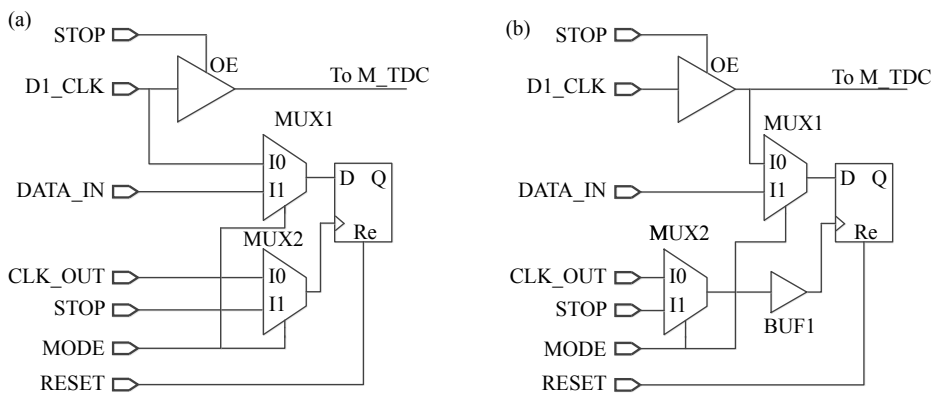


图 9 低段位数据锁存电路。(a) 原有数据锁存电路; (b) 改进数据锁存电路

Fig.9 Low segment data latch circuit. (a) Data latch circuit before optimization; (b) Data latch circuit after optimization

号在 D1_CLK 上升沿附近到来, 该上升沿能够正常驱动中高段位计数器, 但是受限于低段位锁存器的信号建立时间, 该信号有锁存错误的风险, 引发进位误码, 导致 TDC 的非线性性能恶化。如图 10 所示, 假设 STOP 信号在不同的区域到来, 不同区域 TDC 转换结果如表 1 所示, 当 STOP 信号在区域 B 或区域 D 到来, 会出现锁存误码。

如图 9(a) 所示的原方案, D1_CLK 信号经过传输门后将继续传输到中段位, 低段位的锁存器直接锁存 D1_CLK 值, 中高段位 TDC 为时钟沿触发型计数器, 识别传输门的稳定输出信号, 低段位锁存器锁存快速变换的时钟信号, 不同节点处寄生电容值不同, 传输延迟失配极易造成段间进位误码。优化后数据锁存电路如图 9(b) 所示, 低段位 TDC 锁存经传输门输出的信号, 实现中高段位和低段位间的时钟延迟匹配并在 MUX2 和锁存器之间插入传输延迟略大于传输门延迟的缓冲器 BUF1, 待 D1_CLK 信号稳定后再采样, 通过延迟采样的方式降低误码率。

中段位 TDC 采用异步计数器结构, 在面阵应用中, 中高段位 TDC 每个像素单元独有, 降低单像素功耗对于降低电路整体有显著意义, 每级异步计数器可将输入时钟频率降低 1/2, 但是每级异步结构会引入延迟误差, 级数越多, 引入的延迟误差越大, 会造成更大的段间失配, 因此中段位 TDC 选用单级异步计数器。

高频时钟经中段位分频后, 作为高段位的时钟信号, STOP 信号到来后, 锁存器记录分频器的输出值, 但是由于分频器的输出相对于输入信号存在一定延迟, 如果 STOP 信号在图 11 的区域 A 或者区域 B 到

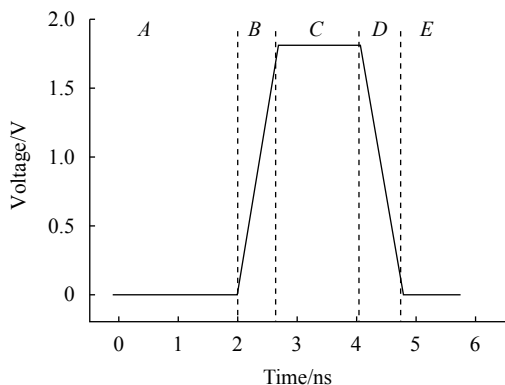


图 10 段间误码示意图

Fig.10 Schematic diagram of inter-segment errors

表 1 时间数字转换电路计数值

Tab.1 Count value of time-to-digital converter circuit

STOP signal effective area	A	B	C	D	E
Middle and high TDC count value	n	$n+1$	$n+1$	$n+1$	$n+1$
D1_CLK latch level	0	0	1	1	0
Latched correctly ?	No	Yes	No	Yes	No

来会导致段间误码。

通过改进电路逻辑,中段位 TDC 的锁存电路如图 12 所示。MODE=1 时,TDC 处于计时模式;MODE=0 时,TDC 处于读出模式。STOP 信号到来后,中段位 TDC 停止工作,但是其输出不会马上进入锁存器,START 信号下降沿锁存中段位转换码值,此时中段

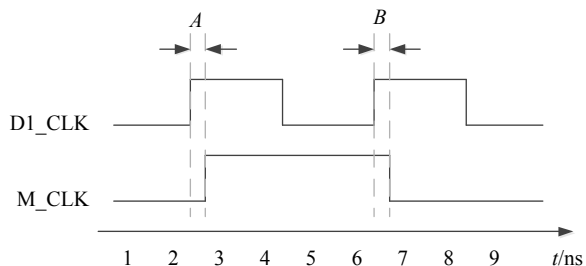


图 11 异步计数器延迟误差

Fig.11 Delay error of asynchronous counter

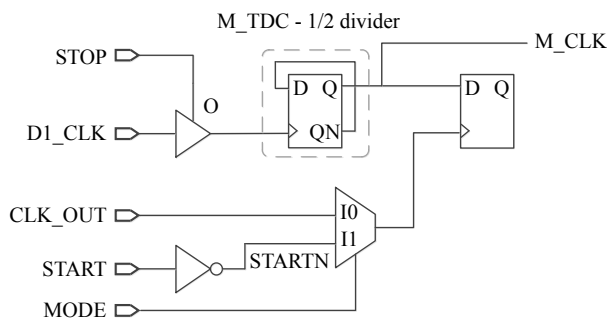


图 12 中段位信号延迟采样

Fig.12 Delayed sampling of M_TDC signal

位信号已经稳定,不会造成锁存误码。

如图 13 所示,高段位 TDC 为 9 Bbits 线性反馈异或门反馈型移位寄存器,根据公式 (3) 的码值变化关系,可实现 (2^n-1) 个状态的循环。移位寄存器为同步结构,各级之间具有良好的时间一致性,其驱动时钟为中段位分频后的时钟信号,在低速条件下,移位寄存器能够稳定工作。

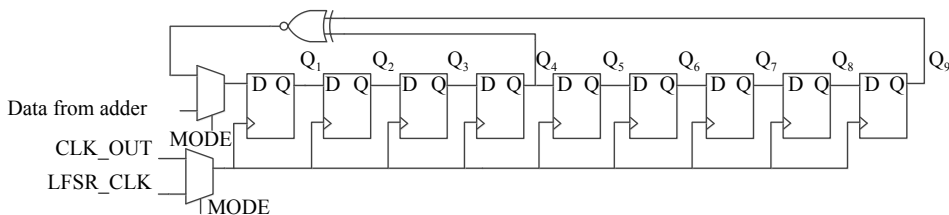


图 13 高段位-线性反馈移位寄存器

Fig.13 High segment - linear feedback shift register

$$Q_1 = \overline{Q_4 + Q_9}, Q_2 = Q_1, Q_3 = Q_2, Q_4 = Q_3$$

$$Q_5 = Q_4, Q_6 = Q_5, Q_7 = Q_6, Q_8 = Q_7, Q_9 = Q_8 \quad (3)$$

与中低段位相比,高段位 TDC 不需增加额外的锁存器,当 STOP 信号到来后其停止工作,数据稳定存储在各级节点且因为其自身为移位结构,在读出模式下可与中低段位数据锁存器重新配置为移位寄存

器,通过总线将数据输出,可实现计时、数据存储一体化,有效降低电路的硬件开销,优化版图面积。

3 测试与结果分析

该电路采用 0.18 μm 标准 CMOS 工艺流片,包括时序控制模块、输出模块、键压 PAD, 64 \times 64 面阵型

TDC 总面积为 $9.1\text{ mm} \times 9.1\text{ mm}$, 电路键压金线后的显微镜照片如图 14 所示。

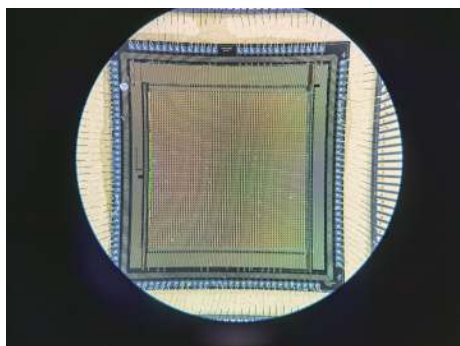


图 14 面阵型 TDC 显微镜照片

Fig.14 Microscope photo of array type TDC

3.1 TDC 时间分辨率测试

TDC 测试系统框图如图 15 所示, 为验证 TDC 的全段位转换性能, STOP 信号以 0.1 ns 间隔步进, 从 $0\sim 4087.5\text{ ns}$ 测试 40875 个数据点, 验证 TDC 的转换性能, 全量程范围内转换曲线如图 16(a) 所示。

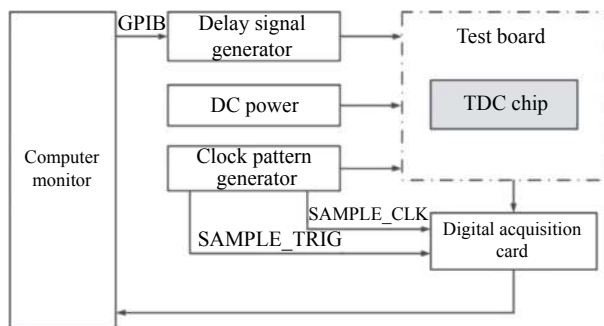


图 15 TDC 测试系统框图

Fig.15 Block diagram of TDC test system

对测试结果进一步分析, 将 1112 ns 处的转换特性放大, 其转换特性如图 16(b) 所示, 该曲线反映了 $1112\sim 1116\text{ ns}$ 的时间转换特性, 将整个量程范围内的转换特性切换成与参考时钟周期相同的时间片, 由表 2 的统计结果可知, 各个周期内的转换步长规律大部分与图 16(b) 所示曲线符合, 即呈现固定的规律性分布。

对全量程转换步长进行统计, 统计结果如图 17 所示, 计算平均值后, 其等效时间分辨率为 $0.5T$, TDC 存在固定误差, 该误差不会导致 TDC 的功能出现异常, 但是会造成 DNL、INL 性能下降。

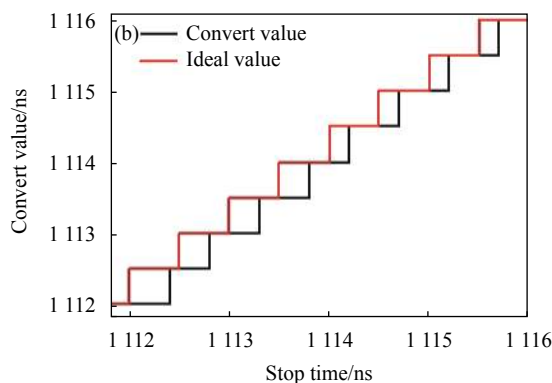
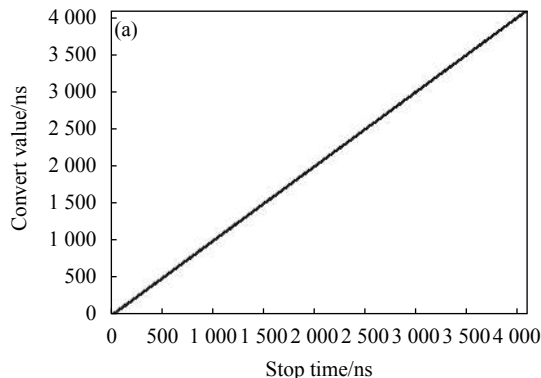


图 16 时间数字转换曲线。(a) 全量程转换曲线; (b) 1112 ns 局部转换曲线

Fig.16 Time-to-digital conversion curve. (a) Full-scale conversion curve; (b) 1112 ns partial amplification conversion curve

表 2 时间数字转换电路转换步长统计规律

Tab.2 Conversion step size statistics of time-to-digital converter circuit

Ideal conversion step	Actual conversion step
0-0.5T	0.7T
0.5-1.0T	0.4T
1.0-1.5T	0.5T
1.5-2.0T	0.5T
2.0-2.5T	0.4T/0.3T
2.5-3.0T	0.5T
3.0-3.5T	0.5T
3.5-4.0T	0.5T/0.6T

若分相时钟具有理想的相位差, DLL 参考时钟经过压控延迟链后能够输出等间隔为 0.5 ns 的时钟信号, 但是因为各级延迟单元之间可能存在工艺偏差、分相时钟进入 TDC 的各路径, 负载电容存在偏差,

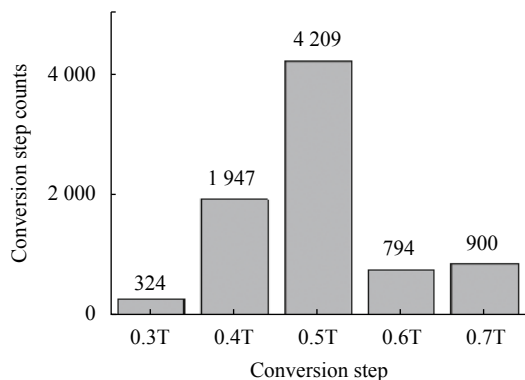


图 17 TDC 转换步长统计分布

Fig.17 Statistical distribution of TDC conversion steps

TDC 接收到的各分向时钟之间的相位差不是理想的 $\pi/4$ 。

DLL 的分相时钟输出信号为差分信号,需要转换为单端信号后进入 TDC, DLL 的差分转单端电路,转换后的信号占空比低于 50%,且低段位 TDC 的 4 路信号, D1_CLK 信号作为后级计数器的时钟需要驱动后级电路,其负载电容稍大于 D2_CLK、D3_CLK、D4_CLK 处的负载电容,故 D1_CLK 信号的延迟时间可能稍大于其 3 路时钟。

3.2 TDC 非线性性能测试

对 TDC 的非线性性能进行测试,结果如图 18 和图 19 所示,可得 $-0.4 \text{ LSB} \leq \text{DNL} \leq 0.4 \text{ LSB}$, $-0.4 \text{ LSB} \leq \text{INL} \leq 0.6 \text{ LSB}$, $\text{DNL} < 1 \text{ LSB}$, 表明 TDC 传输特性保持单调性,数据转换误码概率较低。

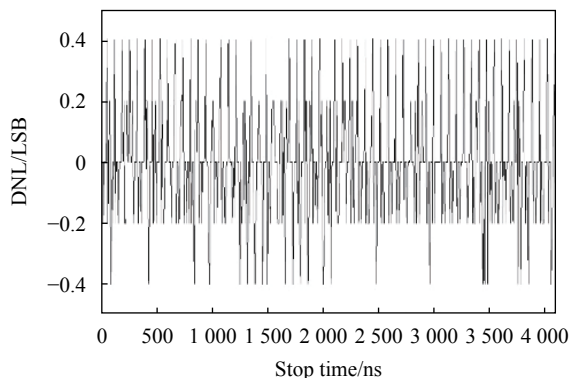


图 18 微分非线性测试结果

Fig.18 Differential non-linearity test results

引起 DNL 和 INL 的原因包括以下几点:(1) 时钟抖动,四相位时钟由 DLL 提供, DLL 的分相时钟存在时钟抖动;(2) DLL 的分相时钟为差分信号,各路信号

需转换为单端信号后经过缓冲器再进入 TDC,该电路的差分转单端电路没有实现 50% 占空比校正且缓冲器的上升、下降时间不一致,如图 20 所示,会进一步导致占空比偏离 50%,进入 TDC 的不是占空比 50% 的理想分相时钟。

根据表 3,在类似工艺条件下,所设计的面阵型 TDC 能够实现亚纳秒时间分辨率且具备较高的计时

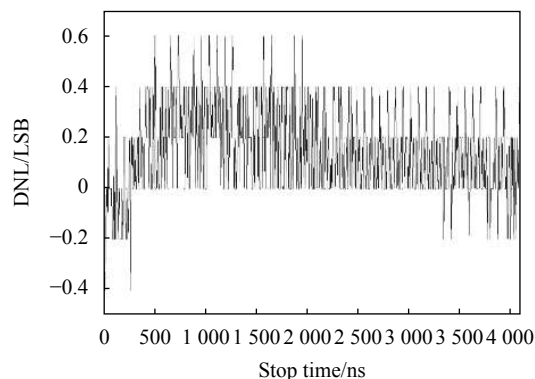


图 19 积分非线性测试结果

Fig.19 Integral non-linearity test result

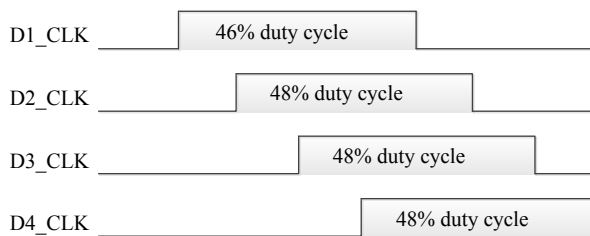


图 20 非理想占空比分相时钟

Fig.20 Non-ideal duty cycle split-phase clock

表 3 时间数字电路指标总结

Tab.3 Summary of time-to-digital circuit index

Parameter	Ref. [2]	Ref. [12]	Ref. [13]	This work
CMOS technology/nm	350	130	350	180
Supply voltage/V	3.3	1.2	3.3	1.8
Pixel pitch/ μm	150	50	100	100
Pixel array	32×32	32×32	16×16	64×64
TDC frame rate/kHz	100	500	20	20
TDC resolution/ns	0.312	0.119	0.575	0.5
DNL/LSB	0.06	0.4	-0.57-0.58	-0.4-0.4
INL/LSB	0.22	1.2	-0.9-0.57	-0.4-0.6
TDC range/ μs	0.32	0.1	2	4.08
Power consumption/mW	315	90/Core only	151.8	380.5

量程,在 64×64 面阵规模下功耗没有显著上升,后续可通过优化分相时钟性能增加参考时钟频率、优化像素电路,进一步提升电路性能。

4 结 论

设计了一款应用于 $100 \mu\text{m}$ 中心距、 64×64 规模盖革雪崩焦平面阵列的时间数字转换电路,13 bit 三段式 TDC 采用局部共享方案,低段位全局共享,中高段位像素独享,250 MHz 参考时钟下可实现 0.5 ns 时间分辨率,典型工作频率下,DNL $-0.4 \sim 0.4$ LSB,INL $-0.4 \sim 0.6$ LSB,延迟采样电路能够有效降低锁存误码概率,提升 TDC 的非线性性能。测试结果与仿真结果吻合,达到预期目标。可以进一步推广用于中等规模单光子探测用盖革雪崩焦平面的读出电路,实现高精度和低误码计时。

参考文献:

- [1] Niclass C, Soga M, Matsubara H, et al. A 100-m range 10-frame/s 340×96 -pixel time-of-flight depth sensor in $0.18 \mu\text{m}$ CMOS [J]. *IEEE Journal of Solid State Circuits*, 2013, 48(2): 559-572.
- [2] Villa F, Lussana R, Bronzi D, et al. CMOS imager with 1024 SPADs and TDCs for single-photon timing and 3-D time-of-flight [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(6): 364-372.
- [3] Rocca F M D, Mai H, Hutchings S W, et al. A 128×128 SPAD motion-triggered time-of-flight image sensor with in-pixel histogram and column-parallel vision processor [J]. *IEEE Journal of Solid State Circuits*, 2020, 55(7): 1762-1775.
- [4] Aull B F, Duerr E K, Frechette J P, et al. Large-format Geiger-mode avalanche photodiode arrays and readout circuits [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2018, 24(2): 1-10.
- [5] Jiang X, Itzler M, Donnell K O, et al. InP-based single-photon detectors and Geiger-mode APD arrays for quantum communications applications [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2015, 21(3): 5-16.
- [6] Aull B F, Reich R K, Ward C M, et al. Detection statistics in Geiger-mode avalanche photodiode quad-cell arrays with crosstalk and dead time [J]. *IEEE Sensors Journal*, 2015, 15(4): 2133-2143.
- [7] Wu Jin, Yu Xiangrong, Shi Shufang, et al. Infrared ranging technology by using single photon APD array readout integrated circuit [J]. *Infrared and Laser Engineering*, 2017, 46(6): 0604002. (in Chinese)
- [8] Deng S, Gordon D, Morrison A P. A Geiger-mode APD photon counting system with adjustable dead-time and interchangeable detector [J]. *IEEE Photonics Technology Letters*, 2016, 28(1): 99-102.
- [9] Chithra, Krishnapura N. A flexible 18-channel multi-hit time-to-digital converter for trigger-based data acquisition systems [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2020, 67(6): 1892-1901.
- [10] Maruyama Y, Blacksberg J, Charbon E. A 1024×8 , 700-ps time-gated SPAD line sensor for planetary surface exploration with laser Raman spectroscopy and LIBS [J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(1): 179-189.
- [11] Cheng K H, Lo Y L. A fast-lock wide-range delay-locked loop using frequency-range selector for multiphase clock generator [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2007, 54(7): 561-565.
- [12] Gersbach M, Maruyama Y, Trimananda R, et al. A time-resolved, low-noise single-photon image sensor fabricated in deep-submicron CMOS technology [J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(6): 1394-1407.
- [13] Zhu Zhipeng. Design of array readout circuit based on PLL-TDC [D]. Nanjing: Southeast University, 2019. (in Chinese)