

## 甚高灵敏度红外探测器读出电路研究进展

陈 斌<sup>1,2</sup>, 李立华<sup>1</sup>, 梁 艳<sup>1</sup>, 胡彦博<sup>1</sup>, 李 敏<sup>1</sup>, 姚立斌<sup>1</sup>, 赵长明<sup>2</sup>, 赵 鹏<sup>1</sup>, 李雯霞<sup>1</sup>

(1. 昆明物理研究所, 云南 昆明 650223; 2. 北京理工大学 光电学院, 北京 100081)

**摘要:** 在读出电路有限的像元面积内获得尽可能大的电荷存储量是实现甚高灵敏度红外探测器的关键。基于脉冲频率调制的像元级模数转换(ADC)是实现甚高灵敏度红外探测器读出电路的主要方法, 阐述了像元级脉冲频率调制 ADC 的原理, 介绍了美国麻省理工学院林肯实验室、法国 CEA-LETI 在像元级数字读出电路的研究进展。作为从立体空间拓展电路密度的新技术, 介绍了三维读出电路的研究进展。最后介绍了昆明物理研究所甚高灵敏度红外探测器读出电路的研究进展。利用像元级 ADC 技术和数字域时间延迟积分(TDI)技术, 昆明物理研究所研制的长波 512×8 数字化 TDI 红外探测器组件, 峰值灵敏度达到 1.5 mK。

**关键词:** 甚高灵敏度红外探测器; 像元级 ADC; 三维读出电路; 数字域 TDI

**中图分类号:** TN386.5 **文献标志码:** A **DOI:** 10.3788/IRLA202049.0103011

## Progress of very high sensitivity infrared detector readout circuit

Chen Xiao<sup>1,2</sup>, Li Lihua<sup>1</sup>, Liang Yan<sup>1</sup>, Hu Yanbo<sup>1</sup>, Li Ming<sup>1</sup>, Yao Libin<sup>1</sup>, Zhao Changming<sup>2</sup>, Zhao Peng<sup>1</sup>,  
Li Wenxia<sup>1</sup>

(1. Kunming Institute of Physics, Kunming 650223, China;

2. School of Optics and Photonics, Beijing Institute of Technology, Beijing 100081, China)

**Abstract:** The key to realize very high sensitivity infrared detector is to obtain as much charge storage capacity as possible in the limited pixel area of readout circuit. The pixel-level ADC based on pulse frequency modulation is the main method to realize the readout circuit of very sensitive infrared detector. The principle of pixel-level pulse frequency modulation ADC was described. The progress of pixel-level digital readout circuit in MIT Lincoln Laboratory of the USA and CEA-LETI of France were introduced. As a new technology of expanding circuit density from three-dimensional space, the progress of 3D readout circuit was introduced. Finally, the development of readout circuit for very high sensitivity infrared detector in Kunming Institute of Physics was introduced. Using pixel-level ADC technology and digital domain TDI technology, the long-wave 512×8 digital TDI infrared detector assembly was developed by Kunming Institute of Physics with the peak sensitivity of 1.5 mK.

**Key words:** very high sensitivity infrared detector; pixel-level ADC; 3D ROIC; digital TDI

收稿日期: 2019-11-25; 修订日期: 2019-12-30

基金项目: 国防重点预研基金

作者简介: 陈斌(1984-), 男, 高级工程师, 博士, 主要从事红外读出电路方面的研究。Email: chenxiao152@126.com

导师简介: 姚立斌(1968-), 男, 研究员, 博士生导师, 博士, 主要从事混合信号集成电路设计方面的研究。Email: libin.yao@ieee.org

赵长明(1960-), 男, 教授, 博士生导师, 博士, 主要从事新型激光器件与技术、光电子信息技术与系统方面的研究。

Email: zhaochangming@bit.edu.cn

## 0 引言

红外焦平面探测器曝光读取时,探测器的光生电荷注入到读出电路单元电路中的积分电容上。光生电荷通过在积分电容上累积,实现探测器输出的光生电荷到电压的转换。利用信号相关、噪声不相关特性,通过延长电荷的积分时间即可提高探测器的信噪比。探测器可实现的最大信噪比由读出电路的电荷存储量决定,探测器信噪比可表达为:

$$SNR_{\max} = \frac{\text{signal}_{\max}}{\text{noise}} = \sqrt{\sigma_{\text{well}}} \quad (1)$$

式中: $\sigma_{\text{well}}$ 为读出电路满阱的电荷存储量。提高读出电路的电荷存储量,延长电荷积分时间,探测器即可实现极高的灵敏度。

读出电路的单元电路与探测器芯片阵列中的像元一一对应,单元电路面积由探测器像元尺寸决定。单元电路组成元件置于二维的平面内,受到像元面积、工作电压和电路密度等因素影响,读出电路的电荷存储量有限。现有模拟读出电路在  $30 \mu\text{m} \times 30 \mu\text{m}$  的像元内,最大电荷存储量小于  $80\text{Me}^-$ 。这种条件下,长波红外探测器的积分时间小于  $1 \text{ms}$ ,无法实现较高的灵敏度。随着像元尺寸不断减小,读出电路电荷存储量受到的影响更加明显。

时间延迟积分技术利用特殊的曝光读取方式,可以在一定范围内提高探测器的信噪比,受到读出电路电荷存储量和工作特性的影响,模拟域 TDI 读出电路对探测器信噪比的增强效果有限。如何突破像元面积对于读出电路电荷存储量的限制,延长探测器积分时间,是实现甚高灵敏度红外探测器的关键。基于脉冲频率调制 (Pulse Frequency Modulation, PFM) 的像元级 ADC,将探测器光生电荷在模拟域的累积转换为量化数字值的累加,巧妙地解决了像元面积对读出电路电荷存储量的限制,是目前实现甚高灵敏度红外探测器读出电路的主要方法。作为近年来集成电路发展的热点,基于芯片堆叠的三维读出电路技术通过在立体空间拓展单元电路的密度,摆脱了二维的像元面积对读出电路的限制。在像元尺寸不断缩小的趋势下,是研究甚高灵敏度探测器读出电路及具备片上图像处理功能的“智能化”读出电路的新选择。

## 1 像元级 ADC 原理

像元级 ADC 是在读出电路的单元电路内完成探测器信号的模数转换,通过单元电路输出的数字化探测器信号。光生电荷积分的同时即完成探测器信号的模数转换,每个单元电路中的 ADC 并行工作。基于此,使得焦平面探测器“最前端”的信号处理成为可能,像元级 ADC 有着功能拓展性强、电路集成度要求高的特点。像元级 ADC 按工作原理可分为脉冲宽度调制(Pulse Width Modulation, PWM)和脉冲频率调制。

像元级脉冲频率调制 ADC 原理如图 1 所示。探测器光电流  $I_{\text{ph}}$  对存储电容  $C_{\text{int}}$  放电。当存储电容上的电压  $V$  经放电变化至与  $V_{\text{com}}$  相同时,比较器的输出发生翻转。比较器输出的翻转脉冲驱动计数器计数,同时控制存储电容复位。存储电容复位后继续经探测器放电,开始下一个放电计数周期,周而复始。计数器上的数字值不断累加,直到积分结束。若将一个放电复位周期内存储电容上累积的电荷量视为一个“电荷包”,每当存储电容完成一个电荷包电量的累积,计数器计数值对应增加,因而脉冲频率调制 ADC 也称为电荷包计数 ADC。通过模数转换,探测器光生电荷在模拟域的累积转换为量化数字值的累加。数字累加后,读出电路存储的光生电荷量为:

$$Q = N \cdot Q_{\text{LSB}} = 2^n \cdot Q_{\text{LSB}} \quad (2)$$

式中: $N$ 为计数器上累加的量化数字值; $Q_{\text{LSB}}$ 为电荷包的存储电量。在存储电容等电学参数确定的情况下,通过增加计数器位数  $n$  即可增加读出电路电荷存储量,从而突破像元面积对于读出电路电荷存储量的限制,大幅提高读出电路电荷存储量,实现更长的探测器积分时间。

脉冲频率调制 ADC 完成了光电流-脉冲频率的转换,探测器的光电流表达为:

$$I_{\text{ph}} = \frac{N \cdot C_{\text{int}} (VR - V_{\text{com}})}{T_{\text{int}}} = f \cdot Q_{\text{LSB}} \quad (3)$$

式中: $C_{\text{int}}$ 为存储电容; $VR$ 为存储电容复位电平; $V_{\text{com}}$ 为比较器参考电平; $T_{\text{int}}$ 为积分时间; $f$ 为电流-脉冲转换频率。脉冲频率调制 ADC 对光电流的量化精度

由  $Q_{LSB}$  决定。

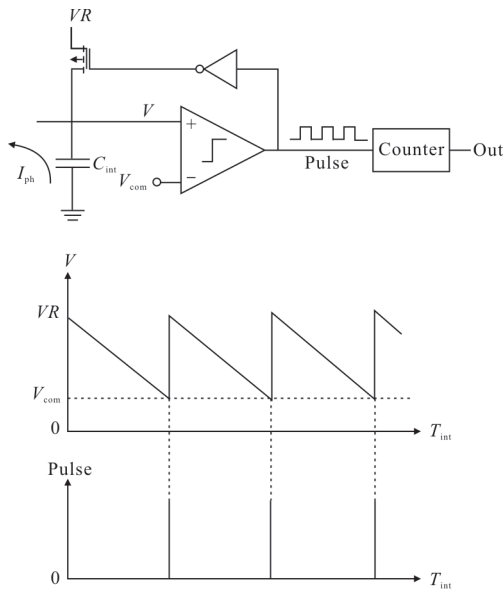


图 1 脉冲频率调制 ADC 原理  
Fig.1 Principle of PFM ADC

由于比较放大器开环增益、响应速率和电路分布电容等因素的影响,存储电容放电至阈值到比较器输出翻转存在迟滞,使得光电流-脉冲频率转换存在偏差,甚至发生错误。假设存储电容放电至阈值到放大器输出翻转,存在延迟  $\Delta t$ ,如图 2 所示。这种情况下,探测器光电流表达式为:

$$I_{ph} = \frac{Q_{LSB}}{f^{-1} - \Delta t} \quad (f < \frac{1}{\Delta t}) \quad (4)$$

可知,  $Q_{LSB}$  与  $\Delta t$  影响脉冲频率调制 ADC 对光电流的分辨力。  $Q_{LSB}$ 、 $\Delta t$  与  $Q_{LSB}$  的比值愈小,脉冲频率调制 ADC 对探测器光电流的分辨力愈强。

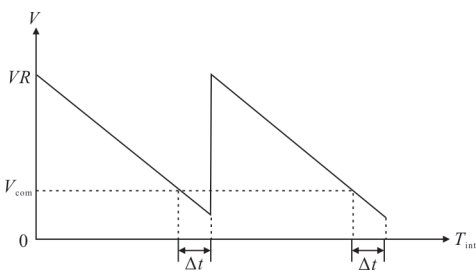


图 2 脉冲频率调制 ADC 的延迟  
Fig.2 Delay of pulse frequency modulation ADC

脉冲频率调制 ADC 对不同水平探测器光电流的量化值之比为:

$$\frac{f_1}{f_2} = \frac{i_{ph1}}{i_{ph2}} \cdot \frac{1+i_{ph2} \cdot \frac{\Delta t}{Q_{LSB}}}{1+i_{ph1} \cdot \frac{\Delta t}{Q_{LSB}}} \quad (5)$$

延迟  $\Delta t$  同时影响脉冲频率调制 ADC 的响应线性度。对不同探测器光电流的量化偏差主要由  $\Delta t$  与  $Q_{LSB}$  的比值决定。为保证响应线性度,要求:

$$\frac{\Delta t}{Q_{LSB}} \ll 1 \quad (6)$$

脉冲频率调制 ADC 的量化噪声可表示为<sup>[1]</sup>:

$$Q_{n(ADC)} = \sqrt{\frac{Q_{LSB}}{12}} \quad (7)$$

计数器位数  $n$ 、电荷包电量  $Q_{LSB}$  和电流-脉冲频率转换偏差决定了电荷包计数 ADC 的性能。如何在愈来愈小的像元面积内实现尽可能多的计数器位数、获得更优的电流量化精度、更好地平衡读出电路功耗和电流-脉冲频率转换误差、像元级的片上信号处理是当前像元级数字读出电路研究的重点。

## 2 像元级 ADC 读出电路发展现状

美国麻省理工学院 (MIT) 林肯实验室、法国 CEA-LETI 是较早开展像元级数字读出电路研究的机构,代表了当前像元级数字读出电路研究的先进水平。

### 2.1 MIT 林肯实验室

MIT 林肯实验室于 2006 年推出了其第一款像元级数字读出电路<sup>[2]</sup>。见于报道的读出电路阵列规格包括  $256 \times 256$ 、 $640 \times 480$ ,可匹配波长范围为  $1.6 \sim 14.5 \mu\text{m}$  的红外探测器。其中,  $256 \times 256$  像元级数字读出电路像元尺寸为  $30 \mu\text{m}$ ,采用 IBM 90 nm 工艺。  $640 \times 480$  像元级数字读出电路像元尺寸为  $20 \mu\text{m}$ ,采用 IBM 65 nm 低功耗集成电路工艺<sup>[3]</sup>。单元电路基于脉冲频率调制 ADC 设计,电路功能可配置调整,电路原理如图 3 所示。

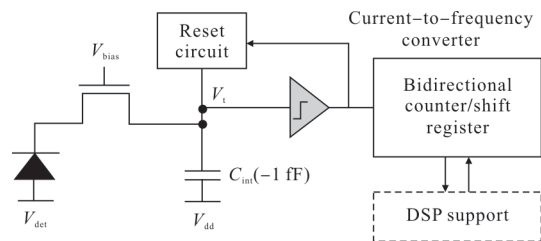


图 3 林肯实验室像元级数字读出电路电路图  
Fig.3 Diagram of pixel-level digital readout circuit in Lincoln Lab

通过采用高密度的集成电路工艺, 林肯实验室的像元级数字读出电路具备了极高的电路密度和拓展性, 可在 12  $\mu\text{m}$  中心距的像元内集成约 2 000 个 MOS 晶体管。低至 1 fF 的存储电容, 可实现最小约 3 000 $e^-$  的电荷包存储量。电流-频率转换增益可根据探测器波长和噪声要求调整(3 000~6 000 $e^-$ ), 具备较高的光电流分辨力, 可匹配短波、中波和长波红外探测器。读出电路低功耗工作的同时, 获得了良好的响应线性度。

林肯实验室像元级数字读出电路集成了 2 $\times$ 2 binning、背景抑制、非均匀性校正、TDI 等片上图像处理功能。脉冲频率调制 ADC 中的计数器/寄存器可预置为任何值, 计数器可配置为递增工作或递减工作。将计数器配置为递减, 采集背景图像, 即采集“负”的背景信息。对目标场景曝光读取时, 将计数器配置为递增, 这样在图像曝光读取过程中就可以将背景从图像中减去, 有效地增加动态范围, 抑制背景噪声以提高探测器灵敏度。一维向的 TDI 功能可以优化探测器的离散性并大幅提高探测器的灵敏度。图 4 为使用 256 $\times$ 256 像元级数字读出电路的长波红外探测器在 256 级 TDI 模式下的夜间成像图, 帧频为 0.25 Hz。图像目标为美国大波士顿地区, 左下角为麻省理工学院校园, 右上角为波士顿市区。

林肯实验室已计划采用更先进的高密度集成电路工艺( $\leq 32\text{ nm}$ )研发覆盖可见光到甚长波红外的 1 280 $\times$ 720、4 028 $\times$ 4 028 大面阵像元级数字读出电路, 像元尺寸小于 12  $\mu\text{m}$ 。预计电荷包存储量小于 100  $e^-$ , 输出位数大于 28 bit。

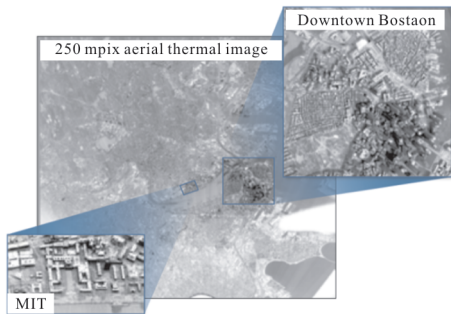


图 4 采用 TDI 模式的 256 $\times$ 256 像元级数字焦平面阵列对大波士顿地区的长波红外成像图

Fig.4 LWIR image of the greater Boston area using a 256 $\times$ 256 digital-pixel focal plane array operating using TDI mode

## 2.2 法国 CEA-LETI

CEA-LETI 于 2012 年报道了通过“两步式”ADC 实现的长波像元级数字读出电路<sup>[4]</sup>, 阵列规格为 320 $\times$ 256, 像元尺寸为 30  $\mu\text{m}$ 。“两步式”ADC 原理如图 5 所示。单元电路内通过脉冲频率调制 ADC 实现 11 bit 的模数转换。积分结束后, 存储电容中残余的生光电荷再由位于列级电路的并行 ADC 实现 5 bit 的模数转换, 总计实现 16 bit 的模数转换。每个单元电路的功耗为 0.5  $\mu\text{W}$ 。探测器测试统计结果显示, 该读出电路在 19 ms 的积分时间下, 长波探测器峰值信噪比为 88 dB。

作为像元级脉冲频率调制 ADC 的变形和拓展, “两步式”ADC 将像元级的模数转换分成了两个阶段。单元电路内通过脉冲频率调制 ADC 完成低精度的模数转换, 减小了计数器位数  $n$  对于单元电路面积的压力。通过降低比较放大器翻转频率即可优化读出电路功耗。列级电路中的并行 ADC 对存储电容中未泄放的残余电荷实现高精度的模数转换, 可在较小的像元面积内实现更高的光电流分辨精度和响应线性度。

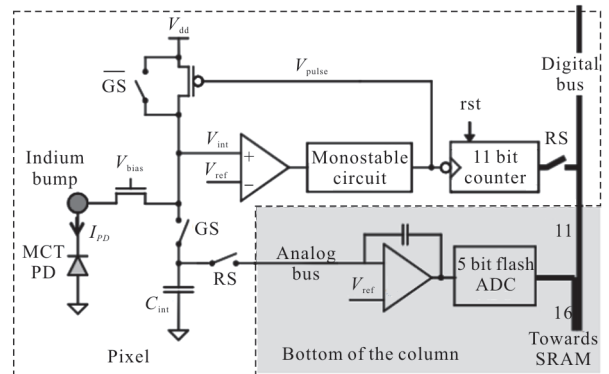


图 5 两步式 16 位 ADC 原理

Fig.5 Principle of 2-step 16 bit ADC

## 3 三维读出电路发展现状

三维读出电路是在立体方向将不同功能的信号处理电路叠加起来, 不采用高密度的集成电路工艺即可拓展单元电路的密度和功能。探测器的光生信号在垂直方向传递和处理, 单元电路不再受二维像元面积的限制。

美国 RTI 和 DRS 公司于 2014 年报道了规格为 256 $\times$ 256 的三维读出电路<sup>[5]</sup>。该读出电路由一层模拟

电路和一层数字电路叠加而成,不同层次的电路通过硅片通孔技术(TSV)实现连接。模拟电路与数字电路根据要求不同,采用了不同的工艺和设计规则。经测试,该技术制造的单元电路阵列有效率达到 99.9%,最小可实现尺寸为 5 μm 的单元电路<sup>[6]</sup>。

日本广播协会科学与技术研究实验室和东京大学于 2015 年报道了三维集成的 CMOS 图像传感器<sup>[6]</sup>。阵列规格为 8×8,单元电路尺寸为 80 μm×80 μm。基于脉冲频率调制的像元级 ADC 由三层以上的电路叠加而成,如图 6 所示。第一层包括图像传感器单元和复位电路,第二层由级联的反相器构成,计数器及后续电路由其他层次构成。三维集成的脉冲频率调制 ADC 将图像传感器的动态范围由传统 CMOS 图像传感器的 60 dB 增加到了 80 dB。

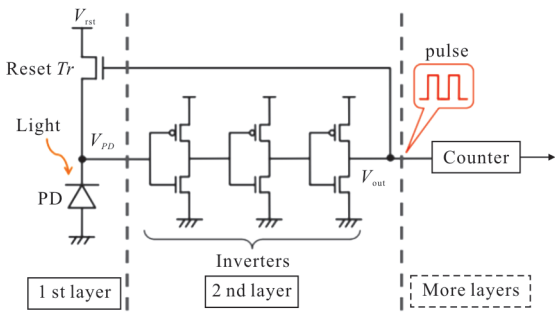


图 6 PFM 像元 ADC 电路图

Fig.6 Circuit diagram of pixel-level ADC based on PFM

三维读出电路技术仍处于研究初期,尚无实用化的产品见于报道。作为拓展单元电路密度的新方法,单元电路中的信号处理电路可以放置于不同的模拟电路和数字电路层次中,理论上可以实现无限层次信号处理电路的叠加。模拟电路、数字电路可根据需要,分别采用最优的设计规则和工艺实现。通过三维读出电路技术,模数转换、非均匀性校正、背景抑制等“智能化”图像处理功能将更容易地集成到单元电路中。

#### 4 昆明物理研究所甚高灵敏度探测器读出电路研究进展

昆明物理研究所自 2014 年开始研发像元级数字读出电路。2016 年设计完成长波 320×256 像元级数字读出电路。2018 年设计完成长波 512×8 数字

TDI 读出电路。

时间延迟积分是通过不同的探测器像元对同一物点曝光读取,将曝光读取结果累加实现的探测器信噪比增强技术。模拟域 TDI 读出电路一般通过放大器实现像元信号的转移和累加。由于放大器的增益有限,模拟域 TDI 信号的转移效率小于 1,即转移累加过程中存在信号损失的情况。假设每个像元的信号电压为  $V_{sig}$ ,探测器噪声电压为  $V_n$ ,模拟域 TDI 电路中的信号转移效率为  $\alpha(0 < \alpha < 1)$ ,每个像元经过了 3 次空间过采样。不考虑电荷转移过程引入的电路噪声,经过  $N$  级模拟 TDI,探测器信噪比  $SNR_{N(ATDI)}$  为:

$$SNR_{N(ATDI)} = \frac{(1 + \alpha^3 + \alpha^6 + \dots + \alpha^{3(N-1)})V_{sig}}{\sqrt{(1 + \alpha^3 + \alpha^6 + \dots + \alpha^{3(N-1)})V_n^2}} = \sqrt{(1 + \alpha^3 + \alpha^6 + \dots + \alpha^{3(N-1)})} SNR_0 \quad (8)$$

式中:  $SNR_0 = \frac{V_{sig}}{V_n}$ ;  $N$  为 TDI 级数。

数字域 TDI 电路原理如图 7 所示。探测器信号在读出电路内转换为数字值,通过寄存器和加法器实现像元信号的转移和累加。经过  $N$  级数字 TDI,不考虑 ADC 量化噪声的情况下,探测器信噪比  $SNR_{N(DTDI)}$  为:

$$SNR_{N(DTDI)} = \sqrt{N} SNR_0 \quad (9)$$

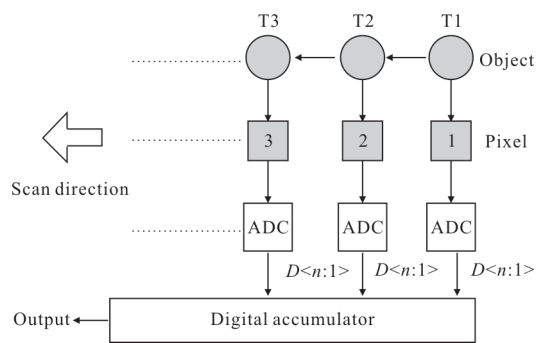


图 7 数字 TDI 原理

Fig.7 Principle of digital TDI

图 8 为模拟域 TDI 和数字域 TDI 在不同的 TDI 级数下对探测器信噪比增强效果的对比。随着 TDI 级数  $N$  增加,由于信号转移效率的影响,模拟域 TDI 对探测器信噪比的增强不再满足  $\sqrt{N}$  倍关系,信噪比增强效果受信号转移效率影响明显。数字 TDI 不

存在信号损失, TDI 级数对探测器信噪比的增强效果保持不变。

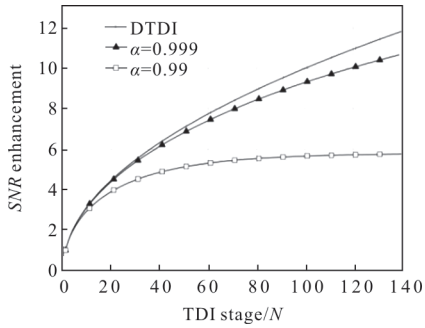


图 8 TDI 探测器信噪比特性

Fig.8 SNR behavior of TDI detectors

数字值累加不引入噪声, 因此数字域 TDI 噪声主要包括探测器噪声  $Q_n$ 、读出噪声  $Q_{n(read)}$  和 ADC

量化噪声  $Q_{n(ADC)}$ 。这种情况下,  $N$  级数字 TDI 后探测器信噪比为:

$$SNR_{N(DTDI)} = \sqrt{N} \cdot \frac{Q_{sig}}{\sqrt{Q_n^2 + Q_{n(read)}^2 + Q_{n(ADC)}^2}} \quad (10)$$

在优化读出噪声和 ADC 量化噪声的前提下, 通过增加 TDI 级数, 数字域 TDI 可使探测器实现极高的信噪比。

将脉冲频率调制 ADC 技术和数字域 TDI 技术结合起来, 脉冲频率调制 ADC 延长探测器积分时间, 再通过数字域 TDI 增强探测器信噪比, 可使红外探测器获得接近光子噪声限的灵敏度。

图 9 为昆明物理研究所研制的  $512 \times 8$  数字 TDI 读出电路结构图, 电路设计参数如表 1 所示。单元电路内通过脉冲频率调制 ADC 实现探测器信号的模

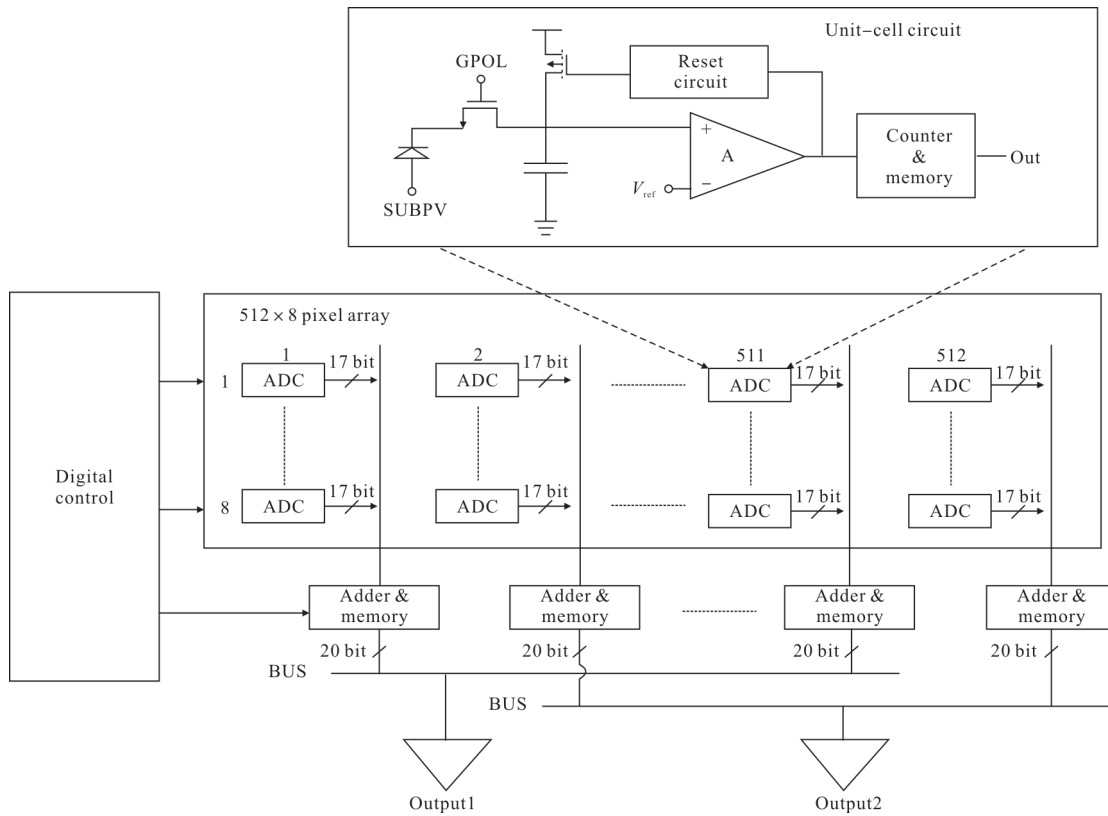


图 9  $512 \times 8$  数字 TDI 读出电路结构

Fig.9 Structure of  $512 \times 8$  digital TDI readout circuit

表 1  $512 \times 8$  数字读出电路参数

Tab.1 ROIC parameters of  $512 \times 8$

ROIC features	CMOS process/ $\mu\text{m}$	Power supply	Pixel pitch	Modes	Stage of TDI	Pixel oversampling
512x8	0.18	1.8 V/3.3 V	40 $\mu\text{m} \times 40 \mu\text{m}$	Pixel ADC digital TDI	8	3

数转换,每个像元进行 3 次空间过采样。像元输出的数字信号通过数字加法器实现 8 级 TDI 后输出数字信号。探测器阵列信号通过 2 路数字端口向外读出。读出电路采用 0.18  $\mu\text{m}$  CMOS 6 层金属工艺设计,像元尺寸为 40  $\mu\text{m}\times 40 \mu\text{m}$ ,与波长范围为 8~10  $\mu\text{m}$  的红外探测器耦合后的测试统计结果如图 10 所示。30 ms 积分时间下,探测器峰值信噪比为 84 dB,峰值灵敏度为 1.5 mK,动态范围大于 90 dB。

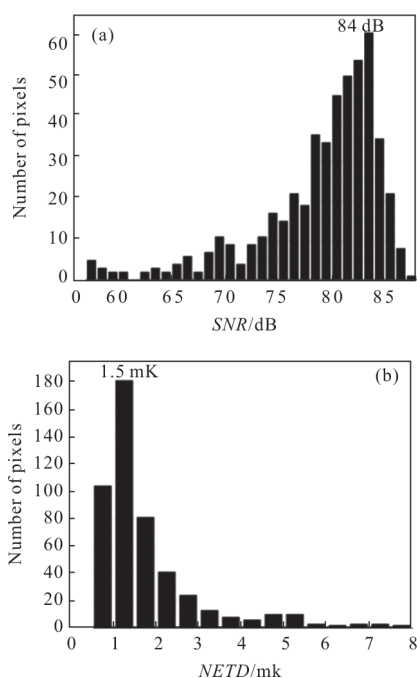


图 10 TDI 模式下探测器信噪比和 NETD 直方图  
Fig.10 SNR and NETD histogram in TDI mode

## 5 结 论

基于脉冲频率调制的像元级 ADC 突破了像元面积对读出电路电荷存储量的限制,延长了探测器积分时间,大幅提高了探测器的灵敏度和动态范围,是目前实现甚高灵敏度红外探测器读出电路的主要方法。得益于像元级的模数转换,更多的片上信号处理功能可以集成到焦平面探测器的最前端,使得“智能化”的甚高灵敏度探测器读出电路成为现实。集成电路制造工艺的发展,为像元级数字读出电路的研究提供了新的助力,三维读出电路堆叠技术为实现

小像元的高性能读出电路提供了新的选择。基于像元级 ADC 的数字 TDI 读出电路结合了像元级 ADC 技术和数字 TDI 技术的优势,进一步提高了红外探测器的灵敏度,使红外探测系统的灵敏度接近了光子噪声限,可满足空间红外遥感等红外探测系统对甚高灵敏度红外探测器的应用需求。

## 参 考 文 献 :

- [1] Oppenheim A V, Schafer R W. Digital Signal Processing[M]. New Jersey: Prentice Hall, 1975.
- [2] Brown M G, Baker J, Colonero C, et al. Digital-pixel focal plane array development. SPIE [C]//Proc of SPIE Solid-State Circuits Conference, 2010, 608: 7608-76082H.
- [3] Schultz Kenneth I, Kelly Michael W, Baker Justin J, et al. Digital-pixel focal plane array technology [J]. *Lincoln Laboratory Journal*, 2014, 20: 36-51.
- [4] Peizerat A, Rostaing Jean P, Zitouni N, et al. An 88 dB SNR, 30  $\mu\text{m}$  pixel pitch infrared image sensor with a 2-step 16 bit A/D conversion [C]//IEEE Symposium on VLSI Circuits Digest of Technical Papers, 2012: DOI: 10.1109/VLSIC.2012.6243823.
- [5] Dorota S Temple, Erik P Vick, Matthew R Lueck, et al. Enabling more capability within smaller pixels: advanced wafer-level process technologies for integration of focal plane arrays with readout electronics. [C]//Proc of SPIE in Image Sensing Technologies: Materials, Devices, Systems, and Applications, 2014: DOI: 10.1117/12.2054106.
- [6] Temple D S, Vick E P, Malta D, et al. Advances in three-dimensional integration technologies in support of infrared focal plane arrays [C]//Proc of SPIE in Quantum Sensing and Nanophotonic Devices XII, 2015, 9370: 93701L.
- [7] Masahide Goto, Kei Hagiwara, Yoshinori Iguchi, et al. Pixel-parallel 3-D integrated CMOS image sensors with pulse frequency modulation A/D converters developed by direct bonding of SOI layers [J]. *IEEE Transaction on Electron Devices*, 2015, 62: 3530-3535.