

高性能低噪声数字读出电路

姚立斌, 陈楠

(昆明物理研究所, 云南 昆明 650223)

摘要: 红外焦平面的数字读出是信息化发展的必然方向, 其关键技术是数字读出电路。介绍了数字读出电路的发展现状和主要架构, 重点分析了时间噪声和空间噪声的来源和影响, 并给出低噪声设计指导。同时对线性度、动态范围和帧频等主要性能进行了讨论, 设计了两款数字读出电路。采用列级 ADC 数字读出架构设计了 640×512 数字焦平面探测器读出电路, 读出噪声测试结果为 150 μV , 互连中波探测器测试 NETD 为 13 mK。基于数字像元读出架构设计了 384×288 数字焦平面探测器读出电路, 互连长波探测器测试 NETD 小于 4 mK, 动态范围超过 90 dB, 帧频达到 1 000 Hz。所设计的两款读出电路有效提升了红外焦平面的灵敏度、动态范围和帧频等性能, 表明数字读出电路技术对红外探测器性能的提升具有重要作用。

关键词: 红外焦平面; 数字读出电路; 列级 ADC; 数字像元; 低噪声

中图分类号: TN216 **文献标志码:** A **DOI:** 10.3788/IRLA202049.0103009

High-performance low noise digital readout circuit

Yao Libin, Chen Nan

(Kunming Institute of Physics, Kunming 650223, China)

Abstract: It's the trend of information technology development that infrared focal plane array (FPA) outputs digital signal directly, the critical technique is the digital readout integrated circuit (ROIC). The architecture of digital ROIC was introduced in this paper after the summary of related research status. The sources and influence of temporal noise and spatial noise were analyzed in detail, then the design guide for low noise was also shown. In addition, two digital ROICs were designed based on the discussion of linearity, dynamic range and frame rate. The first ROIC was implemented with column-level ADCs, which was used for 640×512 digital FPA. The measurement results show that the readout noise of ROIC is 150 μV , and the NETD with mid-wave infrared detectors is 13 mK. Digital pixel architecture is used for the second ROIC, which is connected to 384×288 long-wave infrared FPA. The measured NETD is less than 4 mK, and the dynamic range is larger than 90 dB. The max frame rate achieves 1 000 Hz. The two ROIC prototypes effectively improve the sensitivity, dynamic range and frame rate of infrared FPA, which confirms the advantages of digital ROIC technology to the performance development of infrared detectors.

Key words: infrared FPA; digital readout circuit; column-level ADC; digital pixel; low noise

收稿日期: 2019-11-01; 修订日期: 2019-11-13

作者简介: 姚立斌(1968-), 男, 研究员, 博士生导师, 博士, 主要从事混合信号集成电路设计方面的研究。Email: libin.yao@gmail.com

0 引言

红外成像系统是一种探测来自目标的红外辐射,通过光电转换以及信号处理等手段,将目标的温度分布转换成视频图像的装置。其基本构成有红外光学系统、红外探测器以及图像处理电路。高性能的红外成像系统在各行各业得到广泛的应用。

红外探测器是整个红外成像系统中进行光电转换的关键部件,其性能决定了整个红外成像系统的性能。读出电路作为联接探测器及后续图像处理电路的桥梁,其作用主要有两点:一是提供探测器各个像元稳定的偏置电压并进行探测器光电信号的处理,二是将探测器光电信号按照一定顺序读出并传输到成像处理电路。读出电路直接与探测器相联接,探测器的性能最终必须通过读出电路体现出来,因而,高性能的读出电路是保证红外探测器性能的关键。

高性能红外焦平面探测器对读出电路的要求有:高偏置稳定性、高注入效率、高电荷存储能力、低噪声、低功耗及较小的硅片面积^[1]。文中试图从数字读出电路的结构入手,分析读出电路各性能参数对探测器以及成像系统性能的影响,并给出数字读出电路的性能优势。

1 数字读出电路技术及国内外发展现状

传统的模拟探测器及成像系统框图如图 1 所示,探测器输出的信号是模拟信号,在成像电路中再进行量化及图像处理。由于从探测器到成像处理电路之间的信号传输是模拟信号传输,需要考虑接口电平的匹配,必须采用信号预处理及模拟-数字转换器(ADC)驱动电路。此外,模拟信号的传输速度受到限制,传输带宽一般不大于 20 MHz,并且在系统应用中容易受到电磁干扰。

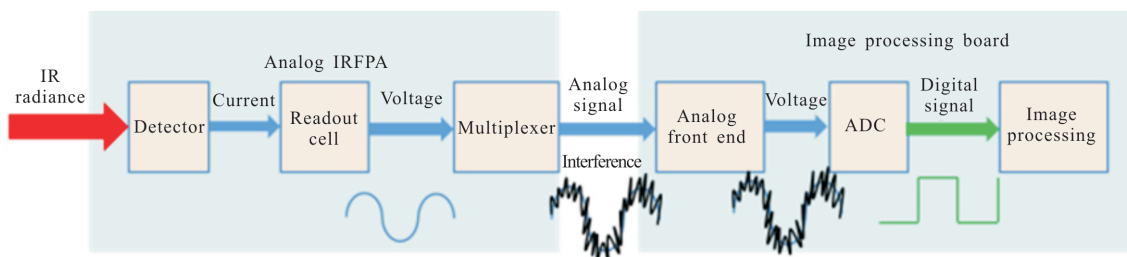


图 1 模拟红外焦平面探测器及成像系统框图
Fig.1 Analog IRFPA and imaging system diagram

一直以来,在读出电路片内将光电信号数字化是探测器读出电路的发展方向。与模拟读出电路相比,数字化读出电路具有多项优势,如降低外界对模拟信号传输的干扰,提高数据传输速率,降低红外热成像系统复杂度及成本等。随着 CMOS 技术的发

展,在读出电路片内、乃至像元内集成 ADC 成为可能,在读出电路内部实现了光电信号的数字化,直接输出数字信号。采用数字读出电路的焦平面探测器即为数字焦平面探测器,图 2 为数字焦平面探测器及数字成像电路示意图。

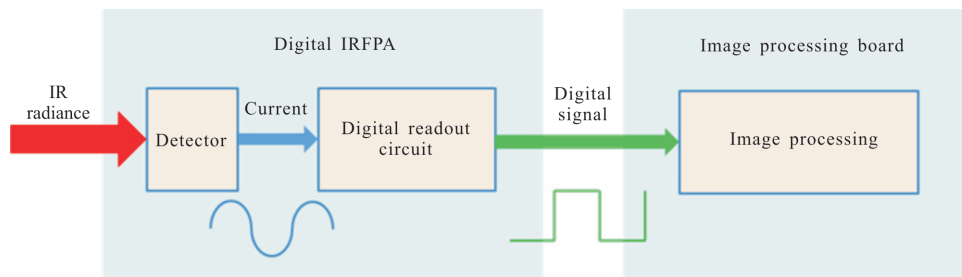


图 2 数字红外焦平面探测器及成像系统框图
Fig.2 Digital IRFPA and imaging system diagram

国外对于数字读出电路技术的研究起步较早,发展较快,目前,已经有多种数字焦平面探测器组件产品。其中,以色列的 SCD 公司在数字焦平面探测器技术方面发展最快,从 2002 年开始了数字读出电路的研究,于 2007 年推出了数字 InSb 焦平面探测器组件产品 Palican D^[2],面阵规模是 640×512,像元中心距为 15 μm,采用了 13~15 bit 可编程 ADC,之后 SCD 公司又推出了 1280×1024 面阵的 Hercules 焦平面探测器组件^[3]以及 1920×1536 面阵的 BlackBird 焦平面探测器组件^[4],形成了数字焦平面探测器产品系列。除此之外,美国的 BAE 公司也推出数字焦平面探测器系列产品。法国的 Sofradir 公司也推出了 Daphnis 数字焦平面探测器组件产品^[5]。

像元级 ADC 技术的发展使得数字积分技术得以实现,数字积分技术以数字计数器代替积分电容进行积分,打破了模拟读出电路电荷存储容量的限制,对提高红外焦平面探测器的性能起到了至关重要的作用。2005 年美国麻省理工学院林肯实验室提出了数字像元的概念,在像元内实现了模拟-数字转换以及数字积分功能^[6]。2010 年法国 CEA-Leti 及 Sofradir 报道了长波 320×256 数字像元焦平面探测器^[7],其读出电路采用了像元级 ADC 及数字积分技术,在 25 μm×25 μm 的像元内集成了读出单元电路、电荷包计数 ADC 及 15 位的数字积分器,等效电荷存储容量达到了 3×10⁹ 个电子电荷,探测器积分时间可达到 19 ms,峰值 NETD 达到 1.9 mK,比未采用数字积分技术的同类探测器的性能提高近一个数量级。

国内从 2010 年起有高校以及研究所开展列级 ADC 数字读出电路研究,目前,昆明物理研究所已实现数字焦平面探测器的工程应用^[8]。数字像元技术的研究正在开展中,已有部分研究成果发表。

2 数字读出电路系统架构

2.1 列级 ADC 数字读出电路

图 3 为列级 ADC 数字读出电路的框图。在列级 ADC 数字读出电路中,光电流的抽取、积分以及行多路选择仍然在模拟域内完成,每一列像元采用一个高精度、低功耗 ADC 进行光电信号的量化,列多路选择及数据输出在数字域进行。

与传统的模拟读出电路相比较,列级 ADC 数字

读出电路具有工程上的优势。首先,读出电路内部集成了 ADC,数据传输在数字域进行,可以简化与成像处理电路的接口,提高集成度,降低了系统成本。另外,高速数据传输电路的应用提升了数据传输的带宽,有利于大面阵探测器高帧频数据的传输。同时,在数字域进行的数据传输极大地提升了电路的抗干扰能力,非常有利于在复杂电磁环境下的系统集成。

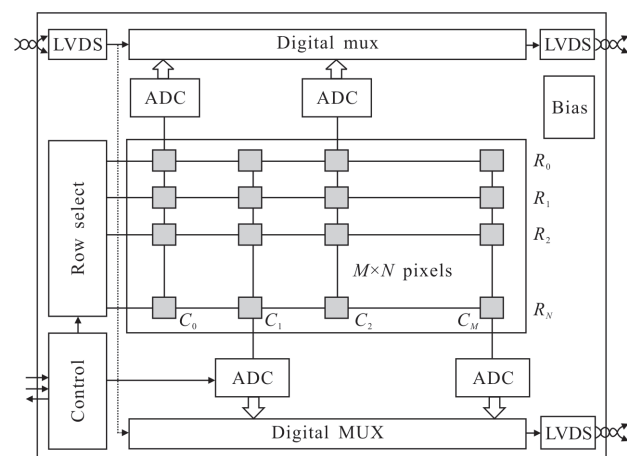


图 3 列级 ADC 数字读出电路结构框图

Fig.3 Column level ADC DROIC diagram

对于 M×N 阵列的焦平面探测器,采用列级 ADC 结构的读出电路需要 M 个 ADC 对输出的信号进行数字化,对 ADC 分辨率的要求是由探测器输出信号的动态范围决定,ADC 的版图尺寸对应探测器阵列的一倍或两倍的像元间距。对 ADC 的分辨率、功耗以及版图尺寸都提出了较高的要求,一般采用的 ADC 架构为单斜率 ADC、过采样 ADC 等。

由于列级 ADC 数字读出电路的光电流积分等关键处理过程仍然在模拟域进行,读出电路的一些关键技术指标并没有实质性的提升。如读出电路的电荷处理能力和动态范围等并没有得到有效提升。

采用列级 ADC 架构,设计了一款中波 640×512 数字焦平面探测器读出电路,像元间距是 15 μm。ADC 采用增量式 Sigma-Delta ADC 架构,在 30 μm 的间距内完成了 ADC 的版图设计,量化位数为 14 bit,单个 ADC 的功耗小于 150 μW。对于量化位数为 14 bit 的 640×512 面阵的探测器组件,读出电路的数据率较高,采用两路 LVDS 高速数据传输电路,可以保证大于 600 Mbps 的总数据传输速率,探测器帧频可达 120 Hz 以上。所设计的 640×512 列级 ADC 数字

读出电路采用标准 0.35 μm CMOS 工艺实现。将读出电路和探测器通过圆柱倒装互联最终实现了数字中波探测器组件^[8]。

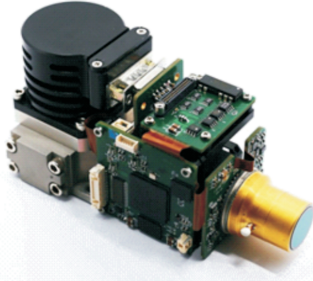


图 4 640×512 列级 ADC 数字探测器外形

Fig.4 Picture of the 640×512 column-level ADC digital detector

2.2 数字像元读出电路

另一种受到广泛关注的数字读出电路就是数字像元读出电路,其框图如图 5 所示。数字像元,就是在像元内完成光电信号的提取、量化及积分,像元直接输出数字信号。数字像元读出电路实现了光电信号处理的全数字化,极大提升了读出电路的性能。光电信号的行、列多路选择在数字域进行,极大的提高了电路的抗干扰能力,杜绝了信号之间的串扰。同时,数字高速数据传输电路有利于提升大面阵探测器的帧频。

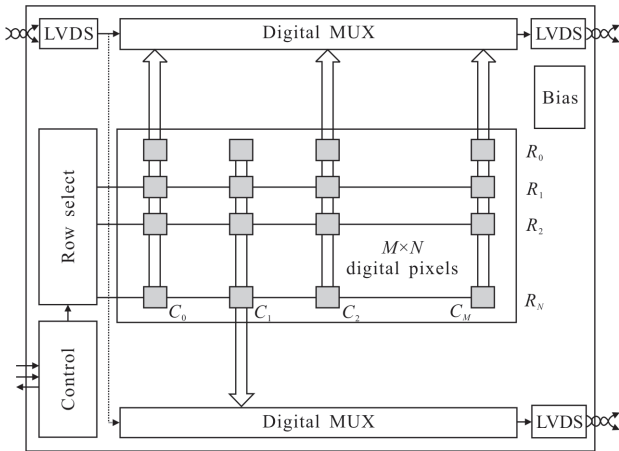


图 5 数字像元读出电路结构框图

Fig.5 Digital pixel ROIC diagram

数字像元的基本结构如图 6 所示,由读出单元电路、光电流积分电路、比较器、电荷扣除电路以及计数器构成。其工作原理为:读出单元电路将探测器输出的光电流注入到积分电容 C_{int} 进行积分,当电容

上的电压高于比较器的参考电压 V_{REF} 时,比较器翻转,触发单稳态触发器输出一定宽度的脉冲去控制电流源,将电容上的电荷扣除一部分,同时比较器输出一个脉冲给计数器,重复以上过程直到积分时间结束,最终计数器的计数值就是像元的输出信号。

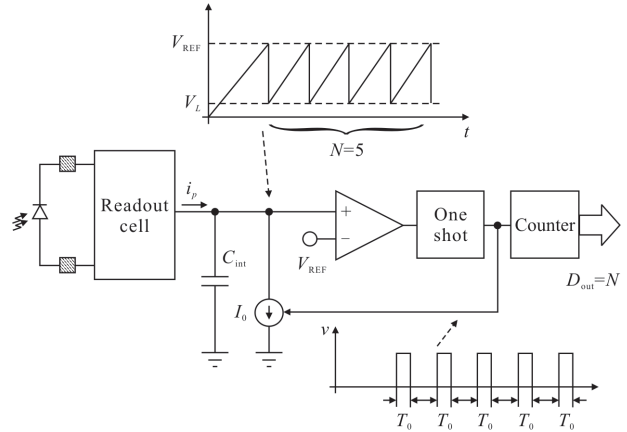


图 6 数字像元结构图

Fig.6 Digital pixel diagram

与模拟相比,数字像元电路工作原理完全不同。在通常的模拟读出与积分电路中,读出单元电路提供红外探测器的偏置,抽取光电流输出到积分电容进行光电流积分,积分结束后积分电容两端电压为像元的输出信号。积分电路所能处理的最大电荷容量为:

$$Q_{max} = C_{int} v_{o,max} = I_p T_{int,max} \quad (1)$$

式中: $v_{o,max}$ 为像元的最大输出电压值; I_p 为积分周期内的平均光电流; C_{int} 为积分电容的容量; $T_{int,max}$ 为最长积分时间。由公式(1)可以看出,积分电容的容量决定了读出电路的最大电荷处理容量。

数字像元电路其本质为一个计数型 ADC,此 ADC 的量化单位由积分电容决定,采用计数器实现多次积分计数,同时完成模拟信号的量化。计数型 ADC 一次完成了光电流积分及量化功能,极大地简化了数字像元的设计。积分电容容量决定了 ADC 的分辨率(LSB),计数器位数决定了系统的动态范围(MSB)。借助于 CMOS 工艺的飞速发展,在有限的像元面积内可以实现 16 位以上的计数器,极大地扩展了读出电路的动态范围。

采用数字像元架构,设计了一款长波 384×288 数字焦平面探测器读出电路,像元间距是 25 μm。采

用电荷扣减 ADC 架构,在 $25\ \mu\text{m}\times 25\ \mu\text{m}$ 的面积内实现了数字像元版图设计,计数器位数为 16 bit,单个像元的功耗小于 $200\ \mu\text{W}$ 。采用四路 LVDS 高速数据传输电路,可以保证大于 2 Gbps 的总数据传输速率,探测器帧频可达到 1 000 Hz 以上。所设计的 384×288 数字像元读出电路采用标准 $0.11\ \mu\text{m}$ CMOS 工艺实现。将读出电路和探测器通过钢柱倒装互联最终实现了数字长波探测器组件。

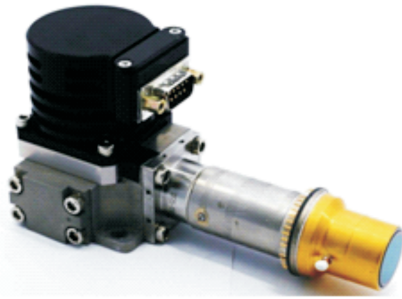


图 7 384×288 数字像元探测器外形

Fig.7 Picture of the 384×288 digital pixel detector

3 高性能数字读出电路设计

3.1 数字读出电路噪声

3.1.1 噪声分析

红外焦平面的噪声主要分为时间噪声和空间噪声。时间噪声的来源有两个方面:一是探测器和读出电路的随机噪声;二是电磁干扰以及数字电路通过电源和地线、读出电路芯片衬底等途径耦合到读出电路的噪声干扰。时间噪声体现为同一单元在不同帧之间输出值的随机涨落,直接影响读出电路的信噪比和红外焦平面的噪声等效温差(NETD)。而空间噪声的来源主要是探测器单元之间响应的不一致,以及读出电路由于加工工艺的不均匀性所引起的电路参数随空间分布的失配。空间噪声体现为面对相同的辐射温度,一幅图像中不同单元响应的非均匀性,通常用固定图案噪声(FPN)来表征其大小。

列级 ADC 数字读出电路的信号链如图 8 所示,其时间噪声包括探测器单元的散粒噪声、读出单元的复位噪声、缓冲器电路的热噪声、ADC 的热噪声、量化噪声以及低频的 $1/f$ 噪声。对这些噪声来源的详细分析,可以参考 CMOS 图像传感器^[9],主要结论归纳如下,以指导设计。

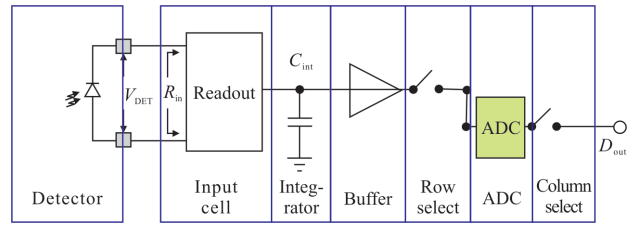


图 8 列级 ADC 数字读出电路信号链

Fig.8 Signal chain of column-level ADC digital readout circuit

假设不同来源的噪声是非相关的,则总的输出噪声功率等于所有来源的噪声功率之和:

$$\overline{V_{n,out}^2} = \overline{V_{n,sh}^2} + \overline{V_{n,rst}^2} + \overline{V_{n,buf}^2} + \overline{V_{n,adc}^2} + \overline{V_{n,q}^2} + \overline{V_{n,1f}^2} \quad (2)$$

等式右边的噪声功率分别对应以上 6 种来源。

列级 ADC 数字读出电路的信噪比也可以计算出来:

$$\text{SNR} = \frac{I_p T_{int}}{C_{int} \sqrt{\overline{V_{n,out}^2}}} \quad (3)$$

式中: I_p 、 C_{int} 和 T_{int} 分别表示探测器的光电流、积分电容和积分时间。

散粒噪声与探测器的光电流 I_p 和暗电流 I_d 、积分电容以及积分时间直接相关,其噪声功率为:

$$\overline{V_{n,sh}^2} = \frac{q(I_p + I_d) T_{int}}{C_{int}^2 (1 + \eta)^2} \quad (4)$$

读出单元在每次积分开始前对电容复位,引入复位噪声:

$$\overline{V_{n,rst}^2} = \frac{kT}{C_{int}(1 + \eta)^2} \quad (5)$$

式中: k 为玻尔兹曼常数; T 为读出电路工作温度; η 为像元缓冲器晶体管的参数。

像元的输出缓冲器及其列级读出电路的晶体管沟道热噪声也会增加总的输出噪声。以常用的源极跟随器为例,缓冲器的噪声功率为:

$$\overline{V_{n,buf}^2} = \frac{2kT(\alpha g_{m,SF} + g_{s,B})\beta}{3C_{col}} \quad (6)$$

式中: α 为探测器和缓冲器的电容比例因子; $g_{m,SF}$ 为源极跟随器的跨导; $g_{m,B}$ 和 $g_{s,B}$ 分别表示列级偏置晶体管的跨导和小信号电导; β 为这两个晶体管的跨导比例因子; C_{col} 为列级读出电路的电容。

ADC 是数字读出电路的关键模块,其性能直接影响到整个焦平面的成像质量,噪声主要包括量化噪声和 ADC 自身电路,如放大器、比较器等电路的

热噪声。ADC 的噪声大小和所选用的电路结构密切相关。总的来说,ADC 分辨率的提高可以减少 ADC 的电路噪声和量化噪声贡献,因此,高性能数字读出电路的 ADC 通常选用 14 位以上的高分辨率,这对提高焦平面的动态范围也是有益的。

低频的 $1/f$ 噪声对总的噪声也有贡献,但是对于红外探测器,其光电流和暗电流较大,散粒噪声占主导,因此,在估算输出噪声时可以忽略低频噪声的影响。

对于数字像元读出电路,主要噪声来源与上述列级 ADC 数字读出电路的类似,但是由于 ADC 直接集成到像元内部,如图 6 所示,数字像元读出电路没有缓冲器和列级读出电路贡献噪声。数字像元读出电路的输出噪声功率为:

$$\overline{V_{n,out}^2} = K(\overline{V_{n,sh}^2} + \overline{V_{n,rst}^2} + \overline{V_{n,adc}^2}) + \overline{V_{n,q}^2} + \overline{V_{n,1f}^2} \quad (7)$$

其信噪比为:

$$SNR' = \frac{kI_p T_{int}}{C_{int} \sqrt{\overline{V_{n,out}^2}}} \quad (8)$$

数字像元读出电路与列级 ADC 读出电路的另一个明显差别是经过多次复位积分(假设为 K 次),热噪声功率变为原来的 K 倍,但是由于信号功率增加了 K^2 倍,因此信噪比可以随计数长度的增加而提高。这就是数字像元读出电路能够实现更长积分时间,获得更高灵敏度的原因。

3.1.2 低噪声设计

对于空间噪声,电路匹配性能与物理尺寸正相关,但是在有限的硅片面积内很难将晶体管、电容和电阻等元件尺寸做大,因此,难以通过读出电路的设计来减小非均匀性,更多是依靠非均匀性校正等图像处理技术降低固定图案噪声。随着 CMOS 工艺的进步,可以将非均匀性校正功能集成到读出电路内部,提高成像系统的集成度。

而对于时间噪声,可以采取多种电路设计技术来降低整个读出电路的噪声。

根据上文分析,增加积分电容可以减小散粒噪声和复位噪声,但是积分电容的大小受到像元尺寸限制,同时过大的积分电容会造出输出信号减小的问题。在 CMOS 图像传感器中,通常采用相关双采样(CDS)技术消除复位噪声和固定图案噪声的偏移量,但是由于红外探测器的电流远远大于可见光探测器,因此散粒噪声贡献占主导,CDS 的效果有限。

增加列级读出总线的电容可以降低像元缓冲器的噪声,但是其输出信号的建立和稳定时间相应增加,会限制读出速度。

在诸多 ADC 结构中,积分型、逐次比较型和 Sigma-Delta 型在速度、分辨率和功耗等性能方面较适合列级 ADC 读出电路^[10]。其中,Sigma-Delta ADC 采用过采样技术将量化噪声分散在采样频带内,然后通过调制器(Modulator)将基带噪声调制到高频,再通过数字滤波器(Decimator)将高频的噪声滤除,从而达到降低量化噪声,提高分辨率的目的,其结构如图 9 所示。Sigma-Delta ADC 不仅噪声低,并且其性能对模拟电路参数不敏感,具有很强的抗干扰能力,因此是高性能、低噪声列级 ADC 数字读出电路的较优选择^[11]。

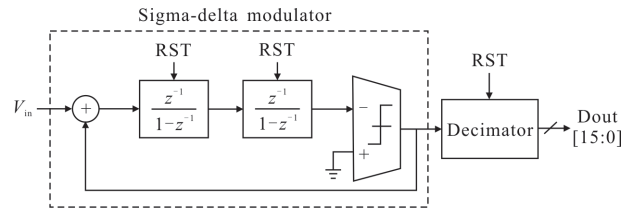


图 9 二阶 Sigma-Delta ADC 结构框图

Fig.9 Second-order Sigma-Delta ADC diagram

对于外部电磁干扰和数字电路的噪声影响,主要是在读出电路版图设计过程中采取退耦、隔离等措施,减小从电源线和硅片衬底引入的噪声干扰。

640×512 列级 ADC 数字读出电路的设计,综合以上噪声分析和低噪声设计准则,选取合适的电路参数,选用 14 位增量 Sigma-Delta ADC^[12]。该读出电路的噪声测试结果如图 10 所示,仅有 0.9 LSB (约 150 μV)。该读出电路互连碲镉汞中波红外焦平面探

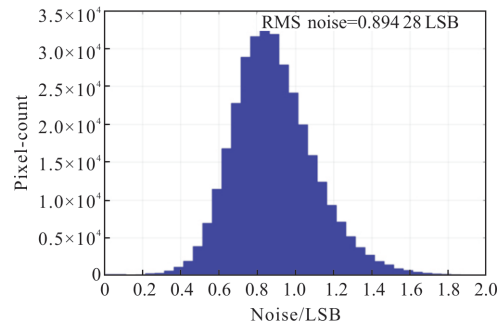


图 10 640×512 列级 ADC 数字读出电路噪声测试结果

Fig.10 Noise of the 640×512 column-level ADC digital readout circuit

测器,测试得到的 NETD 如图 11 所示,在半阱条件下(积分时间 9 ms)达到 13 mK。

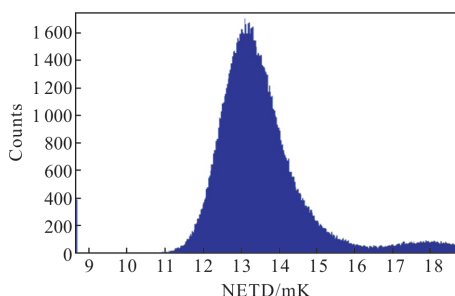


图 11 640×512 列级 ADC 数字探测器 NETD 分布

Fig.11 NETD distribution of the 640×512 column-level ADC digital detector

384×288 数字像元读出电路的设计也根据上述分析结论,优化电路参数,降低噪声。该读出电路互连碲镉汞长波红外焦平面探测器,测试得到的 NETD 如图 12 所示,在 9.5 ms 的积分时间,温度灵敏度达到 3.9 mK,体现了数字像元的高灵敏度特性。

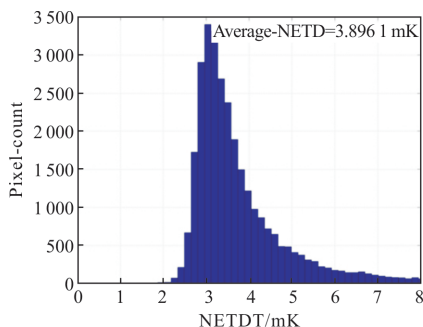


图 12 384×288 数字像元探测器 NETD 分布

Fig.12 NETD distribution of the 384×288 digital pixel detector

所研制的 640×512 列级 ADC 数字中波探测器、384×288 数字像元长波探测器的成像照片分别示于图 13 和图 14。



图 13 640×512 列级 ADC 数字探测器成像图像

Fig.13 Image captured by the 640×512 column-level ADC digital detector



图 14 384×288 数字像元探测器成像图像

Fig.14 Image captured by the 384×288 digital pixel detector

3.2 数字读出电路线性度

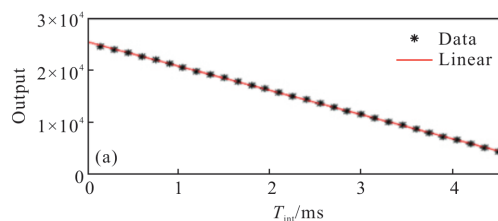
读出电路的线性度决定了探测器输出的线性度,会对后续成像处理电路的非均匀校正产生影响。在列级 ADC 数字读出电路中,整个信号链路如图 8 所示,产生非线性的根源有三个:积分电容、像元输出的驱动缓冲器以及 ADC。

为尽量增大读出电路的电荷处理容量,积分电容通常采用单位面积电容值较大的 MOS 电容。MOS 电容的容量与其两端的电压值是相关的,是一个非线性电容,在应用时要选取 C-V 曲线平坦的区域以避免较高的非线性。为减小版图面积,像元缓冲器通常采用简单的源极跟随器,衬底偏置效应会引入一定的非线性,可以通过补偿电路加以补偿。

列级 ADC 数字读出电路采用线性度较高的 Sigma-Delta ADC 结构,其量化器为 1 bit 比较器,确保了 ADC 的自身线性度。

通过将探测器面对恒定温度黑体,固定光电流输入,改变积分时间的方法测算读出电路的线性度。读出电路对相同的光电流进行不同时间的积分以获得不同的输出,所以,其输出值的线性度表征了整个读出电路的线性度。

通过以上测试方法测试,列级 ADC 数字读出电路的线性度测试结果如图 15 所示,其线性度可以保证高于 99%。



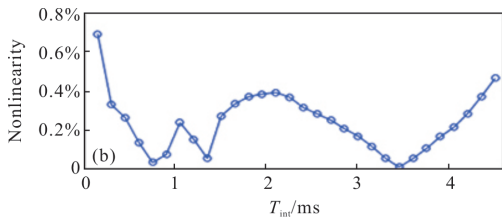


图 15 列级 ADC 数字读出电路线性度测试结果

Fig.15 Test result of nonlinearity of column-level ADC digital readout circuit

数字像元读出电路的信号链路中产生非线性的模拟信号模块只有积分电容与 ADC。由于数字像元的电荷处理容量由计数器位数决定，积分电容的容量较小，可以采用线性度非常高的金属平行板电容 (MIM 电容) 实现。同时，采用电荷扣除技术的 ADC 线性度较高。所以数字像元读出电路的线性度较高，图 16 为数字像元读出电路线性度实测结果，可以看出其线性度高于 99.7%。

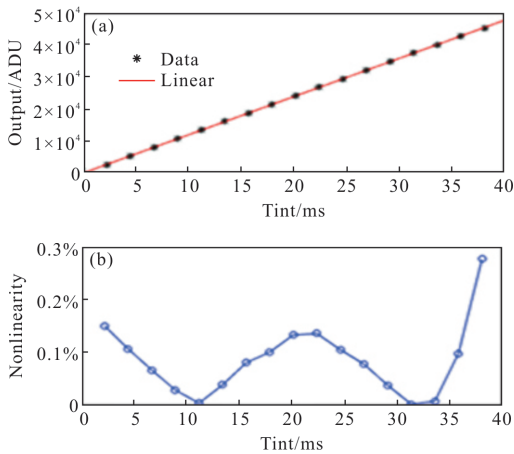


图 16 数字像元读出电路线性度测试结果

Fig.16 Test result of nonlinearity of digital pixel readout circuit

3.3 数字读出电路动态范围

红外信号具有较大的动态范围，在红外成像系统中，面对的目标与背景温差有时会高达数百度，而成像系统的噪声等效温差通常小于 50 mK，所以探测器需要 90 dB 以上的动态范围来保证红外目标不会饱和。传统的模拟读出电路以及列级 ADC 数字读出电路由于积分电荷处理容量的限制问题，导致读出电路动态范围不会高于 80 dB，在处理大动态场景时目标饱和，严重影响对目标的识别。典型场景如红外成像导引头面对目标飞机打出的红外干扰弹时，飞机尾喷口与干扰弹在红外图像上都是饱和信号，

因无法分辨目标与干扰而导致引导错误。

在数字像元读出电路中，数字像元的计数器位数决定了读出电路的电荷处理容量。在 16 位计数器情况下，读出电路的电荷处理容量可以做到 Ge-水平，比模拟读出电路高出近两个数量级，读出电路的动态范围也能轻易达到 90 dB 以上。

图 17 是采用数字像元读出电路研制的长波探测器对酒精灯火焰的成像图像，可以看出在能清晰分辨人脸细节的情况下酒精灯火焰并未饱和，但由于显示范围的原因并不能分辨火焰的温度层次。图 18 是图 17 中火焰部分的放大显示，并将显示范围调整到高温区域，可以非常清晰地分辨出火焰的温度层次，表明数字像元探测器具有很高的动态范围。



图 17 数字像元探测器火焰成像图像

Fig.17 Flame image captured by digital pixel detector

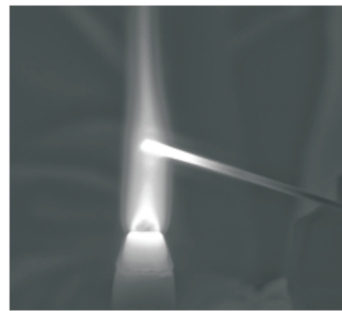


图 18 火焰成像图像放大

Fig.18 Amplification image of the flame imaging

3.4 数字读出电路帧频

传统模拟读出电路中列级放大电路和输出放大器的带宽、增益和噪声相互制约，限制了帧频的提高。而数字读出电路将 ADC 输出的并行数据转换为串行数据，经过高速串行数据传输接口将数据传输到读出电路外部，可以实现高帧频读出。

对于 640×512 面阵、14 位 ADC 输出的数字读出电路，为了达到 120 Hz 的帧频，数据率超过 550 Mbps；

而 384×288 面阵、16 位 ADC 输出的数字像元读出电路,如果要实现 1 000 Hz 以上帧频,则数据率要到 1.7 Gbps 以上。因此,不仅需要提高 ADC 的转换速度,还要设计高速数字复选电路和串行接口电路,满足高帧频读出的数据率。

传统的数字复选电路由 N 个 D 触发器(DFF)组成移位寄存器将数据串行移出(N 为探测器的列数),数据之间的传递线路较短,整个电路可以工作于较快的速率,在 CMOS 0.35 μm 工艺下速率可以超过 500 MHz,而且随着 CMOS 工艺的提升还可以进一步加快。但是,该结构的缺陷在于所有 DFF 同时工作在最高速的时钟频率,即与数据率相同的频率,因此消耗的功率非常高。传统数字复选电路的功耗表达式如下:

$$P \approx M \times B \times f_{\text{DCLK}} \times P_{\text{DFF}} \quad (9)$$

式中: M 为读出电路的列数; B 为 ADC 的量化位数; P_{DFF} 为单位频率下 DFF 平均消耗的功率。对于 640×512 面阵、14 位 ADC 的读出电路,当时钟频率 f_{DCLK} 达到 550 MHz 时,该复选电路的功耗已经达到数百毫瓦,这是无法接受的。如何以较低的功耗实现高速复选,是高帧频数字读出电路设计的难点。

为此设计了新型的数字复选电路,其整体架构和时序图如图 19 所示^[3]。其主要思想是先将 ADC 输出的数据锁存,然后逐次将每一列的并行数据选通到数据总线转换为串行数据。由于整个电路中只有并串转换器持续工作在最高时钟频率,而且并串转换器每次只对 1 个 ADC 的数据进行转换,所以同一时刻只有 B 个 DFF 工作在最高频率。该复选电路的功耗如下式,可以看到其功耗仅为传统结构的 $1/M$ 。对 640×512 面阵,理论上功耗可以降低 640 倍。

$$P \approx B \times f_{\text{DCLK}} \times P_{\text{DFF}} \quad (10)$$

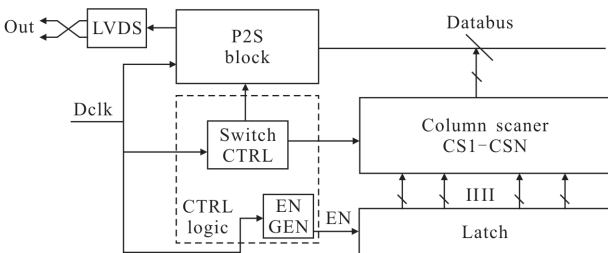


图 19 所设计的数据传输电路结构框图

Fig.19 Block diagram of proposed data transmission circuit

串行数据接口采用低压差分信号传输(LVDS)。由于信号摆幅只有几百毫伏,可以消耗较低的功耗传输高速数据;同时所采用的差分信号具有较好的噪声特性和抗干扰性能。

以上技术保证了数字读出电路能以较低的功耗实现高帧频读出,图 20 给出了所研制的高帧频数字探测器成像图片。

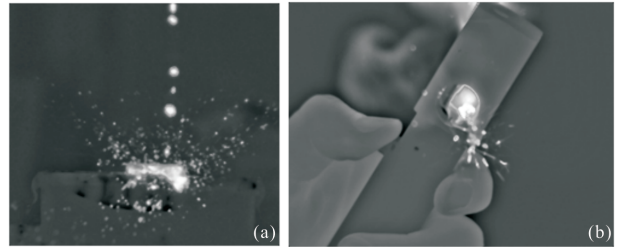


图 20 数字像元探测器高帧频成像图像

Fig.20 High-frame-rate image captured by digital pixel detector

4 结 论

数字读出电路已成为红外焦平面技术的重要发展趋势,国内外已开展深入的研究并推出工程化产品。文中介绍了数字读出电路的主要架构,采用列级 ADC 数字读出电路架构设计了中波 640×512 数字焦平面探测器读出电路,并基于数字像元读出电路架构设计了长波 384×288 数字焦平面探测器读出电路。这两款电路针对噪声、线性度、动态范围和帧频等主要性能进行了分析和优化设计,测试结果表明:数字读出电路相比模拟读出电路,具有明显的性能优势,可以降低红外焦平面探测器的噪声,提高灵敏度和线性度,增加成像动态范围,实现高帧频探测。

参 考 文 献:

[1] Liu Chuanming, Yao Libin. Study on digital readout circuit for infrared FPA detectors[J]. *Infrared Technology*, 2012, 34 (3): 125-133. (in Chinese)
刘传明,姚立斌. 红外焦平面探测器数字读出电路研究[J]. *红外技术*, 2012, 34(3): 125-133.

[2] Oiknine S, Calahorra Z, Uri E, et al. Pelican-SCD's 640×512, 15 μm pitch InSb detector [C]//SPIE, 2007, 6542: 654231.

[3] Neshner O, Pivnik I, Ilan E, et al. High resolution 1 280×1 024, 15 μm pitch compact InSb IR detector with on-chip ADC[C]//SPIE, 2009, 7298: 72983K.

- [4] Ilan E, Shiloah N, Dikind S, et al. A 3 M pixel ROIC with 10 μm pixel pitch and 120 Hz frame rate [C]//SPIE, 2013, 8659: 86590A.
- [5] Reibel Y, Pere N, Augey T, et al. Getting small, new 10 μm pixel pitch cooled infrared products [C]//SPIE, 2014, 9070: 907034.
- [6] Kelly M, Berger R, Colonero C, et al. A design and testing of an all-digital readout integrated circuit for infrared focal plane arrays [C]//SPIE, 2005, 5902: 59020J.
- [7] Bisotto S, Borniol E, Mollard L, et al. A 25 μm pitch LWIR staring focal plane array with pixel-level 15-bit ADC ROIC achieving 2 mK NETD [C]//SPIE, 2010, 7834: 78340J.
- [8] Yao Libin, Chen Nan, Zhang Jiqing, et al. Digital IRFPA technology [J]. *Infrared Technology*, 2014, 38(5): 357–366. (in Chinese)
姚立斌, 陈楠, 张济清, 等. 数字化红外焦平面技术 [J]. 红外技术, 2014, 38(5): 357–366.
- [9] Chen N, Zhang J, Zhong S, et al. A low-noise CMOS image sensor with digital correlated multiple sampling [J]. *IEEE Transactions on Circuits and Systems I*, 2018, 65(1): 84–94.
- [10] Chen Nan, Yao Libin. Analog to digital conversion techniques in array image sensors [J]. *Infrared Technology*, 2014, 36(10): 769–776. (in Chinese)
陈楠, 姚立斌. 阵列型图像传感器模数转换技术 [J]. 红外技术, 2014, 36(10): 769–776.
- [11] Chen N, Li Z, Zhong S, et al. A 15-bit incremental sigma-delta ADC for CMOS image sensor [C]//SPIE, 2015, 9522: 95222A.
- [12] Yao Libin, Chen Nan, Han Qinglin. Compact, micro-power incremental Sigma-Delta ADC design [J]. *Infrared Technology*, 2015, 37(12): 1011–1015. (in Chinese)
姚立斌, 陈楠, 韩庆林. 小面积、微功耗增量型 Sigma-Delta ADC 设计 [J]. 红外技术, 2015, 37(12): 1011–1015.
- [13] Zhang J, Li Z, Zhong S, et al. A novel data transmission circuit for digital image sensors [C]//SPIE, 2015, 9522: 95221G.