

## 基于分时共享方案的 640×512 红外读出电路设计

梁清华<sup>1,2</sup>, 蒋大钊<sup>1,2</sup>, 陈洪雷<sup>1</sup>, 丁瑞军<sup>1</sup>

- (1. 中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室, 上海 200083;
2. 中国科学院大学, 北京 100049)

**摘要:** 大规模、高集成度的红外焦平面器件是实现高空间分辨率红外成像的核心。针对高集成度的红外焦平面技术发展, 文中设计了一款 15 μm 中心距 640×512 的红外焦平面读出电路。为提升器件信噪比和积分时间, 提出了一种 2×2 四个像元分时复用积分电容共享技术方案, 单元采用直接注入(DI)结构作为输入级, 使得读出电路最大电荷容量可达 20 Me<sup>-</sup>/像元。电路有两档电荷容量可选, 可满足不同光电流信号的读出要求。为了减小噪声的注入及提高缓冲器偏置电流的精度, 为信号传输链路设计了相应的偏置电路。电路仿真结果表明, 电路帧频 108 Hz, 功耗低于 110 mW, 线性度可高达 99.99%。电路采用了 CSMC 0.18 μm 1P4M 3.3 V 工艺加工流片, 常温测试结果显示电路工作电流正常, 偏置开关可控, 功能正常。

**关键词:** 红外焦平面; 读出电路; 电容共享; 电荷容量; 偏置电路

**中图分类号:** TN215 **文献标志码:** A **DOI:** 10.3788/IRLA201746.1004001

## Design of 640×512 infrared ROIC based on time-sharing method

Liang Qinghua<sup>1,2</sup>, Jiang Dazhao<sup>1,2</sup>, Chen Honglei<sup>1</sup>, Ding Ruijun<sup>1</sup>

- (1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** Large scale and high integration of IRFPA device is the core of high spatial resolution infrared imaging. With the development of the high integration IRFPA technology, a 640×512 readout integrated circuit (ROIC) of IRFPA with 15 μm pixel pitch was presented. In order to improve SNR and integration time, one technology method of 2 by 2 pixels sharing an integration capacitor was proposed and the DI architecture was chosen as the input stage, thus the maximum effective charge capacity can reach 20 Me<sup>-</sup>/pixel. And two levels of charge capacity can be chosen for the readout of different photocurrents. Moreover, current bias circuits were designed for the analog signal chain circuit to lower the noise and improve the bias current accuracy for buffers. According to the simulation results, the circuit

收稿日期: 2017-02-05; 修订日期: 2017-03-03

基金项目: 国家自然科学基金(51605465)

作者简介: 梁清华(1989-), 女, 博士生, 主要从事红外焦平面读出电路设计方面的研究。Email: qhliangzj@163.com

导师简介: 丁瑞军(1964-), 男, 研究员, 博士生导师, 主要从事集成电路设计、红外光电器件及物理、分析和评价技术等方面的研究。  
Email: dingrj@mail.sitp.ac.cn.

achieves 108 Hz frame rate, less than 110 mW and 99.99% linearity. The circuit was taped out by CSMC 0.18  $\mu\text{m}$  1P4M 3.3 V CMOS process. The preliminary test results under room temperature show that the working current is normal and the bias switches can be adjusted and the circuit can work normally.

**Key words:** IRFPAs; ROIC; sharing capacitor; charge capacity; bias circuit

## 0 引言

红外探测技术总是不断地追求更远的探测距离,更好的目标识别能力,更快的速度,更好的环境、背景适应性以及更低的功耗成本等,而要提高探测和识别距离,就必须提高空间分辨率,即提高焦平面规模<sup>[1]</sup>。近年来,国外的焦平面主流制造商也正大力发展着大面阵小像元的焦平面技术,以法国 SOFRADIR 的焦平面器件发展状况<sup>[2-3]</sup>为例,目前主要发展的是 15  $\mu\text{m}$  中心距的 MW 和 LW 的红外探测器,开发了一系列的 15  $\mu\text{m}$  中心距的探测器,如 Scorpio(640 $\times$ 512, MW, LW)。2014 年, SOFRADIR 推出了像元间距为 10  $\mu\text{m}$  的 1 024 $\times$ 768 及 1 280 $\times$ 720 两种规模下的红外探测器。这款采用小像元间距技术制成的制冷型中波红外成像产品,相比之前的产品可以实现更宽的视场,更远的探测识别距离以及更高的分辨率。

更大的面阵、更小的像元中心距会影响读出电路的下列性能:积分电容、功耗、帧频、读出噪声等。读出电路需要大的饱和电荷容量以保证光电系统对动态范围及信噪比的要求,因此电路需要大的积分电容和高的输出摆幅,而大的积分电容意味着占用大的像元面积,对于小像元中心距(15  $\mu\text{m}$  或小于 15  $\mu\text{m}$ )的读出电路的设计是一个很大的挑战,而且像元面积小,也会给读出电路的输入级电路带来影响,给设计人员带来新的难题。

基于在 15  $\mu\text{m}$  中心距的读出电路中实现大电荷容量的设计难点,文中利用 CSMC 0.18  $\mu\text{m}$  1P4M 3.3 V 的工艺特点,创新性地提出了一种电容共享的技术方案,完成了一款 640 $\times$  512 面阵,15  $\mu\text{m}$  中心距的红外焦平面读出电路。在完成单元电路设计的同时,为信号链路电路设计了相应的电流镜偏置电路,更有利于实际的应用。该款电路有四路输出,帧频 108Hz,功耗低于 110 mW,线性度可高达 99.99%。

## 1 电路整体结构设计

读出电路的整体结构包括一个 640  $\times$  512 的输入级单元阵列电路,320 个列共用缓冲电路,相应的偏置电路,四个视频输出缓冲器,以及数字逻辑控制电路,具体结构框图如图 1 所示。整个模拟电路的性能将直接影响读出系统的动态范围、线性度、频响、功耗以及噪声等性能。

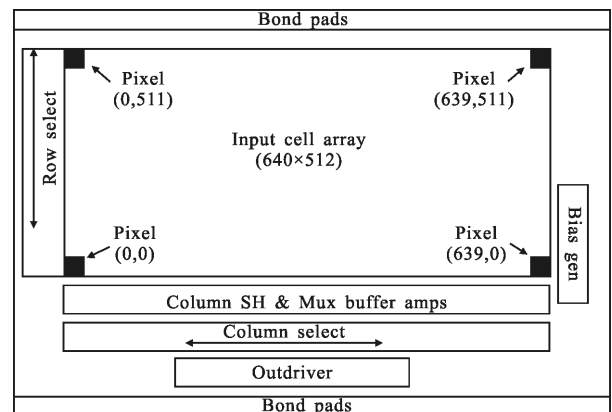


图 1 电路整体结构框图

Fig.1 Overall structure diagram of the circuit

## 2 模拟信号链路设计

模拟信号链路电路设计包括像元级电路设计、列共用电路设计、偏置电路设计、输出缓冲器设计及数字电路设计。设计过程中应保证各级间电平及阻抗的匹配,以保证高的传输效率。其中,像元电路设计是读出电路设计的核心部分,将探测器输出的电信号进行采样放大,然后将处理后的信号送入行级缓冲器电路。性能良好的输入级电路应满足以下几个条件:(1) 为探测器提供稳定的偏压;一般探测器处在零偏或弱反偏的时候比较好,因为此时探测器的暗电流最小,对电路的影响小。(2) 尽可能高地注入效率;电路的输入阻抗越小电路的注入效率越高。(3) 合适的积分器带宽,噪声低;带宽是一个重要指

标,决定了电流转换为电压的转换速度。(4) 合适的占用面积和电路功耗。(5) 大的饱和电荷容量。电路需要大的饱和电荷容量以维持高动态范围及大信噪比。行级缓冲器电路的设计要尽量避免信号的非线性失真,权衡信号传输的响应速度和功耗。电路的

读出速率、帧频及芯片功耗则主要取决于输出缓冲器的设计及个数。对于整个面阵的电路设计的同时,也应考虑版图的布局。此款电路最终设计的模拟信号链路如图 2 所示,图中方框部分为该电路的单元设计。

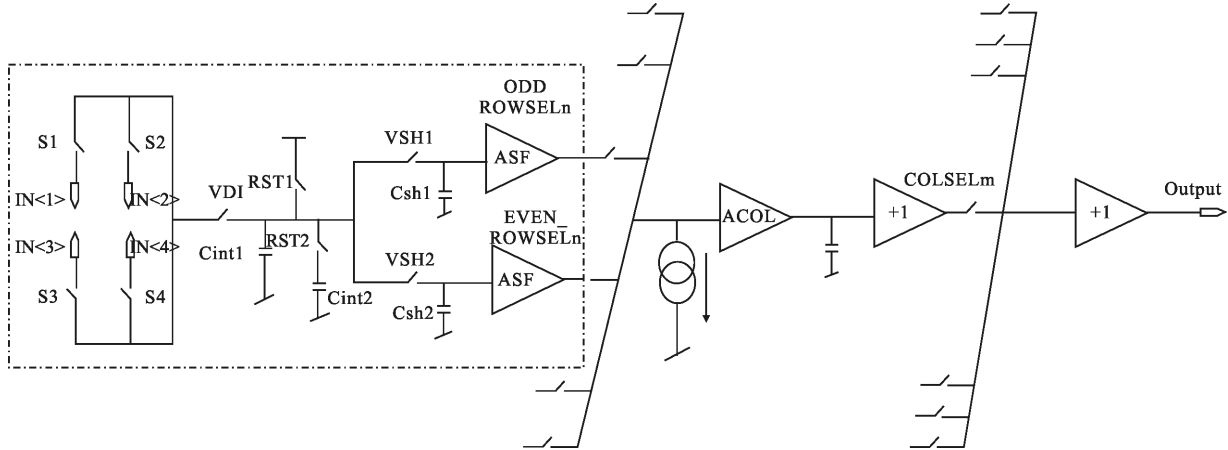


图 2 读出电路的模拟信号链路

Fig.2 Analog signal chain circuit of ROIC

### 2.1 单元电路结构设计

在小像元面积( $15\ \mu\text{m} \times 15\ \mu\text{m}$ )的前提下设计出大的积分电容是单元电路设计的难点。首先,会考虑工艺的选择。文中采用的是上华 $0.18\ \mu\text{m}$  1P4M 3.3 V 的 CMOS 工艺,该工艺具有以下几个优点<sup>[4]</sup>:(1) 更高的单位面积电容值从而部分弥补像元面积小的缺陷,MOS 电容高达  $4.3\ \text{fF}/\mu\text{m}^2$ ,当然 MOS 电容的 C-V 曲线上会存在一段非线性区,但红外信号的电压摆幅会避免该段非线性区,因此可以使用 MOS 电容;(2) 更低的工作电压 3.3 V 可以降低功耗;(3) 高速数字电路;(4) 器件更加紧凑的版图可以维持电路的高性能;(5) 使用双电压系统,可以使模拟电路工作在高电压 3.3 V,数字电路工作在低电压 1.8 V。除此之外,要提高单位面积的电容值,还可以采用一些特殊的电容制作工艺,比如说多层电容叠加技术。S.Horn 等人还提出了采用多层读出电路垂直叠加的加工工艺方案,也可实现积分电容二三倍的增长<sup>[5]</sup>。

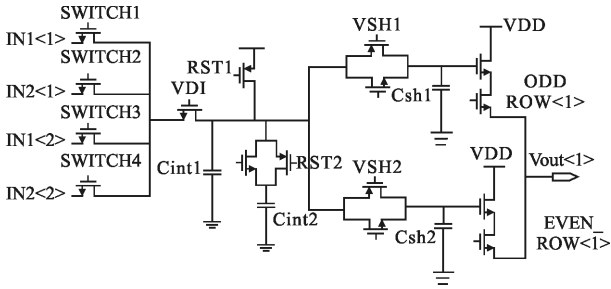
基于上华  $0.18\ \mu\text{m}$  工艺的优势,在电路设计上作了进一步的优化。首先在输入级结构的选择上,通过对国内外文献的调研,直接注入结构(DI)更适合小像元读出电路的设计。DI 结构简单,占用像元面积小,功耗低,但由于注入管工作在亚阈值区,跨导正

比于工作电流,因此其注入效率受注入电流影响,因此 DI 结构只适用于中高背景环境下。结合文中的设计目标,输入级结构选择 DI 结构,在中高背景下可获得较高的注入效率同时提高像元面积的利用率。

图 3(a)给出了一种改进的像元电容共享的结构,具体的实现如下:(1) 电路采用  $2 \times 2$  四个小像元分时复用积分电容,以时间的代价换取积分电容的复用,这样可在  $30\ \mu\text{m} \times 30\ \mu\text{m}$  的像元面积中完成设计;(2) 电路采用两个采样电容部分,而不是根据四个像元采用四个采样电容,实际上是一方面考虑了在有限面积内尽可能地增加积分电容,一方面也为了提高采样电容的容量以减小电路由于沟道电荷注入、时钟馈通以及  $KT/C$  所带来的噪声;(3) 电路采用边积分边读出(IWR)的工作模式,工作时可将积分电容与采样电容并联使用,增加了有效积分电容容量,也避免了在采样过程中电荷再分配所带来的信号输出摆幅的降低。这些电容共享的方案主要目的还是提高有效的积分电容的容量,从而提高电路的饱和电荷容量。

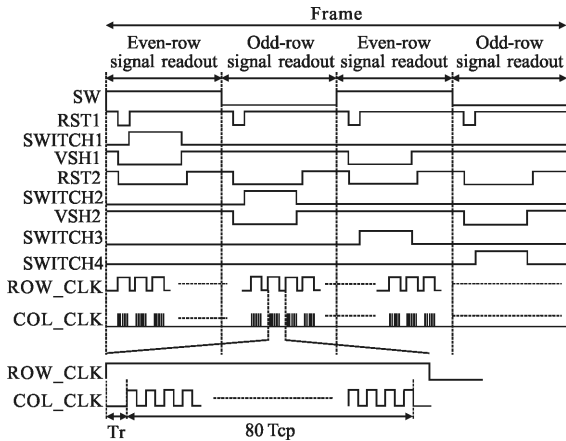
当然,该种电容共享方案同时也会带来其他性能的牺牲,比如电路的帧频和噪声等。因此由电容共享方案所带来的时序设计上的问题也是该电路设计

的技术难点之一。电路采用边积分边读出(IWR)的工作模式,具体的电路时序图如图 3(b)所示,其中 SW 为奇偶行选择开关,RST1 为复位开关,RST2 为电容选择开关,SWITCH $n$ ( $n=1\sim 4$ )为像元信号选择开关,VSH1、VSH2 为采样开关。读出过程如下:首先闭合



(a) 单元电路结构设计

(a) Structure of unit circuit



(b) 读出电路的工作时序图

(b) Timing diagram of ROIC

图 3 单元电路结构设计及读书电路工作时序图

Fig.3 Structure of unit circuit and timing diagram of ROIC

RST1、RST2、VSH1, 则积分电容Cint1、Cint2 和采样电容 Csh1 将一起复位到高电平,接着断开 RST1,闭合 SWITCH1,像元 1 的信号电流将在电容上积分,一定的积分时间后断开 VSH1、SWITCH1 及 RST2,最终的信号电压将保存在 Csh1。接着以同样的方式,将像元 2 的信号保存在采样电容 Csh2 上,在这一过程中,SW 信号置 0,则奇数行信号数据将读出,即像元 1 的信号读出。以此类推,当像元 3 的信号保存在 Csh1 时,SW 信号置 1,则偶数行信号数据将读出,即像元 2 的信号将读出,以此实现像元信号隔行读出,从而实现全面阵像元信号的读出。电路主时钟频率设计为 10 MHz,采用四路输出,所以 640×512

面阵规模一帧图像处理时间为 9.21ms,帧频为 108Hz,满足电路帧频大于 100 Hz 的要求。

电路设计了两档电容可选,可满足不同光电流信号的读出要求,在版图设计上,考虑以 4×4 像元版图作为一个最小的面阵重复单元,可促使一些 MOS 管的共用,提高面积的利用率,从而进一步地增加有效积分电容的容量。综上,有效积分电容 1 档为 2.27 pF,有效积分电容 2 档为 1.58 pF。

若电路的输出摆幅为 1.45 V,则最大电荷容量可达 20 Me<sup>-7</sup>/像元,相比国外相同尺寸的 ROIC 饱和电荷容量提高了二三倍,提高了电路的饱和电荷容量。而且,由单元电路的设计特点可知,奇偶行数据隔行读出,因此相邻行可共享一根信号输出总线,则相比较于非共享面阵结构,行级缓冲器数目将减少一半,从而行级缓冲器的总功耗比非共享结构降低一半。当然也会看到按照上述读出方式像元不能实现同步曝光,降低了红外图像在时间上的分辨率,不适合在低辐照场合下的应用。另外由于 DI 结构的限制,电路更适用于中高背景的工作环境下。

### 2.2 列共用缓冲级的设计

列共用缓冲级电路由一级 NMOS 源随、PMOS 源随及一级列放大器组成。列放大器采用的是单位增益放大器,如下图 4(a)所示,运放的开环增益 $|A_v| = g_{m1,2}(r_{o2}||r_{o1})$ ,正比于 $\sqrt{\frac{(W/L)_1}{I_5}}$ ,3 dB 带宽 $f_{out} = \frac{1}{2\pi\tau_{out}}$ ,正比于 $\frac{I_5}{C_{tot}}$ ,运放的闭环增益为 $\frac{A_v}{1+A_v}$ <sup>[6]</sup>。若如图 4(b)所示,给出一个负反馈系统对一个幅度为  $b$  的单位阶跃信号的响应,并给出了输出信号的时域响应<sup>[7]</sup>。

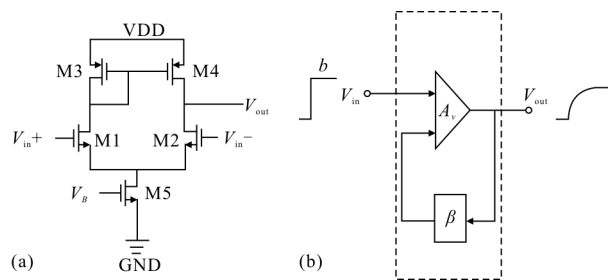


图 4 列放大器(a)和负反馈放大器(b)示意图

Fig.4 Diagram of column amplifier (a) and negative feedback amplifier (b)

由电路分析可知:

$$\text{输入信号 } X(s) = \frac{b}{s}, \text{ 传递函数 } A(s) = \frac{\frac{A_v}{1+\beta A_v}}{1 + \frac{s}{(1+\beta A_v)\omega_0}}$$

则输出信号的拉普拉斯变换为:

$$Y(s)=X(s) \cdot A(s)=\frac{b}{s} \cdot \frac{\frac{A_v}{1+\beta A_v}}{1+\frac{s}{(1+\beta A_v)\omega_0}}= \frac{b \cdot A_v}{1+\beta A_v} \left[ \frac{1}{s} - \frac{1}{s+(1+\beta A_v)\omega_0} \right] \quad (1)$$

若定义反馈系统的响应时间常数为  $\tau = \frac{1}{(1+\beta A_v)\omega_0}$ , 经拉普拉斯反变换可知, 输出信号的时间域响应为:

$$Y(t)=\frac{b \cdot A_v}{1+\beta A_v} [1-e^{-(1+\beta A_v)\omega_0 t}] = \frac{b \cdot A_v}{1+\beta A_v} [1-e^{-t/\tau}] \quad (2)$$

由上式可知, 信号的最终值为  $\frac{b \cdot A_v}{1+\beta A_v}$ , 通常如果认为输出电压和最终值之间的误差小于 2%, 则认为输出稳定, 此时的建立时间最小为  $4\tau$ , 即减小  $\tau$  可减小信号的建立时间, 由上式可知, 即增大负反馈系统的 3 dB 带宽就可以缩短建立时间。对于单位增益缓冲器而言,  $\beta$  为 1, 若  $A_v \gg 1$ , 则  $\tau$  为  $\frac{1}{A_v \omega_0}$ , 即增大开环运放的单位增益带宽即可减小信号的建立时间, 由于运放的单位增益带宽正比于  $\sqrt{I_s}$ , 因此提高偏置电流可减小闭环运放的信号建立时间, 当然同时会增加电路的功耗。

### 2.3 列偏置电路的设计

该款电路的列共用电路部分的缓冲器各有一个偏置, 即 VB1、VB2、VB3。为了简化偏置个数及减小直接外加偏置所带来的噪声, 设计了与各部分相对应的电流镜电路并归结为一个偏置 IMSTR\_ADJ 可调, 电流镜偏置电路框图如图 5 所示。

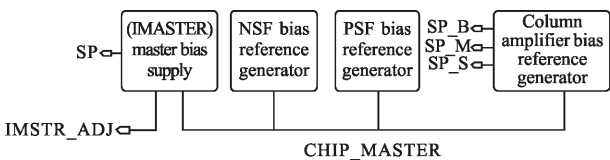


图 5 列偏置电路框图

Fig.5 Block diagram of column bias circuit

图 6 展示了具体的主偏置电路, 其中 IMSTR\_ADJ 为主偏置, SP 为使能开关。通过调节 IMSTR\_ADJ, 可调节电路的主偏电流, M1、M2、M3 的宽长比的比值为 100:99:1, 当 SP 为高电平时, 则

传输门开关开启, 流经 M4 的电流等于 M1 的电流; 当 SP 为低电平时, 则开关关闭, 流经 M4 的电流为 M1 的电流的 1/100, 此时电路工作在小电流下, 可降低电路的功耗。偏置电流经由 NMOS\_BIAS、PMOS\_BIAS、COL\_BIAS 三个端口分别流向列共用电路的三个部分的电流镜, 其中 COL\_BIAS 部分有三档可调: SP\_B、SP\_M、SP\_S, 满足列放大电路对偏置电流的要求。

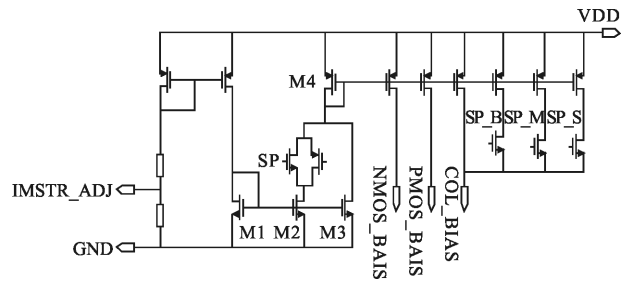


图 6 主偏置电路

Fig.6 Diagram of major bias circuit

对于电压通路的电流镜电路, 如图 7(a) 所示, 先不考虑电源内阻  $R_{s1}$ 、 $R_{s2}$  的影响, 忽略沟道长度调制效应, 则电流为:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3)$$

若考虑 MOS 管在尺寸及阈值电压方面存在的失配对电流失配的影响, 则有:

$$\Delta I_D = \frac{\partial I_D}{\partial (W/L)} \Delta \left( \frac{W}{L} \right) + \frac{\partial I_D}{\partial (V_{GS} - V_{TH})} \Delta (V_{GS} - V_{TH}) \quad (4)$$

从而可进一步得出:

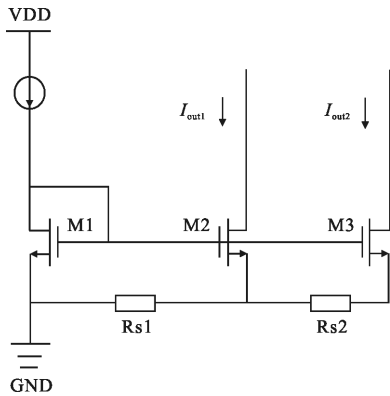
$$\Delta I_D = \frac{1}{2} \mu_n C_{ox} (V_{GS} - V_{TH})^2 \Delta \left( \frac{W}{L} \right) - \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \Delta V_{TH} \quad (5)$$

电流失配通常用平均值来归一化, 则可得到:

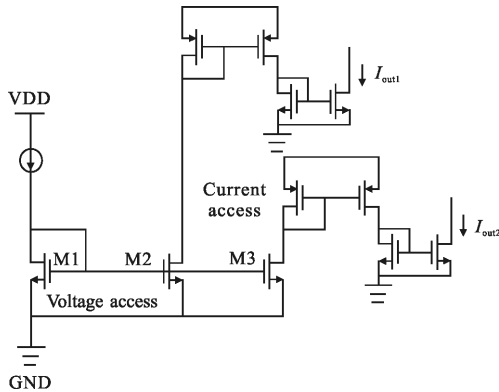
$$\frac{\Delta I_D}{I_D} = \frac{\Delta (W/L)}{W/L} - 2 \frac{\Delta V_{TH}}{V_{GS} - V_{TH}} \quad (6)$$

从上式可以看出, 电流失配对过驱动电压有一定的依赖。若过驱动电压  $V_{GS} - V_{TH}$  减小则电流会发生变化, 造成较大的电流失配。因此进一步考虑将 M1 管放在主偏置部分, 将 M2、M3 管放在各自要偏置的电路附近, 考虑到整个面阵, 物理距离将增大, 由于阈值电压会呈现出和横跨晶片元的距离有关的梯度关系, 因此会造成较大的电流失配。其次由于电源

内阻  $R_{s1}$ 、 $R_{s2}$  的存在, 输出电流对电源内阻的变化很敏感, 会导致  $V_{GS2} < V_{GS1}$ ,  $V_{GS3} < V_{GS1}$  且  $V_{GS2} \neq V_{GS3}$ , 也会造成电流的不均衡。因此通常会采用电压通路和电流通路相结合的电流镜电路, 如图 7(b)所示。通过级联的方式可以减小由于有限的厄尔利电压产生的增益偏差, 而且管子的漏极寄生电容也可以相对减小。



(a) 使用电压通路的电流镜电路  
(a) Diagram of current mirror circuit using voltage access



(b) 使用电压通路和电流通路相结合的电流镜电路  
(b) Diagram of current mirror circuit using voltage and current access

图 7 电流镜电路

Fig.7 Diagram of current mirror circuit

因此一种有效的偏置分配技术<sup>[8]</sup>是将整个 IC 分割成块, 其中偏置电流在块之间的通路, 偏置电压在块的内部, 即全局上用电流通路, 局部用电压通路, 区分全局和局部的标准是距离。当距离增加大到可能加剧失配和供给电阻时, 通路是全局的。反之, 则是局部的。基于这个原理, 为列共用电路的各级缓冲器设计了相应的  $N$  型或  $P$  型电流镜电路。由于 IMSTR\_ADJ 端口会通过一个保护电阻外接到 ESD

上, 因此设置时会有一定的分压。若设置 IMSTR\_ADJ 为 3.1 V, 则仿真结果如表 1 所示。

表 1 偏置电路的仿真结果

Tab.1 Simulation results of bias circuit

Port	ADJ	ADJR	$V_{B1}$	$V_{B2}$	$V_{B3}$
Voltage/V	3.10	2.00	0.71	2.29	0.81
Current/ $\mu$ A	3 650.00	10.27	-18.46	23.59	

在这种情况下, 若考虑列放大电路后面带 10 pF 的负载, 则列放大器的开环增益为 51.57 dB, 3 dB 带宽为 9.43 kHz, 单位增益带宽 3.74 MHz, 相位裕度为 88.54°, 信号建立时间为 0.72  $\mu$ s, 小于 1  $\mu$ s, 满足电路对列信号建立时间的要求。

### 3 芯片仿真及测试结果

由于单元电路有两档积分电容可选, 大电容模式下(1 档)有效积分电容为 2.27 pF, 小电容模式下(2 档)则为 1.58 pF, 电路分别针对两档选择模式对 4×4 面阵电路作了前仿和后仿仿真。仿真所设定的光电流从 10 pA~5 nA 之间在行的方向上均匀变化, 观察电路的输出变化。1 档模式下, 设置积分时间为 980  $\mu$ s, 芯片前仿输出摆幅 1.48 V, 后仿由于寄生参数的影响输出摆幅降低了 0.02 V。2 档模式下, 积分时间为 675  $\mu$ s, 芯片前仿输出摆幅为 1.45 V, 后仿的输出摆幅则为 1.43 V。图 8 展示了在 1 档和 2 档模式下 4×4 面阵电路的像元后仿输出与光电流的关系图。读出信号线性度良好, 经计算其非线性度小于 0.1%。

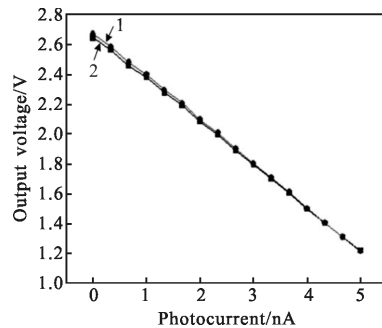


图 8 4×4 面阵中像元的后仿输出结果

Fig.8 Post simulation output results of 4×4 array pixel

整理电路的后仿结果并将其与 ISC0403<sup>[9]</sup>的电路性能进行了比较, 结果如表 2 所示。

表 2 该电路与 ISC0403 的性能比对

Tab.2 Performance comparison of this circuit and ISC0403

Performance	Circuit	ISC0403
Size/pixel pitch	640×512/15 μm	640×512/15 μm
Impedence/capacitor(detector)	1 GΩ/500 fF	≥ 1×10 <sup>4</sup> Ω·cm <sup>2</sup> / ≤ 100 fF
Input stage	DI	DI
Input current	10 pA–5 nA	10 pA–1 nA
Supply voltage	3.3 V	3.6 V
Output swing	1.43 V/1.46 V (300 K)	≈ 1.8 V±0.2 V(300 K) ≈ 2 V±0.2 V(80 K)
Charge capacity	14.1 Me <sup>-</sup> /20.6 Me <sup>-</sup>	≥ 6.5 Me <sup>-</sup>
Readout rate	10 MHz	12 MHz
Output number	4	1,2 or 4
Frame rate	108 Hz	>120 Hz
Power dissipation	≤ 110 mW	≤ 77 mW
Nonlinearity	≤ 0.1%	≤ 0.1%

从表 2 中可以看出, 电路提出的 2×2 四个像元共享积分电容的技术方案的饱和电荷容量可达 20 Me<sup>-</sup>/像元, 相比相同尺寸的 ISC0403 电路, 在电源电压低 0.3 V 的情况下, 最大饱和电荷容量提高了 3 倍多, 而且电路诸如读出速率、帧频、功耗、非线性度等性能也满足设计要求。

电路采用 CSMC 0.18 μm 1P4M 3.3 V 工艺加工流片, 对电路芯片作了常温下的初步测试。在同一输出缓冲器偏置下, 调节 IMSTR\_ADJ, 观察芯片的输出结果。图 9 和 10 分别是 IMSTR\_ADJ 取 2V 和 2.6V 时芯片输出的测试结果, 可以看出, 随着 IMSTR\_ADJ 的增加, 输出的基值在抬高。由上分析可知, IMSTR\_ADJ 越高则参考电流越小, 映射到每一级缓冲器的电流也越小, 而偏置电流越小, 则缓冲器的开环增益会变高, 信号的复制能力变好, 输出基值会略有抬高。负载管的过驱动电压会变小, 使其具有较小的饱和压降。但同时偏置电流减小, 会影响缓冲器的驱动能力, 增加信号的建立时间, 电路的初测结果与仿真分析吻合。芯片工作电流正常, 偏置开关可调, 对可见光有一定的响应, 在后续的工作中, 将完善芯片的单独测试及进一步与 15 μm 中心距的中波探测器倒焊连接做好完整的性能评估。

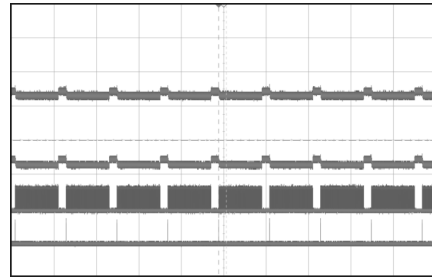


图 9 芯片的输出结果(IMSTR\_ADJ 取 2 V)

Fig.9 Output results of chip(IMSTR\_ADJ=2 V)

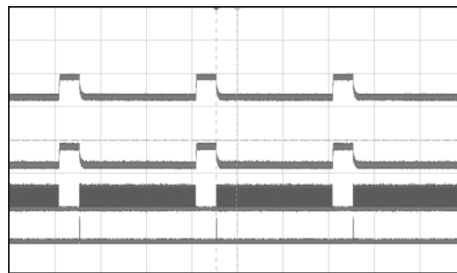


图 10 芯片的输出结果(IMSTR\_ADJ 取 2.6 V)

Fig.10 Output results of chip(IMSTR\_ADJ=2.6 V)

#### 4 结 论

文中设计了一款 640×512 面阵、15 μm 中心距的红外焦平面读出电路。该电路提出了 2×2 四个像元分时复用积分电容的电容共享技术方案, 使得电路有效电荷容量可达 20 Me<sup>-</sup>/像元, 相比国外相同尺寸的 ROIC(如 ISC0403)饱和电荷容量提高了二~三倍, 满足了对积分时间及信噪比的要求。同时, 为信号传输链路设计了相应的电流镜偏置电路, 可通过调节一个主偏和各级调节开关来实现各级缓冲器所需的偏置电流, 有利于实际应用。电路的后仿表明整体功能正常, 可满足小像元电路设计中大饱和电荷容量、低功耗、高线性度等要求。电路的初步常温测试验证了电路的基本功能, 在后续的工作中, 将进一步与 15 μm 中心距的中波探测器倒焊连接测试, 做好性能完整评估。

#### 参 考 文 献:

[1] He Li, Yang Dingjiang, Ni Guoqiang. Introduction to Advanced Focal Plane Arrays[M]. Beijing: National Defense Industry Press, 2010: 1–12. (in Chinese)  
何力, 杨定江, 倪国强. 先进焦平面技术导论 [M]. 北京: 国防工业出版社, 2010: 1–12.

- [2] Reibel Y. Large format, small pixel pitch and hot detectors at Sofradir[C]//SPIE, 2013, 8896: 8.
- [3] Vuillermet M, Pistone F. Latest developments in MCT infrared staring arrays at Sofradir [C]//SPIE, 2007, 6737: 673713.
- [4] Markovitz T, Pivnik I. Digital 640x512/15 $\mu$ m InSb detector for high frame rate, high sensitivity, and low power applications [C]//SPIE Defense, Security, and Sensing, 2011, 80122: 80122Y-10.
- [5] Horn S, Norton P, Carson K, et al. Vertically integrated sensor arrays VISA[C]//SPIE, 2004, 5406: 332-340.
- [6] Phillip E Allen, Douglas R Holberg. CMOS Analog Circuit Design[M]. 2nd ed. Beijing: Publishing House of Electronics Industry, 2011: 160-162.
- [7] He Lenian. Design and Simulation of Analog Integrated Circuit [M]. Beijing: Science Press, 2008: 104-109. (in Chinese)  
何乐年. 模拟集成电路设计与仿真 [M]. 北京: 科学出版社, 2008: 104-109.
- [8] Paul R Gray, Pual J Hurst. Analysis and Design of Analog Integrated Circuits[M]. 4th ed. Translated by Zhang Xiaolin. Beijing: Higher Education Press, 2005: 310 -315. (in Chinese)
- [9] ISC0403 Standard 640 $\times$ 512 ROIC (15  $\mu$ m $\times$ 15  $\mu$ m pixel) pecification[Z]. FLIR systems Corporation, 2005.