

5 Gbps 全差分双端光接收前置放大器设计

孙 洋, 黄启俊, 王 豪, 常 胜, 何 进

(武汉大学 物理科学与技术学院, 湖北 武汉 430072)

摘 要: 光纤通信在大数据时代得到广泛的应用, 其速度快、带宽大、可靠性高的特点满足了对长距离、大容量信息传输的要求。前置放大器作为光接收器的前端, 其性能高低直接影响到整个光接收系统的工作性能。基于 SMIC 0.13 μm CMOS 工艺, 设计完成了一款 5 Gbps 光接收前置放大器。首先, 整体差分式结构可以消除共模噪声的干扰, 降低放大器的等效输入噪声。其次, 采用共源共栅的输入结构具有低输入阻抗的特点, 能有效抑制光电管大电容带来的不利影响。最后, 输出级采用电流模逻辑结构, 解决了输出增益与带宽之间的矛盾。仿真结果表明, 放大器增益达到 62 dB Ω , 带宽 4.7 GHz; 等效输入噪声 30.1 pA/ $\sqrt{\text{Hz}}$, 眼图迹线清晰, 张开度较大, 能够满足 5 Gbps 平衡光探测器通信要求。

关键词: 前置放大器; 共源共栅结构; 平衡探测器; 光纤通信; 电流模逻辑

中图分类号: TN929.1 **文献标志码:** A **文章编号:** 1007-2276(2015)07-2137-06

Design of 5-Gbps full differential optical receiver pre-amplifier

Sun Yang, Huang Qijun, Wang Hao, Chang Sheng, He Jin

(School of Physics and Technology, Wuhan University, Wuhan 430072, China)

Abstract: Optical fiber communication has been adopted widely in big-data era, which can satisfy the long-distance and high-capacity needs with characteristics of fast speed, wide bandwidth and high reliability. As the front end of optical receiver, optical receiver pre-amplifier determines the performance of the whole receiver system. Based on SMIC 0.13 μm CMOS technology, a 5Gbps optical receiver pre-amplifier was completed in this work. At first, the full differential structure can eliminate the common-mode noise and reduce the input-referred noise. Then, in order to suppress the defect of large photodiode capacitance, Regulated Cascade (RGC) structure with low input impedance was exploited. The output buffer was realized with Common-Mode Logic structure that can balance the gain and bandwidth. The simulation results show the gain of 62 dB Ω and bandwidth of 4.7 GHz. Meanwhile, the amplifier has a input-referred noise of 30.1 pA/ $\sqrt{\text{Hz}}$. The eye diagram is clear and the opening is enough big, which can meet the communication demand of 5 Gbps balance detector system.

Key words: pre-amplifier; Regulated Cascade(RGC) structure; balance detector; optical fiber communication; Common-Mode Logic(CML)

收稿日期: 2014-11-15; 修订日期: 2014-12-17

基金项目: 中央高校基本科研项目(2042014kf0238); 国家自然科学基金(61204096, J1210061)

作者简介: 孙洋(1989-), 男, 硕士生, 主要从事 CMOS 模拟集成电路设计。Email: sunyang@whu.edu.cn

导师简介: 黄启俊(1965-), 男, 教授, 主要从事微电子器件与系统的设计和应用方面的教学科研工作。Email: huangqj@whu.edu.cn

0 引言

当今社会,信息成为最宝贵的资源,信息的传递也就成为科技人员的重要研究对象。光纤通信速度快、带宽大、可靠性高的特点使其发展迅速,在城市视频监控、高清视频传送、云计算、云存储等信息传送领域得到广泛应用。光纤通信的速度越来越快,带宽越来越大,从发展初期的 155 MHz 到 10 GHz、40 GHz,最新的光接收前置放大器带宽达到 100 GHz^[1]。

在大面积高速高灵敏度激光平衡探测系统中,前置放大器是电信号系统中的首个芯片,在整个光电转换模块中起到承前启后的作用。其前端是平衡探测器,把接收的光信号转换成微弱电信号。后端是电信号处理系统,其主要功能是将传输的光信号经平衡探测器转化后的微弱电流信号,有效地接入电压信号处理系统,并对其进行一定程度的放大。前置放大器的前端信号来自光电管,光电管作为信号输出端,具有高阻抗,因而适宜以电流作为输出信号,即要求前置放大器的输入端为低阻抗。由于前置放大器的输出信号为电压信号,即要求前置放大器的输出端具备低阻抗,同时为了和后端的主放大器进行匹配,需要具有较高的跨阻增益。前置放大器性能的好坏直接影响到整个系统的性能,所以,光接收模块前置放大器的设计非常重要。

目前,国外的研究方向主要包括以下几个部分。

(1) 采用最新的工艺实现更高性能的光接收前置放大器。如采用 65 nm、45 nm 甚至 28 nm SOI CMOS 工艺实现 40 Gbps 速率级的放大器^[2]。

(2) 运用新技术实现更低功耗的放大器芯片。随着芯片面积越来越小,功耗问题更显突出。如 Aflatouni 等实现的放大器功耗仅为 1.8 mW^[3]。

(3) 在同一块芯片上实现前置放大器和限幅放大器(TIA+LA)。集中实现光接收前端的两个放大器,有利于提高整个光接收系统的灵敏度。

(4) III-V 族半导体工艺实现高性能。InP、GaAs 的高电子迁移率等优异性能使实现超高性能的放大器成为可能,但是工艺实现复杂,成本较高。如 Charles Q. Wu 采用 Inp-InGaAs 异质结晶体管实现了 40 GHz 带宽的跨阻抗放大器^[4]。

另外,一些学者也致力于提高光接收放大器芯

片的频率稳定性、线性度和品质因数等方面的性能。

国内的研究相比国外落后,无论是结构还是性能都有一定的差距。主要的研究方向包括三个部分。

(1) 采用电容退化和电感峰化等技术实现高速率、高带宽的放大器芯片。如林少衡采用此种技术,实现带 AGC 功能 2.5 Gbps 接收机前置放大器^[5]。

(2) 实现宽输入动态范围的跨阻抗放大器芯片。如杨纯璞等完成的 2.5 Gbps 的前端放大电路动态输入范围为 1 μ A~1 mA^[6]。

(3) 通过并行技术实现高速的前置放大器芯片设计。如何子玮等实现的 12 路并行的 120 Gbps 的光接收前置放大器阵列^[7]。

国内采用的工艺也多为 0.18 μ m 以上的工艺,实现通用的单 PIN(Positive Intrinsic Negative diode)输入的前置放大器。

总体上,国内外共同的特点是前置放大器基本上都是通用型的设计,并且单端输入结构居多。0.13 μ m 工艺相比 0.18 μ m、0.35 μ m 工艺,工作的频率更高、稳定性更好、功耗更低。因此,设计中选用中芯国际 0.13 μ m CMOS 工艺作为设计的工艺库,并且前置放大器的结构属于不同于传统放大器的全差分的双端输入结构。

1 RGC 结构原理

RGC 是 Sung Min Park 提出的非常经典的一种结构^[8],如图 1 所示。

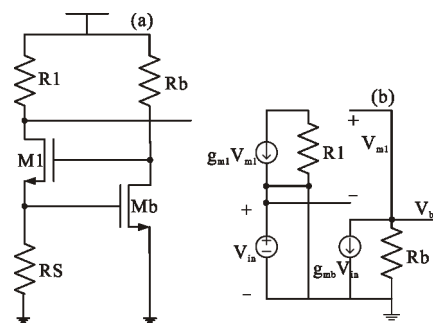


图 1 RGC 输入级及小信号模型

Fig.1 RGC input stage and small signal model

国内外的许多学者采用这种结构设计前置放大器,在性能上都取得了不错的结果。RGC 结构是指改进型的共源共栅结构,它的特点是输入阻抗小,输出阻抗大,增益较大,同时具有稳定的直流偏置。因

为光接收前置放大器工作的速度较高,所以经常采用这种结构。

(1) 稳定的直流偏置

RGC 结构由共栅级和增益提高级构成。其中 M1、RS、R1 构成了共栅级, Mb 和 Rb 构成共源级作为增益提高电路。从电路结构图中可以看出,共栅级的 MOS 管 M1 的偏置是由电路本身提供,并且电路结构中存在负反馈。因此,共栅级的直流偏置十分稳定,同时电路结构得到简化。这种结构对于适应宽输入动态范围的要求是十分必要和有意义的。

(2) 较小的输入电阻

RGC 结构的小信号等效电路如图 1(b)所示,可以计算出其输入电阻 R_{in}

$$R_{in} = \frac{V_m}{I_m} = \frac{1}{g_{m1}(1+g_{mb}R_b)} \quad (1)$$

等效跨导 G_m

$$G_m = g_{m1}(1+g_{mb}R_b) \quad (2)$$

输出节点的极点频率 f_{peak}

$$f_{peak} = \frac{1}{2\pi R_b(C_{gs1} + C_{gdb})} \quad (3)$$

RGC 结构的 -3 dB 带宽 $BW_{-3dB, RGC}$

$$BW_{-3dB, RGC} = \frac{1}{2\pi R_1 C_{dl}} \quad (4)$$

2 前置放大器设计实现

平衡探测器前端属于双 PD(Photo Diode)结构,对提高探测器系统灵敏度有很大帮助。整个前置放大电路框图如图 2 所示,主要包括三部分:首先是差分式 RGC 输入结构,功能是检测输入电流进行初步放大,反馈电阻 Rf 有利于降低增益灵敏度,减少放大器的非线性失真;中间增益放大级的作用是进一步提高增益,放大电压信号;最后,合适的阻抗匹配网络能够减

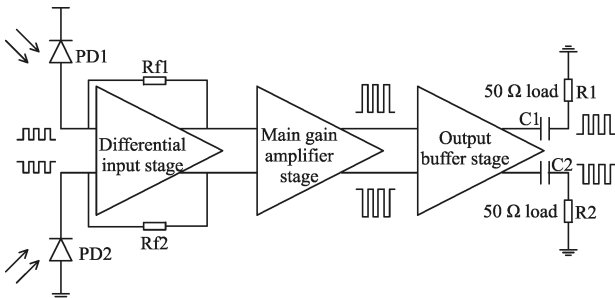


图 2 前置放大器整体框图

Fig.2 Diagram of pre-amplifier structure

少波反射,降低误码率,由输出缓冲级完成。

2.1 RGC 输入及中间增益放大级设计

中间增益放大级采用基本的差动放大对,双端 RGC 分别在差动对管 M6、M7 的栅极输入(图 3)。差动对管漏端采用阈值电压损失补偿 (TLC, Threshold-voltage Loss Compensation) 负载。每一个 PMOS M8、M9 交叉互连到源级跟随器 M10、M11,源级跟随器能够补偿 PMOS 的阈值损失。使漏极输出电压摆幅可以达到电源电压 VDD,如果 $V_{GS}(M10, M11) = V_{th}(M8, M9)$, PMOS 负载工作在线性区,小信号电阻 $1/g_m(M8, M9)$ 。

反馈电阻 Rf 一端连接在差动对管 M6/M7,在低供电电压时,可以达到较大的跨阻抗并且能够通过降低节点电阻得到较大的带宽和较低的串扰。同时,采用 MOS 管作电阻。电阻反馈到 RGC 输入级 MOS 管的栅极,能够起到有效的电流缓冲作用。较短的反馈路径能够减少延迟,提高放大器的抗抖动特性。

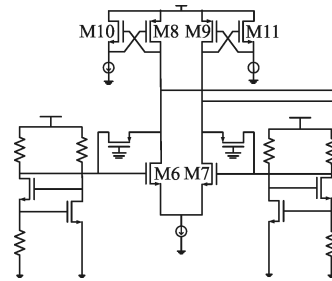


图 3 基于 RGC 结构的双端输入结构

Fig.3 Differential input structure based on RGC

2.2 中间增益放大级

中间增益级的作用是提高放大器的增益,就光接收前置放大器而言,整个增益主要是前两级完成的,所以选择高增益的结构十分重要(图 4)。但是随着工艺尺寸的降低,单个 MOS 管的跨导值非常小,因此这里采用 MOS 串联的共源共栅结构作为增益结构。

共源共栅结构的设计思路是将输入电压转化为电流,然后将它作为共栅极的输入。折叠式共源共栅运放可以包含 NMOS 输入器件和 PMOS 共源共栅晶体管。与 PMOS 作输入器件相比, NMOS 作输入器件的电路能够提供更高的增益,因为在 NMOS 晶体管中载流子速度更快。与套筒式共源共栅运放相比,

折叠式共源共栅运放能够提供更大的输出电压摆幅,有利于扩展输入信号的范围。但是,运放的性能之间都是相互影响、相互制约的,输出摆幅的提高是以较大的功耗、较低的极点频率为代价的。输入节点对应的极点由 $1/(g_m(M14)+g_{mb}M(14))$ 与这个节点的总电容的乘积决定,而这两个乘积项的数值均较大: M14 的跨导较低, M15 贡献的电容较大,因为它必须有较大的栅宽以传导 M14 和输入的电流。

在套筒式结构中,输入共模电平、PMOS 和 NMOS 共源共栅的栅极偏置电压需要仔细确定,而在折叠式结构中只需要确定 PMOS 和 NMOS 的共源共栅的栅极偏置电压。

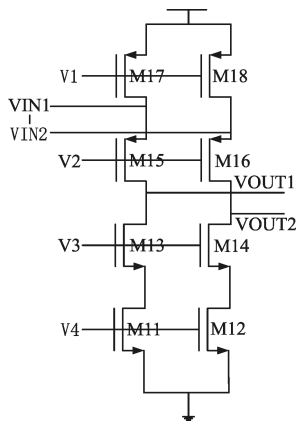


图 4 二级增益放大级

Fig.4 Second amplify stage

2.3 输出缓冲级设计

设计的光接收前置放大器,测试中的接口以及与其他电路连接都需要阻抗匹配。典型值为 $50\ \Omega$ 。因为要达到足够的输出幅度,要求的输出电流较大。对于模拟集成电路设计,大电流意味着大尺寸,实现大带宽成为难题。良好的输出缓冲级设计能够最大程度地减少波反射,降低误码率。

电流模逻辑(CML, Current-Mode Logic)与 CMOS 电路相比能够工作在更小的信号电压,同时能在低供电电压下得到更高的工作频率(图 5)。由图 5 可以看出,输出电压的最大摆幅是 $V_{odm}=I_{ss}R$,即只是漏极电阻和尾电流的函数^[9]。很明显,CML 缓冲器的最大摆幅小于 CMOS 反相器,而使这种类型的缓冲器成为低功耗集成电路设计的一个理想选择。

当尾电流开始工作在饱和区时,可以得到最小的

共模输入电压 $V_{in,CMmin}$ 。当 NMOS 管 MN1 和 MN2 中的任何一个截止时,得到最大的共模输入电平。

$$V_{GS,12}+(V_{GS3}+V_{THN})\leq\min[V_{DD}-R_D\frac{I_{SS}}{2}+V_{THN},V_{DD}] \quad (5)$$

式中: $V_{GS,12}$ 为晶体管 MN1 和 MN2 的共模过驱动电压。类似地,输出共模电平从 V_{DD} (MN1 和 MN2 截止, MN3 工作在线性区)到 $V_{DD}-R_{D}I_{SS}/2$ (所有晶体管饱和)。输出共模电平从 V_{DD} 到 $V_{DD}-R_{D}I_{SS}/2$ 的过渡是由 MN1 和 MN2 的亚阈值电流决定的。当然,负载电阻必须小,以减小 RC 延迟和增加带宽。考虑到一个已经定义的输出电压摆幅和由匹配电阻决定的 R_d ,很容易计算出偏置电流的大小。例如,差分输出电压摆幅 $0.4\ V$,驱动 $50\ \Omega$ 阻抗匹配,那么偏置电流的大小为 $8\ mA$ 。

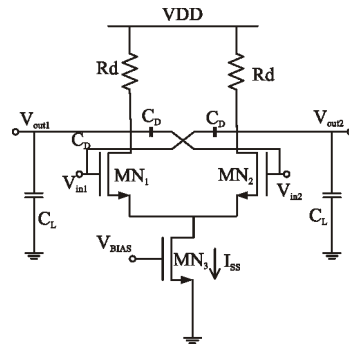


图 5 CML 结构

Fig.5 CML structure

2.4 带宽扩展技术

因为设计的前置放大器带宽不能达到要求,经常会采用带宽扩展技术。常见的带宽扩展技术包括倍频技术、电容退化技术、有源电感技术以及电感峰化技术。通常来说,电感峰化技术的扩展效果最为显著,所以在设计中采用电感峰化技术。

在宽带放大器的设计中,并联峰化是一种常用的拓展带宽技术,它是一种能够满足大带宽低成本的一项技术,至少从 1970 年开始它就被应用在无数的电视机解决方案中。从本质上考虑,并联峰化放大器的简图如图 6 所示^[10]。

这个放大器是标准的共源结构,负载上另外附加了电感。如果假定 MOS 管是理想的,那控制带宽的因素有 R, L , 和 C_{ot} 。电容 C_{ot} , 表示输出节点对地的总电容, R 是输出节点对地的等效负载,电感 L 能使得带宽扩展,下面将具体阐述原理。

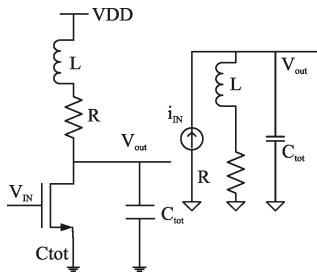


图 6 并联峰化放大器及其小信号模型

Fig.6 Shunt peaking amplifier and small signal model

根据建议, 建立小信号的放大器模型如图 6 所示。根据放大器的基本知识, 简单的共源放大器的增益正比于 MOS 管跨导 g_m 与负载电阻 R 的乘积。在实际应用中, 输出节点上会加上电容负载, 那么输出阻抗就是容性的。即, 随着电路工作频率的上升, 阻抗的容性越明显, 阻抗当然也就越小。最终, 放大器的增益随着频率增加而减小。此时, 如果在电路中的负载电阻上再串联一个电感, 也就在电路中引入一个零点。电感和电阻的阻抗会随着频率的增加而增加, 就可以弥补电容阻抗下降的损失, 减缓增益的下降, 从而达到扩展带宽的目的。

3 前置放大器仿真结果分析

电路设计完成之后, 对放大器进行了一系列的仿真分析, 包括瞬态波形仿真、交流仿真分析、眼图测试以及噪声分析。正确合理的前端仿真结果为后端设计提供了可靠的保证。

3.1 瞬态仿真结果分析

对电路作瞬态仿真分析, 观察输入输出的波形, 便于从直观上了解放大器的放大性能, 包括增益、线性度等重要参数(图 7)。仿真设置时, 输入信号为 5Gbps

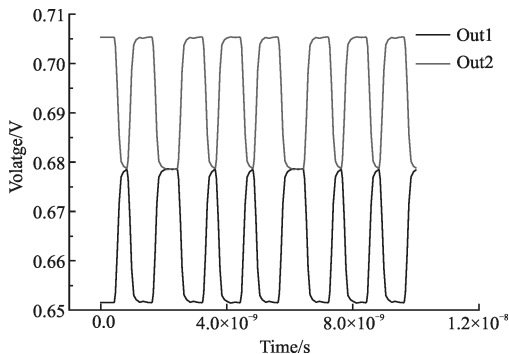


图 7 瞬态响应

Fig.7 Transient response

的伪随机序列, 直流偏置 1 mA, AC 幅值 $100 \mu A$ 。在输入电流源上并联了 500 fF 的电容, 模拟 TIA 实际工作环境下各种因素引入的电容。

从仿真可以看出, 输出的波形被放大, 输出的峰峰值为 120 mV。 $120 \text{ mV} / 100 \mu A = 1200 \Omega$ 跨阻抗增益。

3.2 交流仿真结果分析

通过直流和瞬态仿真, 可以确定电路的直流工作点。接下来, 要得到放大器电路的小信号增益和带宽信息, 可以采用交流仿真分析。通过 AC 分析幅频和相频响应, 可以得到在频域内小信号增益的变化情况、带宽信息以及相位随频率的变化情况。这里, 前置放大器的增益单位是 $\text{dB}\Omega$ 。如图 8 所示。

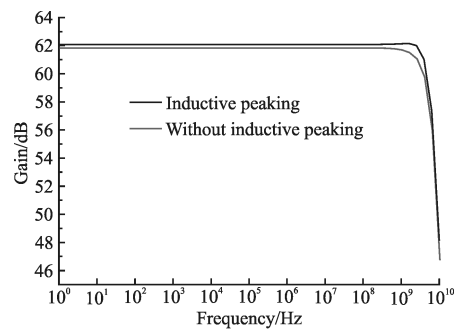


图 8 AC 响应比较

Fig.8 Comparison of AC response

从 AC 仿真分析可知, 带宽扩展前后, -3 dB 带宽分别都能达到 3.5 GHz、4.7 GHz。而对于 5 Gb/s 的通信系统, 3.5~4.0 G 的带宽即能满足其通信。所以, 这样的带宽留有冗余, 足以满足平衡探测器的 5 Gbps 的数据传输速率要求。

3.3 噪声分析

等效输入噪声是衡量放大器系统抗噪性的重要参考。仿真得到的等效输入噪声如 9 图所示。等效输

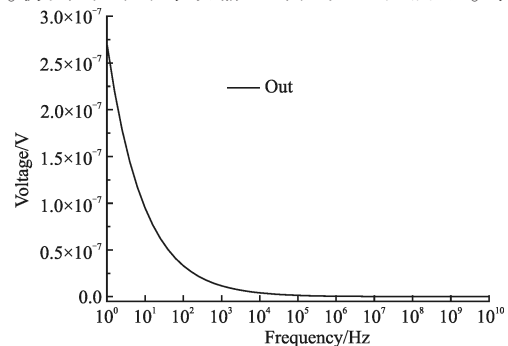


图 9 等效输入噪声

Fig.9 Input-referred noise

入噪声 $30.1 \text{ pA}/\sqrt{\text{Hz}}$, 达到较低的噪声标准。

4 版图及后仿真分析

依据版图设计的基本规则、高速版图设计的特殊要求以及代工厂自身的版图规则,设计完成 5 Gbps 前置放大器的版图,如图 10 所示。工作电压 1.2 V,功耗 90 mW,版图面积 $1 \text{ mm} \times 1.2 \text{ mm}$ 。

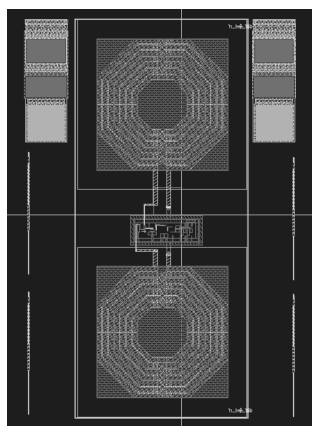


图 10 核心区域版图

Fig.10 Core layout of amplifier

流片之后,测试芯片的性能优劣,最常用的手段就是测试不同速率下的眼图。从眼图的形态和测试仪器中的相关参数,就可以大致判断芯片存在的问题。如果眼图的迹线很粗,并且模糊不清,说明电路中噪声较大,噪声叠加在信号上导致迹线不清晰。如果眼图张开度较小,则可以说明码间串扰较严重。通常来说,一个具有优异性能芯片,它的眼图必定会迹线清晰,眼图端正且张开度大^[11]。

后仿真得到的眼图如图 11 所示。可以看出,眼图迹线清晰,张开度较大,峰峰值 15 mVpp,能够满足 5 Gbps 通信要求。

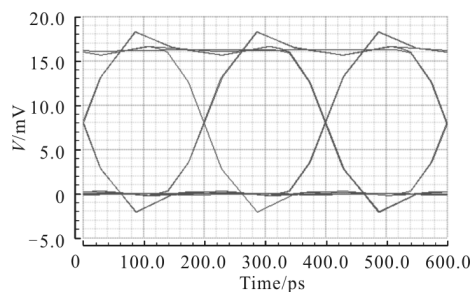


图 11 后仿真眼图

Fig.11 Post-simulation eye diagram

5 结论

采用 SMIC 0.13 μm CMOS 工艺,设计完成的全差分式双端光接收前置放大器能够适用于 5~6.7 Gbps 的光接收系统。采用低输入阻抗的双端 RGC 输入级结构,放大器带宽达到 4.7 GHz 的同时实现跨阻抗增益 $62 \text{ dB}\Omega$ 。差分式结构能够有效地抑制共模干扰,等效输入噪声密度 $30.1 \text{ pA}/\sqrt{\text{Hz}}$ 。输出缓冲级提供足够的驱动电流,直接连接 50Ω 负载。同时,后仿真眼图效果较好,预计流片后将用于双 PD 差分光接收机通信系统。

参考文献:

- [1] Olsson B, Martensson J, Alping A. RF-assisted transmitter and receiver for 100G optical transmission [C]//Microwave Photonics, 2011 International Topical Meeting on & Microwave Photonics Conference, 2011: 180-183.
- [2] Joohwa Kim, Buckwalter J F. A 40-Gb/s optical transceiver front-end in 45 nm SOI CMOS [J]. *Solid-State Circuits, IEEE Journal of*, 2012, 47(3): 615, 626.
- [3] Aflatouni F, Hashemi H. A 1.8 mW Wideband 57 dB transimpedance amplifier in 0.13 μm CMOS [C]// Radio Frequency Integrated Circuits Symposium, 2009: 57-60.
- [4] Wu C Q, Sovero E A, Massey B. 40 GHz transimpedance amplifier with differential outputs using InP/InGaAs heterojunction bipolar transistors [C]//Gallium Arsenide Integrated Circuit (GaAs IC)Symposium, 24th Annual Technical Digest, 2002: 63-66.
- [5] Lin Shaoheng. A 0.18 μm CMOS 2.5 Gbps front-end amplifier with AGC function [J]. *China Integrated Circuit*, 2011(8): 53-58. (in Chinese)
- [6] Yang Chunpu. Design of 2.5 Gb/s wide dynamic range optical receiver front-end[J]. *Semiconductor Optoelectronics*, 2012, 33(6): 24-27. (in Chinese)
- [7] He Ziwei. CMOS preamplifier array for a 12X10 Gb/s parallel optical receiver design [J]. *Optical Communication Technology*, 2009, 33(8): 5-7. (in Chinese)
- [8] Park S M, Yoo H J. 1.25-Gb/s regulated cascode CMOS transimpedance amplifier for gigabit ethernet applications[J]. *Solid-State Circuits, IEEE Journal of*, 2004, 39(1): 112-121.
- [9] Xu Hui, Feng Jun, Liu Quan. Design of 2.5 Gb/s wide dynamic range pre-amplifier in 0.35 μm CMOS[J]. *Optical Communication Technology*, 2010, 34(3): 8-11. (in Chinese)
- [10] Jin Jie. 0.18 μm CMOS 10Gb/s optical receiver preamplifier [D]. Nanjing: Southeast University, 2004. (in Chinese)
- [11] Razavi B. Design of Integrated Circuits for Optical Communication [M]. Beijing: Tsinghua University Press, 2003. (in Chinese)