

应用于 10 Gb/s 光接收机的全差分 CMOS 跨阻前置电路设计

王巍, 武透, 冯其, 颜琳淑, 王川, 王冠宇, 袁军, 王振

(重庆邮电大学 光电工程学院, 重庆 400065)

摘要: 设计了一种的低成本、低功耗的10 Gb/s 光接收机全差跨阻前置放大电路。该电路由跨阻放大器、限幅放大器和输出缓冲电路组成,其可将微弱的光电流信号转换为摆幅为 400 mVpp 的差分电压信号。该全差分前置放大电路采用 0.18 μm CMOS 工艺进行设计,当光电二极管电容为 250 fF 时,该光接收机前置放大电路的跨阻增益为 92 dB Ω , -3 dB 带宽为 7.9 GHz, 平均等效输入噪声电流谱密度约为 23 pA/(0~8 GHz)。该电路采用电源电压为 1.8 V 时,跨阻放大器功耗为 28 mW,限幅放大器功耗为 80 mW,输出缓冲器功耗为 40 mW,其芯片面积为 800 μm ×1 700 μm 。

关键词: 光接收机; CMOS 前置放大电路; 跨阻放大器; 限幅放大器

中图分类号: TN46 **文献标志码:** A **文章编号:** 1007-2276(2015)05-1587-06

Design of a fully differential CMOS transimpedance preamplifier for 10 Gb/s optical receiver

Wang Wei, Wu Wei, Feng Qi, Yan Linshu, Wang Chuan, Wang Guanyu, Yuan Jun, Wang Zhen

(College of Electronics Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, China)

Abstract: A low cost and low power consumption optical receiver differential transimpedance preamplifier for 10 Gb/s high-speed optical communications application was presented. The preamplifier includes a transimpedance amplifier (TIA), limiting amplifier (LA), and output buffer, the weak photo-current was amplified by the preamplifier to a differential voltage swing of 400 mVpp. The preamplifier was designed in 0.18 μm CMOS technology. The receiver preamplifier circuit is with a transimpedance gain of up to 92 dB Ω and -3 dB bandwidth of 7.9 GHz, which accommodates a photodiode capacitor of 250 fF. The noise simulation result shows that the average input-referred noise current spectral density is 23 pA/up to 8 GHz. The power dissipation of transimpedance amplifier, limiting amplifier and output buffer respectively drain is 28 mW, 80 mW, and 40 mW from the 1.8 V supply respectively. The chip size is 800 μm ×1 700 μm .

Key words: optical receiver; CMOS preamplifier; transimpedance amplifier; limiting amplifier

收稿日期: 2014-09-24; 修订日期: 2014-10-29

基金项目: 重庆市电子产业发展基金

作者简介: 王巍(1967-), 教授, 博士, 主要从事半导体光电、集成电路设计方面的研究。Email: frankwangw@163.com

0 引言

随着光通信系统的高速发展,对高速、低成本、低功耗、高集成度的光电集成电路的需求日益剧增。基于 CMOS 工艺的单片光电集成光接收机将光电探测器、前置放大电路、数字信号处理电路等集成在一块芯片上,其可最大程度地消除导致系统性能恶化的诸如由压焊引线与压焊盘所引入的寄生参数,从而提高接收机的性能,减小芯片面积和成本^[1]。目前,CMOS 光电集成接收机的研究已取得了很大的进展,但其性能指标仍达不到实际应用的要求,主要原因是 CMOS 光电探测器的低响应度和 CMOS 器件严重的寄生电容、较低的跨导和较差的噪声等缺点限制了 CMOS 前置放大电路的广泛应用^[2-3]。

文中采用 0.18 μm CMOS 工艺,设计了一款可应用于 10 Gb/s 单片集成光接收机的全差分跨阻前置放大电路。该电路采用差分电路结构来抑制共模噪声和提高稳定性,引入峰化电感扩展电路的带宽。另外,对芯片的面积、功耗、带宽以及噪声等性能进行了折中设计。

1 前置放大电路设计

光接收机的前置放大电路主要由跨阻放大器(TIA)、限幅放大器(LA)以及输出缓冲级(Buffer)组成,文中设计的 10 Gb/s 跨阻前置放大电路的整体结构如图 1 所示。其中,TIA 将微弱的光电流转换为约几毫伏的电压信号,其输出电压将被后级的 LA 进一步放大到几百毫伏。

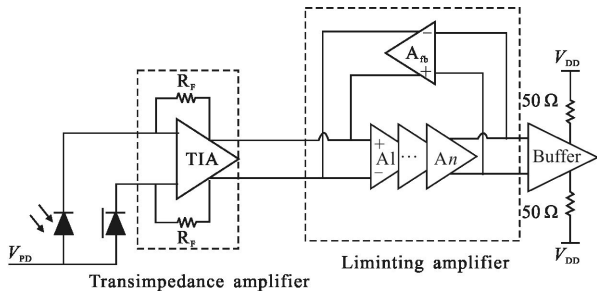


图 1 光接收机前置放大电路结构

Fig.1 Block diagram of the proposed preamplifier circuit for optical receiver

首先,设计了一种全差分 TIA,如图 2 所示。为获得最佳的跨阻增益、带宽、噪声以及功耗等性能的

折中效果,电路结构中采用电感峰化技术来补偿频率响应特性和增加带宽。

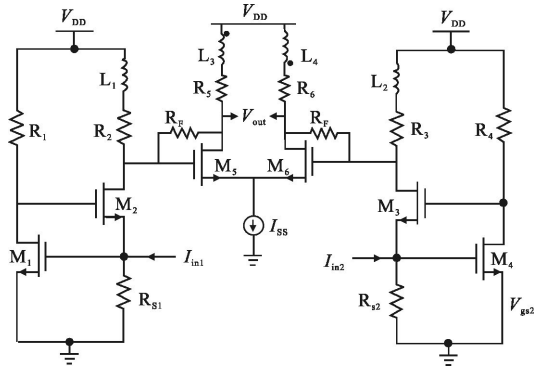


图 2 跨阻放大器电路图

Fig.2 Schematic of proposed transimpedance amplifier

其次,采用一种常用限幅放大器来增大输出信号摆幅。该限幅放大器由多级有源反馈 Cherry-Hooper 电压增益单元级联组成。

在进行测试时需要增加 50 Ω 的输出缓冲级来驱动测试仪器。考虑到输出缓冲级的寄生电容对电路带宽的影响,采用了 f_T -doubler 结构的输出缓冲级。

由于 TIA 与 LA 间采用直接耦合,不需要增加外部的耦合电路来消除干扰噪声。另外,在 TIA 输出和 LA 的输入端不采用宽带匹配网络进行阻抗匹配,降低了功耗和 Buffer 的增益损耗。下面对 TIA 和 LA 电路进行详细分析。

1.1 RGC-TIA 电路

文中所设计的 TIA 电路采用 RGC 结构作为输入级,以改善输入带宽和降低输入结点的电容对电路带宽的限制。考虑到电路码间干扰(ISI)和噪声性能的折中,要求 TIA 的-3dB 带宽约为传输速率的0.7~0.8 倍,即 10 Gb/s 的数据传输带宽要达到 7~8 GHz。但由于 0.18 μm CMOS 工艺的截止频率 $f_T \approx 49$ Hz,限制了 TIA 电路的高增益和带宽性能。因此通过增加并联电感扩展各级的带宽以满足 10 Gb/s 的数据传输速率。

RGC 结构因其具有很低的输入阻抗而被广泛应用于宽带跨阻放大器的输入级^[4],其电路结构和小信号等效电路如图 3 所示。

由图 3 可推导出 RGC 输入级的输入阻抗为:

$$R_{in} = \frac{1}{g_{m1}(1+g_{n2}R_2)} \tag{1}$$

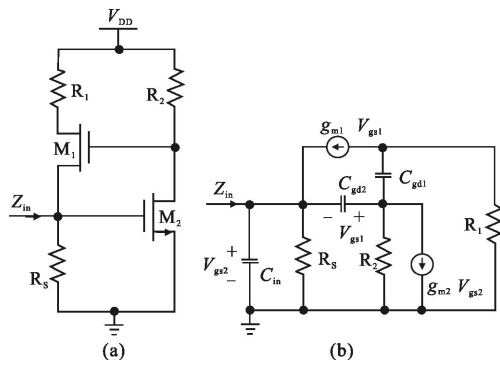


图 3 RGC 电路及其小信号等效电路模型

Fig.3 RGC circuit and small-signal equivalent circuit

其跨阻增益为:

$$Z_T(s) = \frac{R_1}{\left[1 + s \frac{C_{in}}{g_{m1}(1 + g_{m2}R_2)}\right] \left[1 + s \frac{C_{gs1} + C_{gs2}}{g_{m1}}\right]} \quad (2)$$

式中: $C_{in} = C_{gs2} + C_{sb1}$ 。从公式(1)中可以看出,RGC 结构具有极小的输入电阻,比共栅结构还小,是共栅放大器的 $1/(1 + g_{m2}R_2)$ 倍,增大 $g_{m2}R_2$ 可以减小小输入电阻,从而更有效地隔离光电探测器的寄生电容,使得放大器具有较宽的带宽。如图 4 所示,在输入节点的电容为 250 fF 和 500 fF 时,该 RGC-TIA 放大电路的 3 dB 带宽分别为 7.1 GHz 和 6.2 GHz,由此可以看出 RGC 结构能有效隔离输入节点的寄生电容,保证电路有足够的带宽。

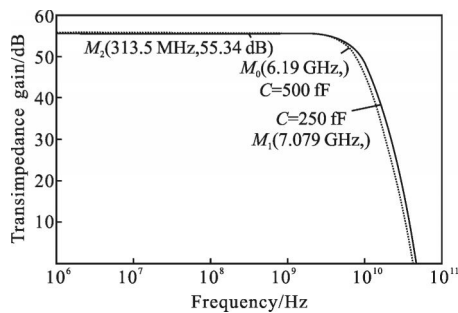


图 4 TIA 电路的频特性

Fig.4 Frequency response of TIA

1.2 限幅放大器及输出缓冲级

限幅放大器(LA)作为一个独立模块,其必须提供较大的输出电压摆幅给后级的数据判决电路。

通常, n 级放大单元级联是实现高速限幅放大电路的一种广泛使用的方法,特别是当一个放大单元不能提供足够增益时。对于电压增益单元级数的选择,需考虑带宽和增益的折中。其中, n 级放大器

的总增益为^[5]:

$$A_{total} = A_{cell}^n \quad (3)$$

总带宽为:

$$BW_{total} = BW_{cell} \sqrt[2]{2^{1/n} - 1} \quad (4)$$

每级增益单元的带宽与增益的关系可用增益带宽积(GBW)来表示:

$$GBW_{cell} = BW_{cell} \times \left(\frac{1}{2^{1/n} - 1}\right)^{1/4} \times A_{cell}^{1/n} \quad (5)$$

为了得到带宽为 10 GHz、增益为 40 dB 的 LA,采用了 3 级电压增益单元。在 LA 设计中,采用电感峰化技术^[6]扩展 LA 的带宽以满足设计要求。

在参考文献[7]中列举了 n 级电压放大单元所需的带宽和增益,可以观察到 $n=4$ 时,带宽是最佳的。然而,考虑到 n 和电路的输入参考噪声间的关系,希望电压放大器的级联数尽可能的少,因为噪声随着每级的增益降低而逐渐增大。

光接收机的灵敏度取决于前置放大电路的等效输入噪声电流 $\overline{I_{n,in}^2}$:

$$\overline{I_{n,in}^2} = \overline{I_{n,TIA}^2} BW_{TIA} + \frac{\overline{V_{n,LA}^2} BW_{PA}}{T_z^2} \quad (6)$$

式中: T_z^2 为 TIA 的跨阻增益; $\overline{I_{n,TIA}^2}$ 和 $\overline{V_{n,LA}^2}$ 分别为 TIA 和 LA 的等效输入噪声电流和等效输入噪声电压; BW_{TIA} 和 BW_{LA} 分别为其噪声带宽。为了提高电路的灵敏度,除了减小 TIA 的噪声电流外,还要尽可能地提高 TIA 电路的跨阻增益和降低 LA 的噪声。

基于上述分析,文中采用基于有源反馈的 Cherry-Hooper 放大器^[8]作为 LA 的电压增益单元,其电路结构如图 5 所示。图中,设 $M_{1,2}$ 和 $M_{3,4}$ 的漏极寄生电容分别为 C_1 和 C_2 ,差分对 $M_{1,2}$ 和 $M_{3,4}$ 的跨导为 G_{m1} 和 G_{m2} ,有源反馈 M_{f1} 和 M_{f2} 的跨导为 G_{mf} ,其电压增益^[5-6]可表示为:

$$\frac{V_{out}}{V_{in}} = \frac{A_w \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \quad (7)$$

其中

$$A_w = \frac{G_{m1} G_{m2} R_1 R_2}{1 + G_{m2} G_{mf} R_1 R_2} \quad (8)$$

$$\zeta = \frac{1}{2} \frac{R_1 C_1 + R_2 C_2}{\sqrt{R_1 R_2 C_1 C_2 (1 + G_{m2} G_{mf} R_1 R_2)}} \quad (9)$$

$$\omega_n = \sqrt{\frac{1 + G_{m2} G_{mf} R_1 R_2}{R_1 R_2 C_1 C_2}} \quad (10)$$

电路的带宽增益可表示为:

$$GBW=A_{v0}\omega_{-3\text{dB}}=\frac{G_{m1}G_{m2}}{\omega_{-3\text{dB}}C_1C_2} \quad (11)$$

$$G_{m1}/C_1 \approx G_{m2}/C_2 \approx 2\pi f_T \quad (12)$$

$$A_{v0}\omega_{-3\text{dB}}=f_T \frac{f_T}{f_{-3\text{dB}}} \quad (13)$$

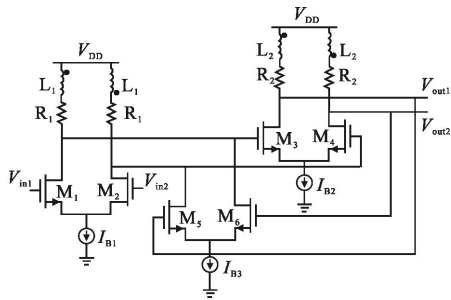
为了得到最平坦的巴特沃斯响应, 则 $\zeta=\sqrt{2}/2$, $\omega_{-3\text{dB}}=2\pi f_{-3\text{dB}}=\omega_n/2\pi$ 。由上述可得该增益单元的 GBW 为:

$$A_{v0}\omega_{-3\text{dB}}=\frac{G_{m1}G_{m2}}{\omega_{-3\text{dB}}C_1C_2} \quad (14)$$

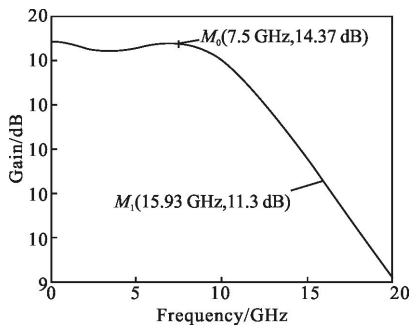
当 $G_{m1}/C_1 \approx G_{m2}/C_2 \approx 2\pi f_T$ 时, 上式可表示为:

$$A_{v0}\omega_{-3\text{dB}}=f_T \frac{f_T}{f_{-3\text{dB}}} \quad (15)$$

从上述分析可以看出, 采用有源反馈可增加该增益单元的带宽。该增益单元的仿真幅频特性(无电感时)如图 5(b)所示, 其中频增益 $A_v \approx 14.37\text{ dB}$ 、3 dB 带宽 $BW_{\text{cell}} \approx 15.93\text{ GHz}$ 。根据系统指标, 从仿真原



(a) 电路结构
(a) Schematic



(b) 频率特性
(b) Frequency response

图 5 有源反馈 Cherry-Hooper 限幅放大器

Fig.5 Cherry-Hooper limiting amplifier with active-feedback

理图中提取电路参数可得: $G_{m1}=26.7\text{ mS}$ 、 $G_{m2}=22.4\text{ mS}$ 、 $G_{m3}=2.4\text{ mS}$ 、 $R_1=100\ \Omega$ 、 $R_2=170\ \Omega$, 将上述数值带入公

式(8)和(10)中得到单级增益单元的中频增益和带宽分别为 $A_{v0}=14.5\text{ dB}$, $\omega_n=f_{-3\text{dB}}=17.9\text{ GHz}$ 。增益 A_v 的数值计算结果和仿真结果基本一致。

为了减小码间干扰(ISI), LA 的 -3 dB 带宽与传输速率相当, 即 LA 的带宽要达到 10 GHz 左右。文中采用三级有源反馈 Cherry-Hooper 增益单元级联的方式实现了中频电压增益为 42 dB、-3 dB 带宽为 10.9 GHz 的限幅放大器, 能满足设计要求, 其幅频率特性如图 6 所示。

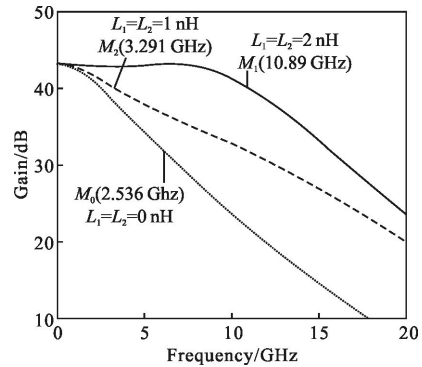


图 6 限幅放大器的频率特性
Fig.6 Frequency response of LA

将 BW_{cell} 带宽值代入公式(4)可推出理想的三级增益单元级联的带宽为 $BW_{\text{total}}=8.12\text{ GHz}$ (没有考虑负载的影响), 而仿真得到的 3 dB 带宽只有 $BW=2.54\text{ GHz}$ 。这是由于后级放大单元的负载的影响降低了多级放大器的整体带宽, 因此文中采用并联电感峰化技术有效地降低了负载和寄生参数对带宽的限制, 如图 6 所示。

在单片集成光接收机前置电路设计中, 由于测试需要, 通常增加输出缓冲级实现输出阻抗与传输线阻抗相匹配。该设计中采用 f_T -doubler 结构作为输出缓冲级, 如图 7 所示。

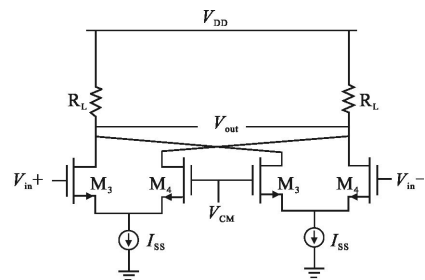


图 7 输出缓冲级电路

Fig.7 Output buffer circuit

缓冲级的负载电阻通常取 75Ω,由于负载阻抗较小,需增加尾电流源的电流(约 20~25mA)。另外, f_T -doubler 缓冲级该结构可消除容性负载对 LA 性能的影响。在保持增益不变的情况下,其输入电容减小为 $(1/2)C_{gs3}$ 。

2 仿真结果分析与讨论

文中设计的 10 Gb/s 光接收机的跨阻前置放大电路将 TIA 和 LA 集成在同一芯片上,图 8 给出了整个前置放大电路的幅频特性曲线。由图中可知,该前置放大电路的总跨阻增益为 92 dBΩ, -3 dB 带宽为 7.93 GHz。等效输入噪声电流谱密度约为 23 pA/(0~8 GHz),如图 9 所示。图 10 分别给出了 5、10、20 Gb/s 时的眼图,其测试条件均为输入电流为 20 μA。从图中可知,在 5 Gb/s 和 10 Gb/s 伪随机电流信号时,眼开良好,眼皮较薄,整个眼图对称清晰。在 20 Gb/s 伪随机电流信号时,由于带宽的限制,其眼图发生闭合,有严重的码间干扰(ISI)现象。

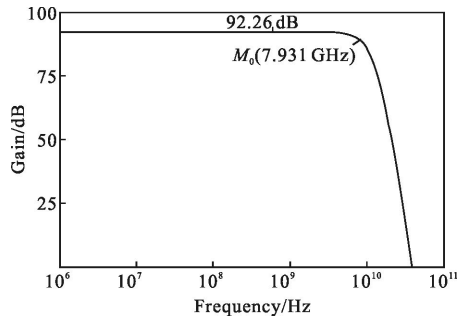


图 8 前置放大电路的频率特性

Fig.8 Frequency response of preamplifier

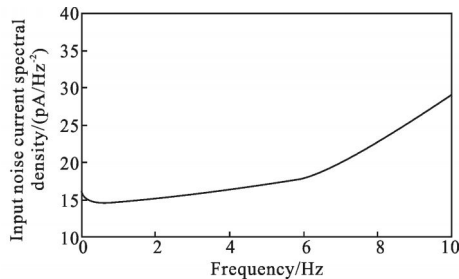


图 9 等效输入电流噪声谱密度

Fig.9 Equivalent input noise current spectral density

该电路采用 0.18 μm CMOS 工艺,电源电压为 1.8 V,功耗为 148 mW(输出缓冲级的功耗为 40 mW),芯片尺寸为 800 μm×1 700 μm,该芯片的版图如图 11 所示。

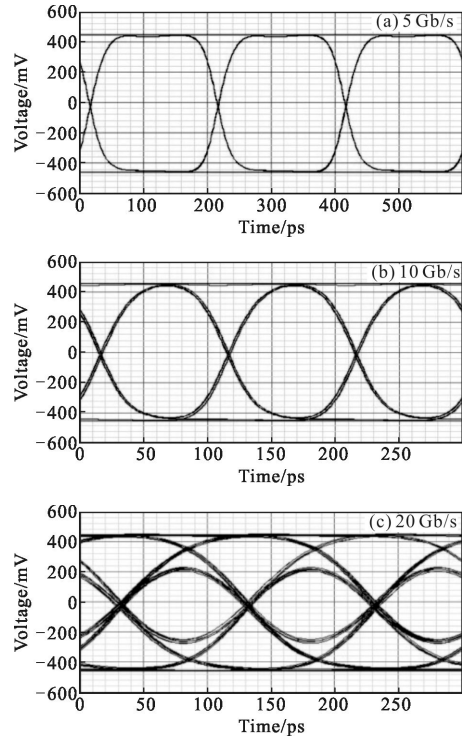


图 10 不同速率时的输出眼图($I_n=20 \mu A$)

Fig.10 Eye diagram for different data rates($I_n=20 \mu A$)

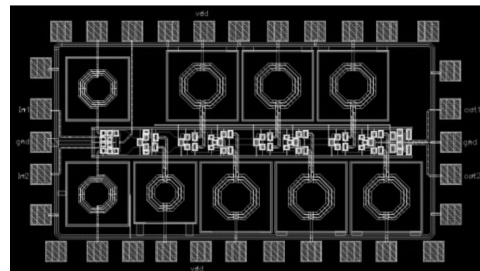


图 11 光接收机前置放大电路版图

Fig.11 Chip layout of optical receiver preamplifier

文中与参考文献[9-11]设计的光接收机前置放大电路的性能比较如表 1 所示。从表中可以看出,文

表 1 10 Gb/s CMOS 跨阻前置放大电路性能对比
Tab.1 Performace comparison of reported 10 Gb/s COMS transimpedance preamplifiers

Parameter	Ref.[9]	Ref.[10]	Ref.[11]	This work
CMOS process/μm	0.18	0.18	0.13	0.18
Z_T /dBΩ	87	90	100	92
C_m /fF	-	206	210	250
BW /GHz	7.6	6.9	6	7.9
Power dissipation /mW(TIA+LA)	170	118	66.8	108
Area/mm ²	1.85	0.76	0.26(core)	1.36
Function	PD+TIA+LA	TIA+LA	PD+TIA+EQ+LA	TIA+LA

中所设计的电路在跨阻增益、功耗和带宽等性能指标上均表现的较为均衡。

3 结论

文中设计了一款应用于 10 Gb/s 光接收机的全差分前置放大电路。采用了调节型共源共栅结构作为输入级来降低输入节点的负载效应,并结合并联电感峰化技术扩展了电路的带宽。采用 0.18 μm CMOS 工艺对电路进行了仿真分析,实验结果表明,该前置放大电路的跨阻增益为 92 dB Ω , -3 dB 带宽为 7.9 GHz,等效输入噪声电流谱密度小于 23 pA/(0~8 GHz),其输入噪声电流约 1.5 μA ,能满足 10 Gb/s 低压、低功耗光接收机的应用要求。

参考文献:

- [1] Hermans C, Tavernier F, Steyaert M. A gigabit optical receiver with monolithically integrated photodiode in 0.18 μm CMOS [C]//Proceedings of the 32nd European Solid-State Circuits Conference(ESSCIRC), 2006: 476-479.
- [2] Hermans C, Michiel S J. A high-speed 850 nm optical integrated receiver with a spatially modulated photodetector[J]. *IEEE Photo Technol Lett*, 2005, 17: 1268-1270.
- [3] Yu Changliang, Mao Luhong, Xiao Xindong, et al. A standard CMOS, fully differential transimpedance amplifier with an integrated differential photodetector for optical communication and interconnection [J]. *Science China: Information Science*, 2010, 40(9): 1281-1292. (in Chinese)
- [4] Park S M, Yoo H J. 1.25 Gb/s regulated cascode CMOS transimpedance amplifier for gigabit ethernet applications[J]. *IEEE J Solid State Circuits*, 2004, 39(1): 112-121.
- [5] Razavi B. Design of Integrated Circuit for Optical Communications [M]. New York: The McGraw-Hill Companies, Inc., 2003: 123-140.
- [6] Lu Z, Yeo K S. Broad band design techniques for transimpedance amplifiers [J]. *IEEE Trans Circuits Syst I*, 2007, 54(3): 590-600.
- [7] Mohan S S, Hershenson M D M, Boyd S P, et al. Bandwidth extension in CMOS with optimized on chip inductors [J]. *IEEE J Solid State Circuits*, 2000, 35(3): 346-355.
- [8] Galal S, Lin D S. 10 Gb/s limiting amplifier and laser/modulator driver in 0.18- μm CMOS technology[J]. *IEEE J Solid State Circuits*, 2004, 38(12): 2138-2146.
- [9] Chen W Z, Cheng Y L, Lin D S. A 1.8-V 10-Gb/s fully integrated CMOS optical receiver analog front-end [J]. *IEEE J Solid State Circuits*, 2005, 46(6): 1388-1396.
- [10] Huang S H, Chen W Z, Chang Y W, et al. A 10-Gb/s OEIC with meshed spatially - modulated photodetector in 0.18 μm CMOS Technology [J]. *IEEE J Solid State Circuits*, 2011, 46(5): 1158-1169.
- [11] Youn J S, Lee M J, Park K Y. 10-Gb/s 850-nm CMOS OEIC receiver with a silicon avalanche photodetector [J]. *IEEE J Quantun Electronics*, 2012, 48(2): 229-236.