

一种高带宽 NP 型 CMOS APD 的研究

王 巍,王 川,颜琳淑,杜超雨,王 婷,王冠宇,王 振,冯世娟

(重庆邮电大学 光电工程学院,重庆 400065)

摘 要:提出了一种高带宽的硅基 CMOS 雪崩光电二极管(APD)器件。该器件在 N 阱/P 衬底基本结构的基础上,增加一个 N 型深掩埋层,并在该掩埋层单独加上电压,以减小载流子的输运时间。通过理论分析确定了器件的结构参数,通过器件性能的仿真分析对相关参数进行了优化设计。仿真结果表明:采用标准 0.18 μm CMOS 工艺,所设计的 APD 器件的窗口尺寸大小为 20 μm ×20 μm ,在反向偏压为 16.3 V 时,器件的雪崩增益为 20,响应度为 0.47 A/W,3 dB 带宽为 8.6 GHz。

关键词:雪崩光电二极管; CMOS APD; 带宽

中图分类号: TN722 **文献标志码:** A **文章编号:** 1007-2276(2015)02-0699-06

NP type CMOS APD with high frequency bandwidth

Wang Wei, Wang Chuan, Yan Linshu, Du Chaoyu, Wang Ting, Wang Guanyu,
Wang Zhen, Feng Shijuan

(College of Electronics Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, China)

Abstract: A newly modified silicon (Si) avalanche photodetector (APD) designed by standard complementary metal-oxide-semiconductor (CMOS) process was proposed in this paper. The basic structure of the Si APD which was formed by N-well/P-substrate was modified with a deep N well below space charge area, and an independent voltage was applied on the deep N well to minimize the transit time of electron hole pairs. The diffusion velocity and the drifting velocity can be improved at the same time, therefore, the 3-dB bandwidth will increase. The device parameters of CMOS APD were calculated with theoretical analysis, and the performance of the CMOS APD was optimized with SILVACO simulation, including technology simulation and device simulation. The simulation results show that when the window size of designed APD is 20 μm × 20 μm and when biased at 16.3 V, the APD achieves avalanche gain of 20, the best responsivity of 0.47 A/W, the 3 dB bandwidth of 8.6 GHz.

Key words: avalanche photodetector(APD); CMOS APD; frequency bandwidth

收稿日期:2014-06-08; 修订日期:2014-07-03

基金项目:重庆市电子产业发展基金

作者简介:王巍(1967-),男,教授,博士,主要从事半导体光电、集成电路设计方面的研究。Email:frankwangw@163.com

通讯作者:王川(1988-),男,硕士生,主要从事半导体光电器件及系统设计方面的研究。Email:wc383676980@163.com

0 引言

硅基 APD 器件是一种具有吸引力的器件, 由于具有很高的内部增益和高的信号带宽, 在光通信系统、光学测距系统、光互联系统中均有着广泛的应用^[1-2]。与传统的分离型 APD 器件相比, 采用 CMOS 工艺制造的硅基 APD (CMOS APD) 器件具有以下一些明显的特点, 如低成本, 器件的一致性高, 功耗低, 带宽高, 噪声低及易于与读出电路在同一个芯片上集成等^[1]。

但 CMOS APD 的设计有两个主要的困难。首先, 所设计的 APD 器件如何与 CMOS 工艺兼容; 其次, APD 器件必须工作在一定的反向偏压下, 以保证器件工作在雪崩模式而不至于导致器件毁损。解决 APD 器件反向偏压较低的一种方案就是采用保护环结构^[2]。在器件性能方面, CMOS APD 遇到问题在于工作带宽窄、数据的传输速率很低, 这是由于在硅基 APD 中载流子扩散速率较低缘故。

为了增大雪崩二极管的带宽, 人们尝试了很多方法, 比如为了抑制缓慢载流子对器件的影响, W. Z. Chen 提出 SML 结构的光电探测器^[3], 但是这种探测器的带宽只有 500 MHz。另一种增大带宽的方法是采用 SOI 技术^[4], 这种技术可以提高器件的扩散速度而且可以减少寄生电容, 但是为了维持低成本的工艺且能够与前置放大电路、限幅放大电路和信号处理电路集成到一片芯片上, 光电探测器必须是 CMOS 兼容的。还有一种提高带宽的方法是直接消除缓慢载流子对器件的影响^[5], 但是这种方法在增大带宽的同时减小了耗尽区的宽度, 而且减小了衬底的扩散电流。

文中针对 CMOS APD 器件带宽的问题, 对 NP 型 CMOS APD 的器件结构进行了改进, 在 N 阱和 P 衬底的基础上增加了一个深 N 阱结构, 并且给该深 N 阱单独加上了电压, 这样不仅可以提高光生载流子的浓度和载流子的扩散速度, 而且可以提高载流子的漂移速度, 减小载流子的输运时间, 从而提高该 CMOS APD 的带宽。文中设计了基于标准的 CMOS 0.18 μm 工艺的 CMOS APD。采用 SILVACO 软件对器件的性能进行了仿真分析。

1 器件结构设计

对于 CMOS APD 器件, 有两种主要结构: 一种

是 PN 型, 另一种是 NP 型^[6]。PN 型 APD 是在 P 型衬底上制作 N 阱, 然后在 N 阱里制作 P 型重掺杂区, 由 N 阱和 P+ 构成 PN 结, 形成雪崩区。NP 型的 APD 是在 P 型衬底上注入 N 阱, 由 P 型衬底和 N 阱构成 PN 结, 形成雪崩区。

两种类型的 APD 各有优缺点, PN 型的 APD 增益较高、频率响应较好, 但是其制作工艺相对复杂, 成本相对较高; NP 型 APD 增益较低, 带宽较窄, 但是其制作工艺相对简单, 成本较低, 而且在低偏压时有其固有的响应率。

图 1 所示是常规 NP 型 CMOS APD, 它的 PN 结由 N 阱和 P 衬底构成, 入射光在衬底上被吸收, 由于衬底上的电压一般很低甚至为零, 所以光生载流子主要是通过扩散运动移动到雪崩区参与倍增。但是由于扩散运动速度很慢, 所以严重影响了 NP 型 CMOS APD 器件响应频率特性以及带宽。

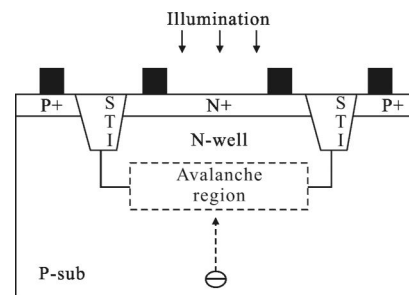


图 1 常规 NP 型 CMOS APD 结构图

Fig.1 Structure of conventional NP-type CMOS APD

为了提高 NP 型 CMOS APD 的带宽, 此文提出了一种新型的 NP 型 CMOS APD 器件结构, 其结构如图 2 所示。它的雪崩区由 N 阱和 P 衬底组成, 主要特点是在其雪崩区下方有一个深 N 阱作为 APD 的光吸收区, 入射光在深 N 阱被吸收, 产生光生载

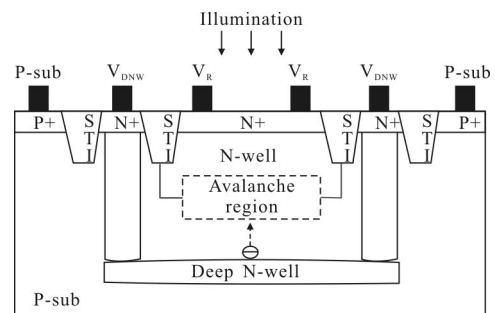


图 2 新型 NP 型 CMOS APD 器件结构示意图

Fig.2 Schematic of the improved CMOS APD device structure

流子(空穴电子对)。因为深 N 阱的掺杂浓度比 P 型衬底高,所以产生的载流子浓度也比较高,因此扩散速度会更快。另外需要注意的是在该结构中深 N 阱被单独加上了电压,该电压能使载流子的漂移运动速度增大。

根据理论分析及 0.18 μm CMOS 工艺的工艺参数,确定所设计的 CMOS APD 的窗口有效面积为 $20 \mu\text{m} \times 20 \mu\text{m}$,其他的主要工艺参数如表 1 所示。

表 1 主要工艺参数表

Tab.1 Key technological parameters

Layer	Doping/ cm^{-3}
P-sub	10^{15}
N-well	10^{17}
P-well	10^{17}
N+	10^{19}
P+	10^{19}
Deep N-well	6×10^{16}

2 仿真结果及分析

Silvaco 仿真分为工艺仿真和器件仿真,首先通过工艺仿真分析得到优化设计后的 CMOS APD 器件结构,然后通过器件仿真对 CMOS APD 的性能进行仿真分析^[7]。

如图 3 所示为工艺仿真优化后的该 CMOS APD 器件的杂质浓度分布。经过工艺优化确定工艺参数如下:深 N 阱的掺杂浓度 $6 \times 10^{16}/\text{cm}^3$,磷离子注入浓度为 $1 \times 10^{20}/\text{cm}^3$,N 阱的掺杂浓度为 $1 \times 10^{19}/\text{cm}^3$,衬底的掺杂浓度 $1 \times 10^{16}/\text{cm}^3$ 。从图中看出:PN 结区的掺杂浓度分布比较均匀,PN 结深为 $1.25 \mu\text{m}$ 。

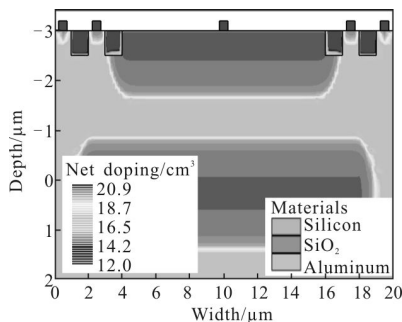


图 3 CMOS APD 杂质浓度分布图

Fig.3 Net doping profile of CMOS APD

2.1 I-V 特性分析

图 4 为所设计的 NP 型 CMOS APD 在波长为 630 nm 的入射光照射时的 $I-V$ 特性曲线,从图中可以看出:该 CMOS APD 的雪崩击穿电压为 16.3 V 。在参考文献[6]中报道的常规 NP 型 CMOS APD 的击穿电压为 16.9 V ,与之相比该 APD 的反向击穿电压偏小。主要是因为该 APD 的光吸收区由深 N 阱构成,而常规 APD 的吸收区由衬底构成,深 N 阱的掺杂浓度比衬底的掺杂浓度高,入射光在深 N 阱被吸收时产生更多的载流子,参与雪崩倍增的载流子增多,使得在比较小的反向偏压下就能发生雪崩击穿。

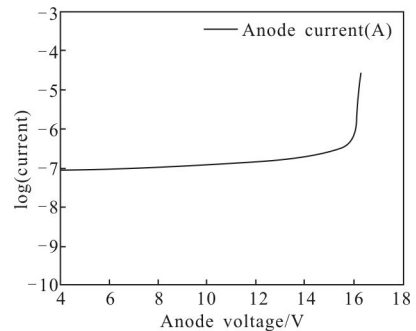


图 4 CMOS APD 器件的 $I-V$ 特性曲线

Fig.4 Current-voltage characteristic curve of CMOS APD

从图 4 中还可以看到:当反向偏压较小时,器件的电流增长缓慢甚至几乎不变,主要是因为此时的反向偏压不足以使器件发生雪崩击穿,APD 的增益是非常小的甚至没有增益,所以在反向偏压较小时的电流近似等于光生电流,从图中可以看出该电流约为 10^{-7} A ($0.1 \mu\text{A}$)。随着反向偏压的逐渐增大,电流也逐渐增大,当电压为 16.3 V 时,电流急剧增大,达到了 10^{-5} A ($10 \mu\text{A}$)。这是因为在较大的反向偏压下,雪崩区的载流子被加速,不断的发生碰撞,发生雪崩倍增效应,产生大量的空穴电子对,从而使电流急剧增大。

对于 APD 来说,它的倍增因子(增益)是其输出电流与光生电流之比,公式如下:

$$M = I_o / I_p \quad (1)$$

式中: M 为增益; I_o 为输出电流; I_p 为光生电流。所以当反向偏压为 16.3 V 时,该 CMOS APD 的雪崩增益为 20。

与 PN 型 CMOS APD 相比,NP 型 CMOS APD 的增益较小,这是因为工艺的限制。在制作 N 阱时,

杂质垂直扩散进入硅,同时也在进行横向扩散,形成了 SiO₂ 边界下圆形的结,这个圆形结区的电压明显地比其他区域高,导致低电压下就会发生击穿,曲率半径越小的结,这种现象越严重,这严重地影响了器件的增益。在 PN 型 CMOS APD 中,由于 PN 型器件的雪崩区较浅,可以在 PN 结区边缘制作保护环从而有效地解决提前击穿的问题。但是在工艺的限制下,NP 型的器件没有保护环,或者说保护环的深度不够,达不到 PN 结的边缘,不能对 PN 结进行保护,所以 NP 型器件的增益相对较小。图 5 为该 CMOS APD 的电场分布图,可以看出,当给器件加上反向电压后,最大电压在 PN 结区边缘(图中用圆圈标注的地方),这是 NP 型 APD 器件的结构决定的,在偏压为 16.3 V 时,最大电场强度为 5.64×10^5 V/cm。图中,在平行 PN 结处的电压约为 4.23×10^5 V/cm。

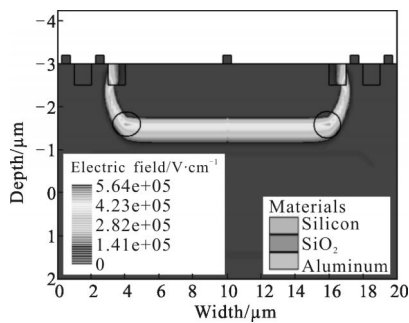


图 5 CMOS APD 电场分布图

Fig.5 Electric field distribution of CMOS APD

2.2 响应度

当入射光进入器件内部时,如果入射光的能量高于载流子跨越半导体的禁带宽度所需要的能量,就会产生电子空穴对。入射光的能量 E (eV) 和波长 λ (nm) 之间的关系如下:

$$\lambda = \frac{1}{E} \times \frac{hc}{e} \approx \frac{1240}{E} \text{ (nm)} \quad (2)$$

在室温的情况下,硅的禁带宽度为 1.12 eV,所以当入射光波长小于 1100 nm 时,器件是比较敏感的。这里的敏感性通常用响应度 S (A/W) 和量子效率 QE (%) 来描述。

图 6 为该 CMOS APD 器件的响应度与波长的关系图,可以看到,入射光从波长在 500~700 nm 范围内变化时器件的响应度是比较高的,其中入射光波长为 630 nm 左右时响应度最高,约为 0.47 A/W。

这是因为该 CMOS APD 器件的光吸收区位于雪崩区下方,所以只有波长足够长的入射光才能到达吸收区,但是当波长太大时,器件对于该波长来说几乎透明,这样的入射光也很难被吸收。

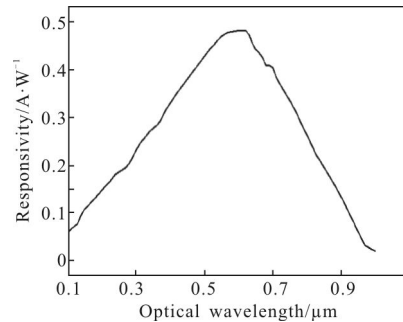


图 6 CMOS APD 的响应度

Fig.6 Responsivity as function of wavelength

响应度和量子效率之间的关系如下:

$$QE = \frac{S}{\lambda} \times \frac{hc}{e} \approx 1240 \times \frac{S}{\lambda} \quad (3)$$

式中: h 为普朗克常数 (6.63×10^{-34} J·s)。所以可以算出该 CMOS APD 器件的量子效率约为 92.5%,可见该器件的量子效率是比较高的。对于 NP 型 CMOS APD,光吸收区由衬底组成(新型 APD 的光吸收区由衬底上的深 N 阱组成),所以光吸收区是很宽的,量子效率与光吸收区的宽度成正比,因此该 NP 型 CMOS APD 器件的量子效率较高。

2.3 频率响应特性和带宽

APD 的频率响应的主要影响因素有:光生载流子的运输时间、器件的 RC 时间常数、电感峰值效应和寄生电容,其中光生载流子的运输时间是最关键的因素,起决定性作用^[8]。APD 器件的截止频率可以由下面这个公式算出:

$$f_c(CR) = \frac{1}{2\pi C R_L} \quad (4)$$

式中: C_f 为末端电容; R_L 为负载电阻。为了增加器件的截止频率,末端电容应该减小,比如通过减小器件耗尽区的厚度来减小末端电容,同时窄的耗尽区厚度也可以增加器件的量子效率。

但是,不能一味地减小耗尽区厚度来增加截止频率,因为在耗尽区外的载流子的运输时间也会影响器件的频率响应。这些载流子通常在衬底上产生,由于耗尽区不够宽,这些载流子只能在扩散作用下缓慢运动,所以这些缓慢载流子会对器件的频率特

性以及带宽产生很大的影响。通常情况下,为了消除这些缓慢载流子的影响,是将衬底接地,但这种办法损失了衬底上产生的载流子,一定程度上减小了器件的光生电流。最好的办法是:在不损失衬底上载流子的前提下提高器件的频率响应特性和带宽。

常规 NP 型 CMOS APD(见图 1),入射光在光吸收区被吸收,产生光生载流子,然后光生载流子运动到雪崩区参与雪崩。但是衬底的掺杂浓度低,导致产生的载流子浓度小,从而使载流子的扩散速度慢。再加上衬底上的偏压一般较小甚至为零,这就使得载流子的漂移速度很小。所以载流子运动到雪崩区的时间很长,也就是前面所说的载流子输运时间很长,这就严重地限制了 NP 型 CMOS APD 的频率响应和带宽。通常 NP 型 CMOS APD 的带宽比 PN 型 CMOS APD 的带宽要小。

文中提出的新型 NP 型 CMOS APD(见图 2),入射光在光吸收区,产生光生载流子,然后光生载流子运动到雪崩区参与倍增。从图 2 中可以看到,该 APD 器件的光吸收区由深 N 阱构成,而且该深 N 阱被单独加上了偏压。深 N 阱的掺杂浓度比衬底的掺杂浓度大,当入射光照射时产生的光生载流子浓度较大,这就促使载流子的扩散运动速度较大。除此之外,深 N 阱加上的偏压起着驱赶载流子的作用,该偏压使得载流子的漂移速度增大。文中提出的 APD 提高了载流子扩散速度和漂移速度,从而使得载流子的输运时间减少,提高器件的频率响应特性,增大器件的带宽。

如图 7 所示为文中提出的 CMOS APD 在不同反向偏压下的频率响应特性图。图中纵坐标为该器件被加上反向偏压后的电流(对数坐标),从图 7 中可以看出:当反向偏压为 0 V 时,幅值电流约为 4.2×10^{-11} A,对应的 3 dB 带宽为 7.2 GHz;当反向偏压为 5 V 时,对应的 3 dB 带宽为 7.4 GHz;反向偏压为 10 V 时,对应的 3 dB 带宽为 7.5 GHz;当反向偏压为 16.3 V 时,幅值电流约为 4×10^{-10} A,此时对应的带宽为 8.6 GHz。可见随着反向偏压的增大,带宽也在增大,这是因为当反向偏压增大时,器件光吸收区产生的空穴电子对受到漂移作用增大,使它们的漂移速度增大,减小载流子的输运时间,从而增大器件的带宽,当反向偏压为 16.3 V 时,器件的带宽明显增大,因为此时器件发生了雪崩击穿,而且此时载流子的

漂移速度也最大。表 2 列出了一些已经发表的结果与文中结果的比较。

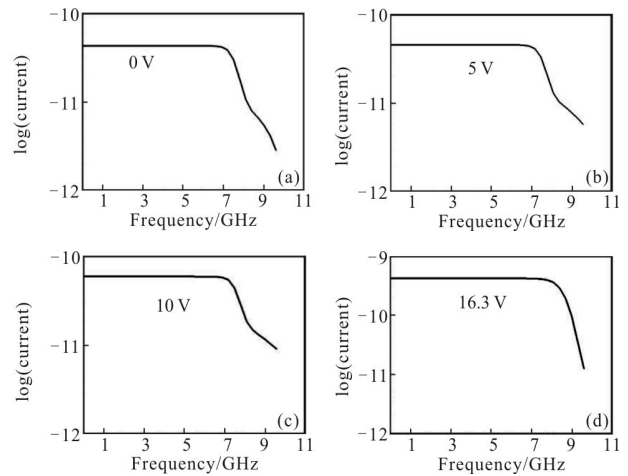


图 7 不同偏压下的频率响应特性图

Fig.7 Frequency response of CMOS APD with different biased voltage

表 2 CMOS 工艺下的 APD 的带宽比较

Tab.2 Comparison of CMOS APD bandwidth

Reference	Technol-ogy/ μm	Area/ μm^2	Bandwidth/ GHz	Structure	Respon-sivity/ $\text{A} \cdot \text{W}^{-1}$
Proposed in this paper	0.18	20×20	8.6	N-well/P-sub	0.47
Ref.[8]	0.13	20×20	4.8	P+/N-well	-
Ref.[8]	0.13	30×30	2.9	P+/N-well	-
Ref.[9]	0.18	20×20	300	N+/P-well	2.61
Ref.[10]	-	20×20	616	P+/N-well	15.21

3 结 论

文中提出了一种基于 0.18 μm CMOS 工艺的改进的 NP 型 CMOS APD 器件。相对于常规 NP 型 CMOS-APD,该 APD 的主要特点是在衬底上加上了一个深 N 阱,并且给深 N 阱单独加上了电压。载流子的扩散速度和漂移速度都得到了提高,从而减少了载流子的输运时间,提高了频率响应特性,增大了 APD 的带宽。所设计的 CMOS APD 在反向偏压为 16.3 V 时增益为 20, 响应度为 0.47 A/W, 带宽为 8.6 GHz。此外该 APD 能与前置放大电路、限幅放大

电路以及一些后续电路集成到一块单独芯片上形成光电接收机。

参考文献:

- [1] Moutaye E R, Beteille H T. Integration of CMOS avalanche photodiodes evaluation and comparison of their global performances [C]// 2010 IEEE Instrumentation and Measurement Technology Conference, 2010: 1373–1376.
- [2] Radovanovic' S, Annema A J, Nauta B. A 3-Gb/s optical detector in standard CMOS for 850-nm optical communication [J]. *IEEE J Solid-State Circuits*, 2005, 40(8): 1706–1717.
- [3] Chen W Z, Huang S H, Wu G W, et al. A 3.125 Gbps CMOS fully integrated optical receiver with adaptive analog equalizer [C]// Proceedings of IEEE Asian Solid-State Circuits Conference, 2007: 396–399.
- [4] Schow C L, Schares L, Koester S J, et al. A 15-Gb/s 2.4 V optical receiver using a Ge-on-SOI photodiode and a CMOS IC [J]. *IEEE Photon Technol Lett*, 2006, 18(19): 1981–1983.
- [5] Huang W K, Liu Y C, Hsin Y M. Bandwidth enhancement in Si photodiode by eliminating slow diffusion photocarriers [J]. *IEEE Electron Lett*, 2008, 44(1): 52–53.
- [6] Lee M J, Cho W Y. Performance comparison of two types of silicon avalanche photodetectors based on N-well/P-substrate and P+/N-well junctions fabricated with standard CMOS technology [J]. *J Optical Society of Korea*, 2011, 15(1): 1–3.
- [7] Wang Wei, Feng Qi, Wu Wei, et al. The analysis and simulation of process and performance for silicon avalanche photodiode [J]. *Infrared and Laser Engineering*, 2014, 43(1): 140–143. (in Chinese)
王巍, 冯其, 武透, 等. 硅基 APD 器件的工艺及性能仿真分析[J]. *红外与激光工程*, 2014, 43(1): 140–143.
- [8] Jae M, Young W. Area-dependent photodetection frequency response characterization of silicon avalanche photodetectors fabricated with standard CMOS technology [J]. *IEEE Trans Electron Devices*, 2013, 60(3): 998–1004.
- [9] Shimotori T, Maekita K, Maruyama T, et al. Characterization of APDs fabricated by 0.18 μm CMOS process in blue wavelength region [C]//IEEE Opto-Electronics and Communications Conference Technical Digest, 2012: 509–510.
- [10] Moloney A M, Morrison A P, Jackson J C, et al. A high speed, high multiplication gain CMOS avalanche [C]// Emerging Technologies in Optical Science(ETOS), 2004: 1–3.