

## 引信体目标视频回波模拟器专用处理器设计

郑哲, 李加琪, 吴嗣亮

(北京理工大学 电子工程系, 北京 100081)

**摘要:**针对引信体目标视频回波模拟器中实时数字信号处理的要求,给出了基于 Virtex-II 系列现场可编程门阵列 (FPGA)设计的专用处理器的方案、方法。该方案充分利用了与 FPGA 结构相适应的设计优化技术,解决了由于 FPGA 片内时钟频率过高而产生的瓶颈问题。调试表明,此处理器既有专用 ASIC 电路的快速性,又有 DSP 器件的灵活性,完全能满足引信体目标视频回波模拟系统的实际要求。

**关键词:**模拟器; FPGA; 专用处理器

**中图分类号:** TN955 **文献标识码:** A **文章编号:** 1007-2276(2005)03-0360-04

## Design of special processor for wireless fuse solid target video frequency echo simulator based on FPGA

ZHENG Zhe, LI Jia-qi, WU Si-liang

(Department of Electronic Engineering, Beijing Institute of Technology, Beijing 100081, China)

**Abstract:** In this paper, a special processor for wireless fuse solid target video frequency echo simulator has been designed based on FPGA. This plan sufficiently utilizes the optimal technology which suits for the FPGA's structure and resolve the bottleneck in the high-speed mode. Experimental result proves that the processor has not only the high-speed performance of ASIC circuit, but also the flexibility of the DSP. The test result satisfies the system's request.

**Key words:** Simulator; FPGA; Special processor

### 0 引言

引信体目标模拟系统是为了在研制阶段,对引信整机性能进行室内动态测试与参数调整,并在此基础上评估其主要性能指标,从而减少或部分代替外场放飞、滑轨试验,提高研制水平,降低成本。本文针对某引信体目标模拟系统的具体要求,基于 FPGA 设计、

实现了模拟器专用处理器。

### 1 处理器结构

引信体目标视频回波模拟系统中,数字视频模拟电路要完成以下几项工作:(1)完成对主控机预先根据雷达与目标的相对运动参数及目标散射模型产生的大量视频回波数据的下载。(2)对视频回波数据与

A/D 采集到的  $I, Q$  两路信号进行实时处理。(3) 实现对高速时钟的精密数控移相。(4) 保证引信视频回波与引信发射信号的相位编码的相关性。综合以上,采用了在灵活性和扩展性很强的现场可编程门阵列(FPGA)加以实现。由于 FPGA 器件速度快、密度高、功耗低、可配置性强,现已在许多领域得到广泛的应用。本设计利用 Xilinx 公司近年推出的 Virtex-II 系列完成<sup>[1-3]</sup>。引信体目标视频回波模拟器专用处理器由以下六个模块组成,如图 1 所示。

(1) 数据下载控制模块。它由下载控制逻辑电路、变字长 FIFO1、SDRAM 地址产生单元、SDRAM 控制器<sup>[4]</sup>及 FIFO2 组成。整个模块上电后将在总状态机的控制下,完成对主计算机预先生成的视频回波数据的下载任务。由于数字视频回波数据量大,读写速度要求高,SDRAM 存储器具有容量大、速度快等优点,采用了 SDRAM 作为本目标模拟器数字视频模拟电路的存储器<sup>[5]</sup>。

(2) 实时处理单元。实时处理单元包括:伪码提取与 ADC 结果数据预处理单元,高速并行流水的实时数字移相单元、变换字长的双口 RAM 单元以及实时处理控制单元。其中伪码提取与 A/D 预处理单元将完成对 A/D 的采集信号的处理及伪码的提取,此模块将直接关系到是否能保证引信视频回波与引信发射信号的相位编码的相关性。高速并行流水的实时移相

单元是整个芯片的处理核心,它又分成两个并行的运算机构,即第一运算单元和第二运算单元,见图 1。由于系统的实时性要求高,在每个单元内部采用了 Virtex-II 系列内嵌的硬件补码乘法器,又考虑到芯片的工作时钟过高,为了避免高速带来的综合及布局布线瓶颈问题,采用了内部增加同步寄存器,用乘法器流水线化的方法来提高整个芯片布通率。变换字长的双口 RAM 单元将完成对高速移相单元的输出数据进行字长的变化,并送到片外给 D/A 单元。实时处理控制单元是实时处理单元的控制模块,它通过内部的状态机控制整个单元的运行,并在适当的时候给出各个分单元相应的控制信号。综上所述,实时处理单元是专用处理器的处理核心,其设计直接关系到系统能否保证实时处理的要求。其优化也将是整个系统的关键,后面将对这个单元的设计、原理及其优化作详细说明。

(3) FPGA 与 USB 控制器的接口模块。这个模块主要完成专用处理器与 USB 控制器的通讯。在整个体目标视频回波模拟系统中 USB 控制器不但是大数据量的传输通道,而且还要负责将主控计算机发出的命令下传到专用处理器芯片,及处理 FPGA 发回来的反馈信号。基于这种控制要求,设计了 FPGA 与 USB 控制器的接口模块,考虑到处理器的管脚资源,设计中将 USB 与 FPGA 的数据总线做成了双向的,不但可以实现下传主控机的命令,而且还可以接收专用处理

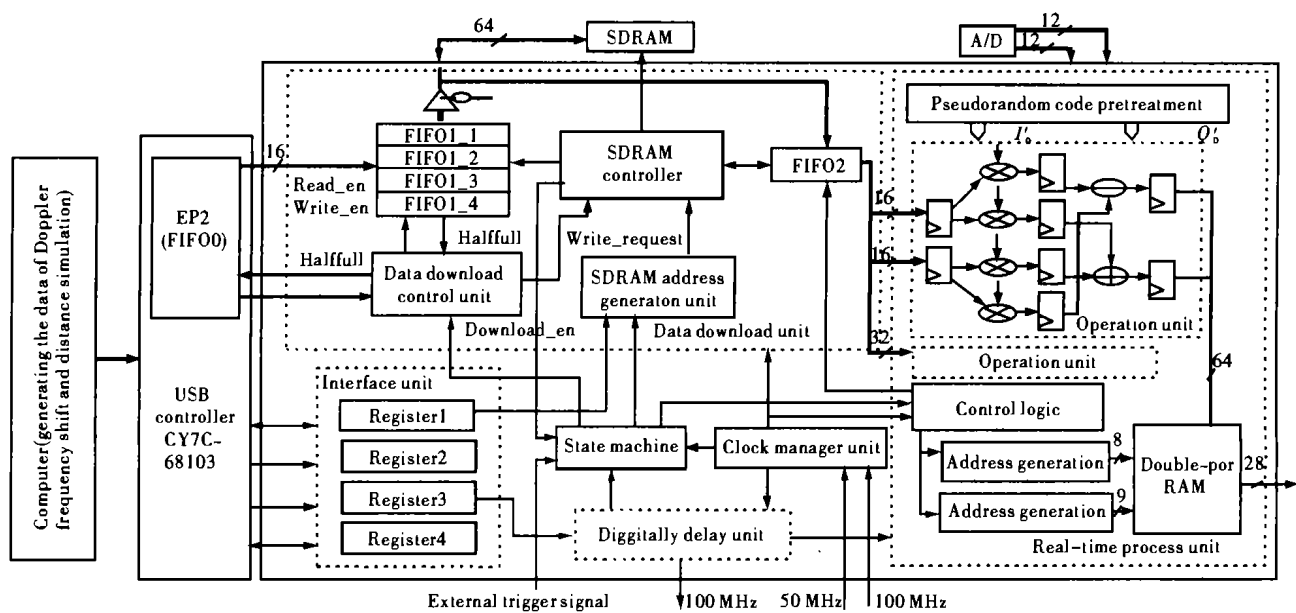


图 1 处理器结构图

Fig.1 Architecture of the special processor

器的反馈信号,完成 FPGA 与 USB 控制器的通讯。

(4) 时钟管理单元主要是对专用处理器的内部的时钟进行统一的管理。包括利用 DCM 实现倍频、分频处理等等。因为系统内部的工作时钟是 50 MHz,而在有的单元还引进了 100 MHz 时钟,考虑到高速时钟带来的时钟扭曲问题,统一将系统的时钟纳入本单元进行管理。

(5) 高精度数控延时单元将要完成对时钟管理单元输出的 100 MHz 时钟的数控移相。

(6) 总状态机是整个专用处理器的主控单元,将控制整个芯片的工作流程,将在相应的状态给出各个单元相应的控制信号,是另一个设计难点。

### 2 处理器运算模块的设计

处理器运算模块是实时处理器的核心,要完成对预生成的多谱勒频移与距离模拟数据和 AD 预处理单元的输出数据两路数据的复乘运算。

$$I_{OUT}(t_i) = I_D(t_i)I'_{BIN}(t_i) - Q_D(t_i)Q'_{BIN}(t_i) \quad (1)$$

$$Q_{OUT}(t_i) = I_D(t_i)Q'_{BIN}(t_i) + Q_D(t_i)I'_{BIN}(t_i) \quad (2)$$

式中  $I_D(t_i) + jQ_D(t_i)$  为预生成的多谱勒频移与距离模拟数据的量化采样值,  $I'_{BIN}(t_i) + jQ'_{BIN}(t_i)$  为 AD 预处理单元的输出数据,其中  $I'_{BIN}(t_i)$  和  $Q'_{BIN}(t_i)$  分别为 12 bit 的数据。

图 2 为处理器运算模块的框图。考虑到实时性的需要,采用了并行运算,即一个时钟完成两次复乘。整个运算模块可以分为两个单元:第一运算单元和第二运算单元。这两个运算单元是完全并行的且结构相同。不但如此,在每一个运算单元内部,对应的一点的  $I、Q$  两路数据,也采用了并行结构,这样大大加快了处理的速度,满足了实时处理的要求。同时为了保证系统的速度,以免在高速系统中实现阶段的综合、布局 and 布线的瓶颈问题,采用了四种优化方法<sup>[6,7]</sup>:(1) 在运算单元内部,调用了 XC2V1000-5FG456 内嵌的 18 bit×18 bit 的补码乘法器,这样利用了片内的硬件乘法器资源,可以大大的加快片内执行乘法的速度。(2) 从优化整体设计出发,将乘法器前端数据输入锁存,并对乘法器进行流水,大大改善了布通率。(3) 在编译完

成后,通过布局布线报告,找出延时较长的几条路径,将关键的路径进行分组,并加以约束,改善关键路径的延时时间。(4) 将运算单元的同步时钟经数字时钟管理单元 (DCM)降低时钟扭曲后送到执行机构。事实证明,处理器运算模块的设计是整个设计的关键和瓶颈,对本单元的优化,将直接关系到整个 FPGA 是否能在片良好的运行。实验证明,经过以上四种方法的优化,该单元满足了设计的需要。

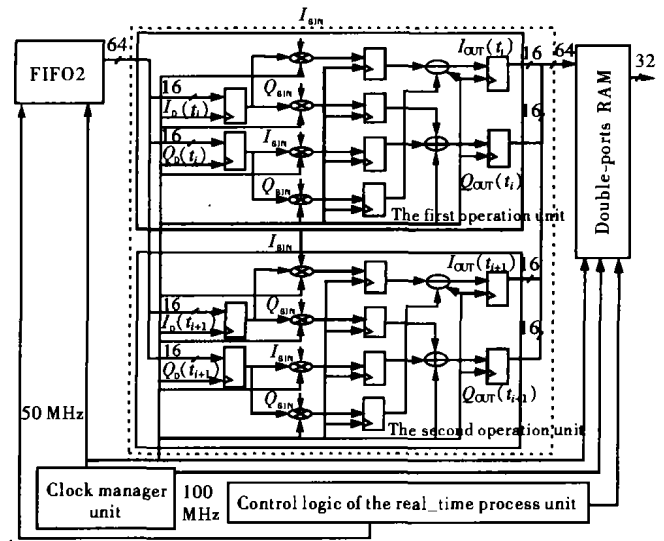


图 2 处理器运算单元

Fig.2 Operation unit of the special processor

图 3 给出的是 A/D 转换结果为“101011010100”、“011010111001”,在 ACTIVE-HDL6.1 的开发环境下得到的功能仿真的波形。图 3 中 datain 为运算单元输入预生成的多普勒频移与距离模拟数据,clk 为 DCM 输出的降低扭曲的 50 MHz 时钟,iin、qin 为 A/D 的两路量化值的输入,是偏移二进制码。mult1out、mult2out、mult3out、mult4out、mult5out、mult6out、mult7out、mult8out 为乘法模块的输出,register2 为乘法器结果输出锁存器,该锁存器对乘法器的输出进行了截断,对每个 28 bit 的乘法器的输出保留了 16 bit,截断了 12 bit。add1out、add2out、subtact1out、subtact2out 分别为加法器的输出和减法器的输出。Register3 为加法、减法输出锁存器,该锁存器分别保留了加法、减法器的 16 bit 输出,对剩下的 1 bit 进行了截断。dataout 为运算单元的数据输出。在运算单元,分别对乘法器、加法器、减法器的输出数据进行了截断,将导致截断误差,由于

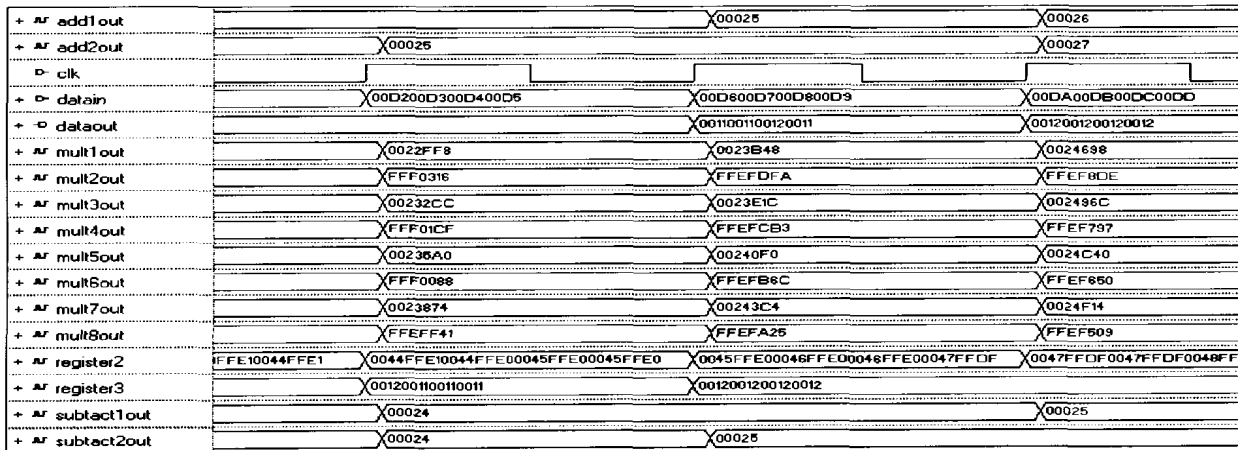


图3 运算结构的仿真波形

Fig.3 Waveform of the simulation

在设计中 AD 的位数,预生成的数据位数都有很大余量,所以对系统的整体功能不会造成影响。

### 3 系统工作流程

系统工作过程如下:当系统工作时,首先将主控计算机生成的多普勒频率模拟数据通过 USB 控制器及 FPGA 片上的 16 位的 FIFO0 的输出数据变换成 64 位数据的变字长 FIFO-1,在数据下载控制单元、SDRAM 控制器、SDRAM 地址生成单元几个部分的联合控制下,将该数据写入到外挂的 SDRAM 上。专用处理器的这个部分可以称为高速视频大数据量的传输、下载及存储。当下载、存储完成后,专用处理器将在总状态机的控制下进入到等待实时模拟状态。这时一旦外部硬件触发信号给出,将触发系统的实时处理单元,实时处理单元将实时把 A/D 采集到的数据经过预处理送到高速实时数字移相单元,而执行结果将被送入双口 RAM 的写端口,通过对双口 RAM 的控制,将处理单元的 64 位输出转换到 32 位输出,之后在片内再将 32 位数据分为 I、Q 两路数据,分别将两路数据截断为 14 位,保留高位。之后把两路 14 位数据输出到专用处理器外部传给 DAC。上面的部分是专用处理器的多普勒频移模拟通道。

另一个通道是距离模拟通道,由高精度数控延时单元根据 FPGA 与 USB 控制器的接口模块的精密延时量锁存器的数值,对输入到专用处理芯片的 100 MHz 时钟作精密数控移相,并将输出的时钟送到实时

处理单元及片外做 DA 的触发时钟。

### 4 结束语

本系统利用 Virtex-II 系列 FPGA 具有高速、高可靠性、高集成度、开发周期短、内部内嵌硬核的特点<sup>[8]</sup>,采用 XC2V1000-5FG456 设计了引信体目标视频回波系统专用处理器芯片,提高了系统的稳定性。经过对专用处理器核心单元的优化,通过了在 ISE5.1 的集成开发环境下后仿真及整机调试,完全能满足设计要求。

#### 参考文献:

- [1] 韩颖,王旭,吴嗣亮.采用 Virtex-II 系列 FPGA 实现高速专用 FFT 处理器的设计[J].北京理工大学学报,1995,15(3):27-34.
- [2] Xilinx Inc.Virtex-II Platform FPGA User Guide[M].American: Xilinx Company,2003.
- [3] Xilinx Inc.A CPLD VHDL Introduction[M].American: Xilinx Company,2003.
- [4] 朱鹏飞,赵雅兴.视频图像捕获系统 SRAM 控制器的 FPGA 实现[J].Semiconductor Technology,2002,27(6):618-622.
- [5] Altera Inc.Sdrsdram Controller White Paper[M].American: Altera Company,2003.
- [6] 王伟,刘向东.高频 FPGA 设计技术[J].通讯技术,1998,107(4):204-207.
- [7] 刘朝晖,韩月秋.用 FPGA 实现 FFT 的研究[J].北京理工大学学报,1999,19(2):204-207.
- [8] Xilinx Inc.Virtex-II 1.5V Field-Programmable Gate Arrays[M]. American: Xilinx Company,2002.