

基于 VHDL 设计综合的扫描控制

李邦军

(天津津航技术物理研究所, 天津 300192)

摘要:运用 VHDL 硬件语言完成了激光成像雷达中扫描系统控制的描述。设计由 ALTERA 公司的 MAX7000 系列可编程逻辑器件实现。VHDL 语言与可编程逻辑器件(CPLD)的结合使用,将传统上由硬件电路实现的功能转变为软件参与实现,从而易于修改和改进。给出了部分 VHDL 源代码描述,通过逻辑综合优化了设计,实现了设计的时序仿真,分析了 VHDL 语言在设计中应注意的一些问题。

关键词:VHDL; CPLD; 扫描控制; 逻辑综合

中图分类号:TN79+1; TP31 **文献标识码:**A **文章编号:**1007-2276(2005)03-0356-04

Design of scanning control with VHDL

LI Bang-jun

(Tianjin Jinhang Institute of Physical Technology, Tianjin 300192, China)

Abstract:In this paper, VHDL is applied to design the scanning system of LIDA. The MAX7000 series is selected to achieve the function. Due to the application of the VHDL and the Complex Programmable Logic Device (CPLD), the system complexity and design difficulty are reduced and the efficiency is enhanced. Some source codes are presented in the paper, which have been synthesized and simulated. At last, questions during the design are emphasized and analyzed.

Key words:VHDL; CPLD; Scanning control; Logical synthesise

0 引言

近年来,随着激光器的快速发展,用于避障或地形轮廓匹配^[1,2]的激光成像雷达研究成为激光应用领域的一个重要研究方向。光学机械扫描^[3]是一种应用于激光成像雷达多种扫描方式中较为简单且易于实现的扫描方式。以往对扫描进行控制是通过以模拟技术^[4]为主实现的,此方案控制精度差、响应速度慢和调试困难,而数字化的电路控制可以提高精度和速

度。随着大规模可编程器件的普及,使高精度的扫描控制设计用可编程技术实现成为可能。

Very High Speed Integrated Circuit Hardware Description Language (VHDL)是美国国防部提供的一种硬件描述语言^[5]。作为 IEEE 标准的高级语言,可以很明确的对功能进行行为级描述,进而通过相应软件转换成门级网表。对于复杂的可编程逻辑设计,使用传统的门级电路的设计方法显得力不从心,而使用 VHDL 硬件描述语言可以在较高的层次上把握和描

收稿日期:2004-10-08; 修订日期:2004-12-20

作者简介:李邦军(1978-),男,天津人,助理工程师,主要从事激光成像、激光引信等方面的工作。

述系统电路的设计结构和功能特性,使设计简单化。同时 VHDL 语言可移植性很强,大多数可编程器件厂家都支持。所以,VHDL 硬件描述语言正被越来越多的硬件工程师所采用。

1 VHDL 的设计过程

实现系统电路的逻辑功能主要分三步:首先对所需功能进行 VHDL 硬件语言描述,然后对硬件语言进行逻辑综合,最后下载到实际器件中。其中逻辑综合起着承上启下的作用。VHDL 语言只有通过逻辑综合才能用硬件实现。设计流程如图 1 所示。

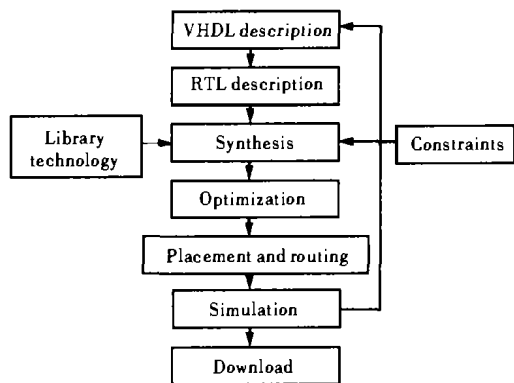


图 1 VHDL 设计流程

Fig.1 Process of VHDL design

所谓硬件描述语言,即可以描述硬件电路的功能、信号连接关系及定时关系的语言。它能比电原理图更方便、有效地表示硬件电路的特性。尤其 VHDL 支持面向用户的从上至下的设计方法,使得对于复杂的大规模可编程逻辑设计系统化、简单化。

逻辑综合是将较高抽象层次^[6]的描述自动地转换到较抽象层次描述的一种方法。就现有的 EDA 工具而言,逻辑综合就是将 RTL 级描述成门级网表的过程。在逻辑综合过程中为了优化输出和工艺映射,一定要有相应的约束条件(如面积、延时、功耗和可测性等),以实现对所设计结构的控制。因为只有布尔描述才能映射到实际的逻辑电路,所以 VHDL 的逻辑综合是设计过程中重要的组成部分。

下载是将功能由软件到硬件实现的过程。在功能下载之前,EDA 工具可根据给出的约束条件和工艺库对 VHDL 程序进行时序仿真,如果仿真结果不满足要求,则修改相应程序或约束条件等,以达到要求。

2 扫描控制的 VHDL 语言描述

2.1 扫描控制电路的设计

在激光成像雷达中,对目标的扫描是通过一维光学扫描和导弹飞行推扫来实现的。所以在雷达系统中,只要完成对激光束的一维扫描即可。系统要求对地面采图宽度一致,而且图像的中心始终位于导弹的正下方,即扫描控制机构应根据飞行高度和飞行姿态的改变调整相应的扫描角度,使采图满足系统要求。扫描频率固定为 10 Hz。图 2 是激光雷达扫描系统的结构框图。

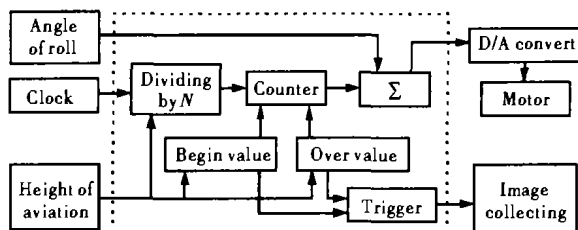


图 2 控制电路功能框图

Fig.2 Block diagram of controlling circuit

系统中扫描电机选用振动电机^[7]。振动电机与普通伺服电机工作方式不同,普通电机通过控制其电流控制电机转速,振动电机则根据电流大小控制电机转动轴的位置。因而可以通过可编程器件和 DA 转换产生任意波形来控制电机。图 2 中的虚线框内功能由 CPLD 完成,以下阐述框中设计部分。

扫描电机工作方式为正反线性扫描,所以驱动振动电机的信号波形为三角波,这就要求 CPLD 须产生一组线性升序数据和一组线性降序数据。除完成加减计数的功能外,在 VHDL 的设计过程中,还要考虑以下几个问题。

- (1) 当导弹弹体在飞行过程中发生滚动时,应及时调整扫描角度保证扫描区域的中心导弹飞行的正下方。
- (2) 当导弹的飞行高度发生变化时,应即时调整扫描角度范围,保证取图宽度一致。
- (3) 在正反扫描的方向转换时,由于电机的固有特性,将会产生非线性扫描。能够标志出当前扫描是否为线性^[2]。

此外,系统还要求提供与图像采集通讯的行同步信号及正反扫描标志信号等,都可以在 VHDL 中设计实现。设计中采用的可编程逻辑器件是 ATERA 公司

生产的 MAX7000S 系列产品,其延时为纳秒级,功耗低,并且支持在线可编程功能(ISP),使用该产品完全满足系统的要求。

2.2 VHDL 语言描述

解决上述问题的 VHDL 语言描述如下:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY DOWN IS
PORT (CP:IN STD_LOGIC;
      HIGH: IN STD_LOGIC_VECTOR (2 DOWNT0 0);
      -- 输入飞行高度值
      ANGLE:IN STD_LOGIC_VECTOR (9 DOWNT0 0);
      -- 输入弹滚动角值
      Q: OUT STD_LOGIC_VECTOR (9 DOWNT0 0));
      -- 输出数据
END ENTITY;
ARCHITECTURE BEHA OF DOWN IS
      SIGNAL Qlatch,Qblatch:STD_LOGIC_VECTOR (9
DOWNT0 0);
      SIGNAL Beginlatch,Overlatch:
      STD_LOGIC_VECTOR (9 DOWNT0 0);
      SIGNAL N,Ncount: STD_LOGIC_VECTOR(5 DOWNT0 0);
      SIGNAL udf, CP2: STD_LOGIC:='1';
BEGIN
Beginlatch<= "0101100000" when HIGH=0 ELSE
-- 赋 begin value 值
      "0100010000" when HIGH=1 ELSE
      "0011000000" when HIGH=2 ELSE
      "0001110000" when HIGH=3 ELSE
      "0000100000" when HIGH=4;
Overlatch <= "1010100000" when HIGH=0 ELSE
-- 赋 over value 值
      "1011110000" when HIGH=1 ELSE
      "1101000000" when HIGH=2 ELSE
      "1110010000" when HIGH=3 ELSE
      "1111100000" when HIGH=4;
N
<="111011" when HIGH=0 ELSE
-- 赋分频数 N 值
      "100111" when HIGH=1 ELSE
      "011101" when HIGH=2 ELSE
      "010111" when HIGH=3 ELSE
      "010011" when HIGH=4;
PCP2: PROCESS (CP) -- 进行 N 分频
```

```
BEGIN
      IF (CP'EVENT AND CP='1') THEN
            IF (Ncount=N) THEN
                  CP2<=NOT CP2;
                  Ncount<="000000";
            ELSE
                  Ncount<=Ncount+1;
            END IF;
      END IF;
END PROCESS;
PCOUNT: PROCESS (CP2) -- 加减计数
BEGIN
      IF (CP2'EVENT AND CP2='1') THEN
            IF (Qlatch=overlatch) THEN
                  Qlatch<=Beginlatch;
                  Qblatch<=overlatch;
                  udf<=not udf;
            ELSE
                  Qlatch<=Qlatch+1;
                  Qblatch<=1024-Qlatch;
            END IF;
      END IF;
END PROCESS;
POUT: PROCESS (CP2) -- 与相应流动角取和输出
BEGIN
      IF (udf='1') THEN
            Q<=Qlatch+ANGLE;
      ELSIF (udf='0') THEN
            Q<=Qblatch+ANGLE;
      END IF;
END PROCESS;
END BEHA;
```

从上述的程序中可以看出,当飞行高度值(在本程序中,只用 5 个量阐述实现方法,当量化的值增多时,方法基本相同)发生变化时,根据外部信息调整 begin value 和 over value 两寄存器中的值,这就决定了产生的数据的最小值和最大值,从而决定了扫描角度。扫描角度的变化直接影响了扫描频率的变化,为此引入了信号量 CP2,CP2 是对外部时钟信号 CP 进行 N 分频得到的。分频器中 N 的取值是由飞行高度决定的。这样用新生成的信号量 CP2 触动计数器产生数据就满足了扫描频率严格保持不变的要求。弹体滚动角变化的影响可以利用角度量化后与数据寄存器值相加而消除。实际应用时,要做出弹滚动角与当前

扫描角度进行量化,得出相应的 ANGLE 值。非线性扫描标志的实现方法与扫描角度调整的方法基本相同,因此,在上述源代码中没有给出。

在程序设计中,采用了并行语句的方式。所谓并行语句,就是各个语句功能执行是并行的,与 VHDL 的书写顺序无关。用这种并行语句的结构方式在设计上能够尽量避免信号竞争、冒险的产生,使产生的波形质量大大提高。对于之间有连带关系的功能块,采用了进程语句。各个进程的功能执行同样是并行的,与并行语句所不同的是,进程的执行与敏感量有关。当敏感量发生变化时,进程被激活。这样,在使统一的时钟作为敏感量的情况下,就很容易保证了各进程之间的同步关系以及先后关系。

2.3 设计的仿真和实现

在完成 VHDL 的编写和逻辑综合之后,可以对其进行逻辑时序仿真。仿真的目的就是为了对所设计项目的正确与否进行验证,在项目下载到器件之间进行全面检测,以确保所设计的功能在各种可能的条件下都是正确的。这种时序仿真是在逻辑综合布线后的时序仿真,能够真实地反映实际电路的输出波形。此外,在验证功能正确与否的同时,还能对器件产生的信号延时进行检测,判断信号延时对实际电路是否会造成影响。图 3 为上述 VHDL 语言的仿真波形。

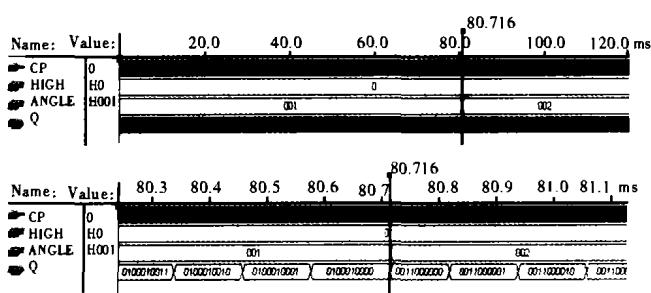


图 3 仿真时序图

Fig.3 Timing simulation

所谓设计实现就是按半导体工艺要求,采用相应的工艺库,把优化的布尔描述映射到实际的逻辑电路中。设计实现的过程是:取出经过优化的布尔描述,并利用从工艺中得的逻辑和定时上的信息做网表。网表是对用户所提出的面积和速度指标的一种体现方式。工艺库中存有大量的网表,它们在功能上相同,但可以在速度和面积两者之间权衡。某些网表速度快,但实现起来要花费更多的库单元;而另一些花费库单元少,但速度则要慢一些。网表的选择是根据设计者对

速度和面积的要求。最后,网表通过编程器或符合 JTAG 的下载线传输到可编程器件,完成设计。

3 VHDL 设计结果和讨论

利用 VHDL 语言编程的可编程器件在实际应用中得到了验证,器件功能特性符合系统要求。同时说明用精炼的高级硬件语言可以使复杂的设计简单化,缩短了设计周期;在设计中,设计者的主要工作是对功能进行描述,底层的具体工作由计算机来完成,所以有时为了提高电路速度或某些特殊设计需要而设计的程序在做完逻辑综合后往往会被优化掉,从而得不到预想的结果。为此,EDA 工具提供了相应的命令,该命令使得 EDA 工具严格按 VHDL 的描述来生成电路,并不进行优化,但同时也带来了对器件逻辑资源需求增大的缺点。为了节约硬件资源和提高系统的性能应当根据设计要求适当地选择参数及综合命令,这是在 VHDL 设计中要注意的重要问题。

4 结束语

基于软件的扫描控制设计,提高了设计的灵活性,降低了电路的复杂程度,修改也很方便。VHDL 语言属于高层语言,无法编辑底层功能,虽然某些器件支持底层编辑功能,对优化和布线等可以直接编辑,不过对复杂设计也无能为力。随着科技的发展,这些问题一定会得到解决。

参考文献:

- [1] Gustavson R L. Diode-laser radar for low-cost weapon guidance [A]. SPIE Proceeding of Laser Radar[C]. 1992, 1633. 21-32.
- [2] Perkin Elmer™ Optoelectronics Inc. Manual of Emitters and Detectors[M]. Perkin Elmer™ Optoelectronics Inc, 2000.
- [3] 王本, 沈树群. 激光扫描和光盘技术[M]. 北京: 北京邮电学院出版社, 1990.
- [4] 朱仁初. 电力拖动控制系统设计手册[M]. 北京: 机械工业出版社, 1992.
- [5] 黄正瑾. CPLD 系统设计技术入门与应用[M]. 北京: 电子工业出版社, 2002.
- [6] 曾繁泰, 陈美金. VHDL 程序设计[M]. 北京: 清华大学出版社, 2000.
- [7] Cambridge company. Instruction Manual[M]. Watertown: Cambridge Company, 2000.