

## FIFO 在多级滤波图像处理 ASIC 芯片中的设计应用\*

陈朝阳<sup>1</sup>, 洪功存<sup>1</sup>, 沈绪榜<sup>1,2</sup>, 郑兆青<sup>1</sup>

(1. 华中科技大学 图像信息处理与智能控制教育部重点实验室 集成电路设计中心,  
湖北 武汉 430074; 2. 西安微电子研究所, 陕西 西安 710054)

**摘要:** 描述了多级滤波图像处理 ASIC 芯片的体系结构, 针对该芯片的数据缓冲存储问题, 通过控制模块对一个输入 FIFO 和三个输出 FIFO 的协调控制, 高效地实现了多路数据的实时处理和传输。结合应用要求, 一个异步 FIFO 对输入数据缓冲存储, 使快速数据通道与慢速数据输入相匹配; 三个同步 FIFO, 分别对应单级  $1 \times 3$ 、两级  $1 \times 3$  级联(相当于  $1 \times 5$ )和三级  $1 \times 3$  级联(相当于  $1 \times 7$ )滤波模板的图像数据输出缓存, 分时复用一路输出总线。仿真结果表明设计是正确且有效的。

**关键词:** FIFO; 多级滤波; 图像处理; 存储器; 芯片

**中图分类号:** TN402    **文献标识码:** A    **文章编号:** 1007-2276(2005)03-0348-04

## Design of FIFO applied in the ASIC chip of image processing based on multilevel filter\*

CHEN Zhao-yang<sup>1</sup>, HONG Gong-cun<sup>1</sup>, SHEN Xu-bang<sup>1,2</sup>, ZHENG Zhao-qing<sup>1</sup>

(1. The Center Of the Integrated Circuit, Key Laboratory of Education Ministry for Image Processing and Intelligent Control, Institute for Pattern Recognition and Artificial Intelligent, Huazhong University of Science and Technology, Wuhan 430074, China;  
2. Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

**Abstract:** The architecture of the multilevel filter ASIC chip used for image processing is described. There are one input FIFO and three output FIFO controlled by the control module to realize multiplex image data real time processing and transferring efficiently. Considering FIFOs' design and application in the chip, one asynchronous FIFO buffers and stores input data to match datapath to slower data import; three synchronous FIFOs are designed separately as buffer storages of image processing data from three level filter, whose templates are separately  $1 \times 3$ ,  $1 \times 5$  (equates to the cascade connection of two  $1 \times 3$  templates) and  $1 \times 7$  (equates to the cascade connection of three  $1 \times 3$  templates). The three FIFOs occupy an output data bus by the way of time-sharing. Simulation results indicate that the design is right and effective.

**Key words:** FIFO; Multilevel filter; Image processing; Memory; Chip

收稿日期: 2004-07-06; 修订日期: 2004-08-02

\* 基金项目: 国家自然科学基金重点项目资助(60135020); 国家重点预研项目资助(413010701-3)

作者简介: 陈朝阳(1966-), 男, 湖北咸宁人, 副教授, 博士后, 研究方向为图像处理及其算法的 ASIC 实现。

## 0 引言

小目标检测是目标跟踪系统必须解决的一个重要问题,已有一些研究成果<sup>[1-5]</sup>。多级滤波算法<sup>[2]</sup>是一种检测小目标的算法,通过对相同滤波器级联获得不同带宽的滤波器,从而同时检测不同大小的小目标。比如,两个一维的 $1 \times 3$ 的滤波模板级联相当于 $1 \times 5$ 的滤波模板,三个 $1 \times 3$ 滤波模板级联则相当于 $1 \times 7$ 的滤波模板。将这种级联滤波器作用于图像,可以同时检测图像中 $1 \times 3$ 、 $1 \times 5$ 、 $1 \times 7$ 的小目标。多级滤波算法是计算密集型任务,如果通过软件实现,则很难满足实时图像处理的要求,因此开发专用芯片完成图像的多级滤波<sup>[6]</sup>。我们设计的多级滤波算法芯片实现对图像的三级滤波处理,即输入一幅原始图像,经过三级滤波处理输出后,将会得到三幅图像,为了节省芯片的引脚,这三路输出数据将分时复用一路数据总线,最终将数据输出存储到外部的存储器中。因此,芯片中就存在两个速度匹配的问题:(1)因为输入一幅图像,而数据通道需要快速处理后输出三幅图像,所以在慢速数据输入和快速数据通道间存在速度匹配问题;(2)三路输出数据需要通过缓冲存储,分时通过一路数据输出总线输出到外部存储器中。基于这些问题,使用FIFO对输入输出数据进行缓冲存储,实现对多路数据的高效传输。芯片结构框图如图1所示。

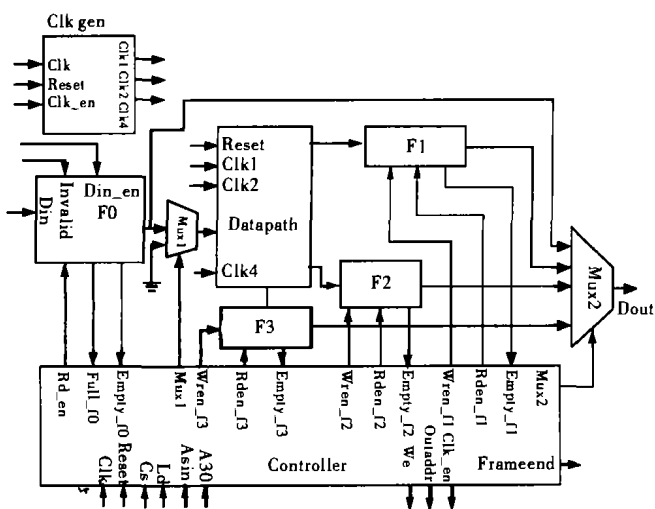


图1 芯片结构框图

Fig.1 Block diagram of chip function

如图中所示,CLK GEN为片上时钟产生器,用于产生数据通道Datapath所需的时钟信号,数据通道包

含对应系数为1的 $1 \times 3$ 、 $1 \times 5$ 和 $1 \times 7$ 的三级滤波通道,F1、F2和F3为同步FIFO,分别对这三路图像数据进行缓存,其输出通过多路选择器Mux2复用一路数据输出总线。F0为异步FIFO,用于图像输入数据和数据通道之间的缓存,其数据输入来自于CCD摄像头或者红外小目标数据,缓冲后数据输入到多路选择器Mux1。它们在控制模块的作用下实现数据的高效处理和传输,当F0获取一定大小的输入图像数据块时,数据通道开始读出数据进行处理,并将处理后的结果经F1、F2和F3缓存后通过多路选择器分时复用一路数据输出总线输出到外部的存储器中,当输出完三路处理结果,数据通道等待F0获取同样大小的数据块,进行新一轮的数据处理,如此循环,直到处理完输入的图像数据。

## 1 FIFO设计

### 1.1 设计说明

通常FIFO存储器具有读使能、写使能、非空和非满标志信号,在一些情况下还可以设计半满标志信号(其中半满数据 $n$ 可以据情况自行设定)。根据读写时钟的不同,FIFO存储器又可以分为同步FIFO和异步FIFO。在本设计中,因为外部数据写入时钟频率设定为5~10 MHz,可兼容不同大小、帧频的输入图像数据,而本芯片的设计数据处理时钟频率为50 MHz,所以输入FIFO即F0为异步FIFO<sup>[7]</sup>,其写时钟频率为5~10 MHz,读时钟频率则为50 MHz。对于输出端的FIFO,三个FIFO存储器可以设计为同步FIFO<sup>[8]</sup>,读写时钟频率都为相同的50 MHz。

模板卷积滤波要考虑图像边界的问题,对于多个模板级联,边界问题更加严重。为了使滤波后的图像大小不变,在进行图像滤波处理之前,在原始图像每行数据的前端和末尾增加足够数量的零。通过分析数据通道处理速度和输入数据速度,保证在处理一个数据块的时间内,输入和输出端FIFO不至于写溢出,因此选择存储深度为 $64 \times 16$ 的同样规格FIFO。

### 1.2 输入FIFO的设计

输入FIFO的设计规格是:写时钟频率为5~10 MHz,读时钟为50 MHz,设计深度为64个字,位宽16 bits。为了防止FIFO写满产生数据覆盖,利用一个

差  $n$  个数据满的半满信号来启动控制器发出读使能信号,这里  $n$  取值为 34,通过计算,每次处理的数据块为  $37 \times 16$  bits,因此可以省略输入 FIFO 的满标志信号。在读时钟的上升沿检测到该半满信号为高电平时,控制器发出读使能信号,读出数据将出现在下一个时钟上升沿。当检测到空信号有效后,控制器将发出读使能无效信号,停止从输入 FIFO 存储器读出数据,以免产生无效数据。这样数据通道将停止读入数据,对读入的数据进行处理并将处理完的结果再送到输出端 FIFO 存储器缓冲存储,直到  $n=34$ 。半满标志信号再次有效并启动 F0 读使能信号有效,数据通道再次从输入 FIFO 存储器 F0 读入数据。该 FIFO 具体的时序如图 2 所示。

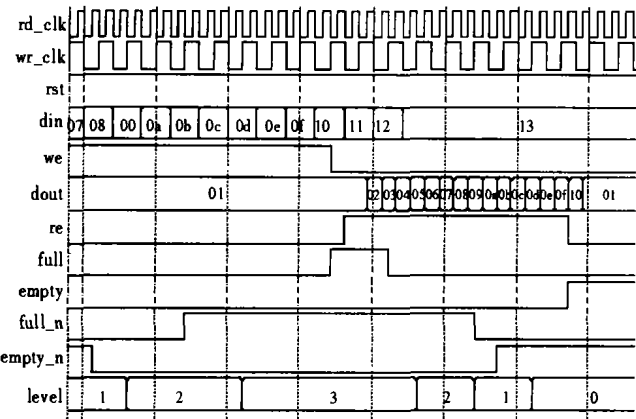


图 2 异步 FIFO 时序图

Fig.2 Asynchronous FIFO time sequence

### 1.3 输出 FIFO 的设计

输出 FIFO 的设计规格是:读写时钟都为 50 MHz,设计深度为 64 个字,位宽 16 bits。该 FIFO 在读写数据时是写完后读,读完后写,同时在写期间不能出现满信号有效,以免写入的数据丢失,读期间不能出现空信号有效,以免读入无效数据。因此,读写使能不能同时有效,通过计算,当一次处理的数据块为  $37 \times 16$  bits 时,输出 FIFO 在写期间不会出现满信号。具体地说,当 F0 半满标志信号启动 F0 读使能有效,数据通道读入数据直到 F0 空信号有效为止,同时数据通道对数据进行滤波处理并在输出 FIFO 写使能有效情况下分别写入 F1、F2 和 F3,在时钟的上升沿将出现第一个写入的结果。当数据写完后,读使能信号有效,依序从 F1、F2 和 F3 读出数据到外部 RAM 设

定的相应空间中,每读完一个输出 FIFO,其空信号有效使其读使能无效,并启动下一个 FIFO 存储器读使能有效,直到第三个输出 FIFO 读空。因为外部写时钟频率为 5~10 MHz,而芯片内部处理数据的频率是 50 MHz,速度远远快于数据的写入,所以在 F0 半满信号有效之前,完全可以处理完数据并输出。该 FIFO 具体时序如图 3 所示。

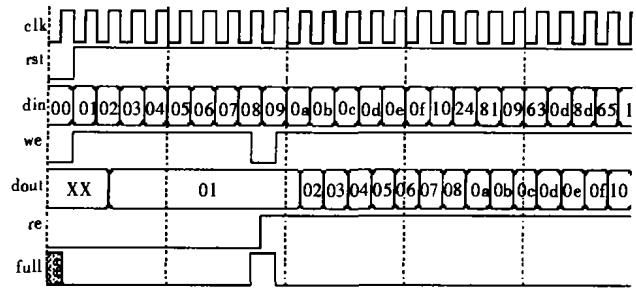


图 3 同步 FIFO 的时序图

Fig.3 Synchrony FIFO time sequence

## 2 FIFO 控制模块设计

控制模块的作用是使四个 FIFO 协调工作,其功能主要由有限状态机实现。状态图如图 4 所示,共有八个状态。Idle 为复位状态,当芯片的 Reset 为高电平时,所有寄存器为 0。当 Reset 为低电平时,进入 s0 状态,该状态为等待半满有效状态。s1 为读输入 FIFO,禁止写输出 FIFO 状态。s2 为读输入 FIFO,允许写输出 FIFO 状态。s3 为补零状态。s4、s5、s6 分别为读输出 FIFO 状态。

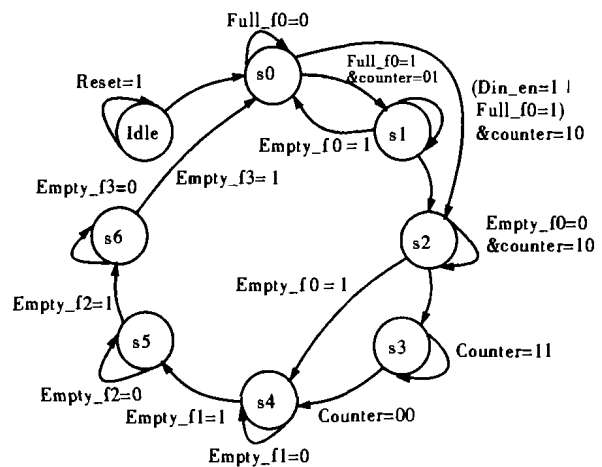


图 4 芯片工作状态图

Fig.4 Chip working state transition diagram

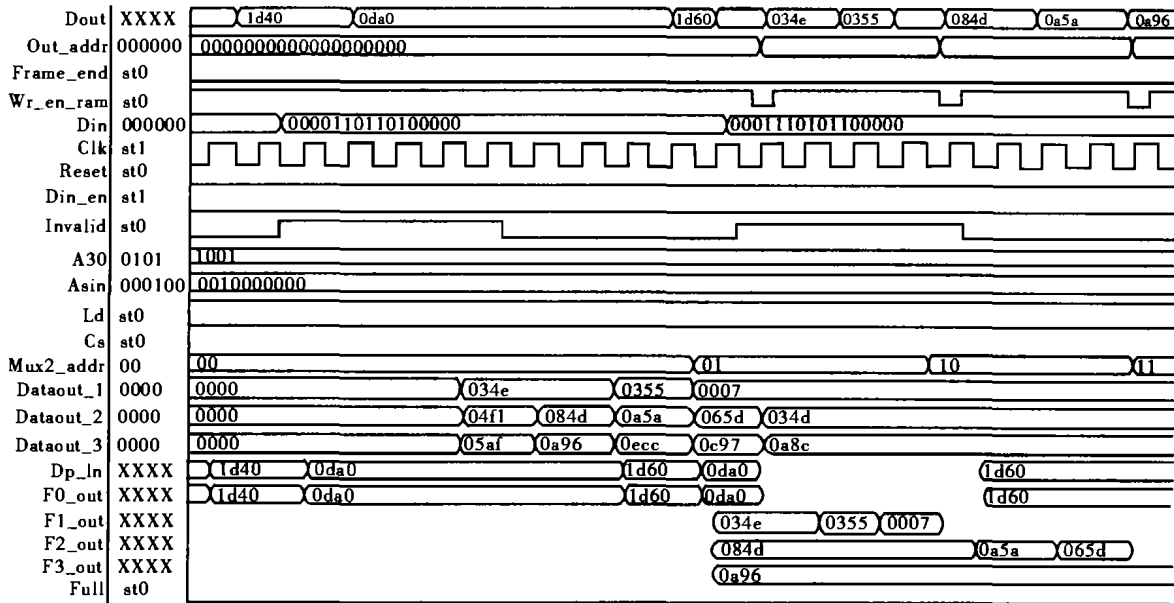


图 5 仿真结果时序图

Fig.5 Simulation time sequence

控制器基本工作过程：首先芯片上电置位后，系统开始进入工作状态。计数器及地址产生模块通过编程进行初始赋值。然后等待输入 FIFO 半满信号有效，当输入 FIFO 半满信号有效后，发送读使能信号使数据通道接收读数据，同时控制输出 FIFO 准备接收数据通道的处理结果。由于前两路数据通道末尾增加延迟寄存器，三个输出 FIFO 的写使能信号同时有效，但读使能信号不能同时有效，首先读第一个输出 FIFO，其次第二个，再次第三个，从输出 FIFO 读出的数据写到外部 RAM 中。对于输入 FIFO，如果最后结束的一帧输入后，没有到达半满信号，也要启动数据通道把最后数据处理完毕。

### 3 仿真结果

本芯片设计较为复杂，涉及到很多功能模块，而 FIFO 又分别处于整块芯片的输入端和输出端，所以对 FIFO 功能块的仿真验证可以通过对整体仿真来实现。利用 ModelSim 工具，对 FIFO 功能模块和芯片整体仿真结果表明，对 FIFO 的设计应用达到了预期目标。整体仿真结果如图 5 所示，其中纵坐标反映的是各输入、输出信号，横坐标表示时间。

### 4 结论

灵活利用了 FIFO 的设计，并通过详细的计算，确

定 FIFO 的具体规格，使四个 FIFO 很好地协调工作，在多级滤波 ASIC 芯片中不仅起到了保护传输数据和协调输入输出速度的功能，还在很大程度上提高了数据的传输效率，使整个芯片得以有效快速进行数据处理和传输。仿真结果验证了设计的有效性和正确性，目前正在进行芯片的后端设计。

### 参考文献：

- [1] 孙德宝,周卫祥,彭嘉雄.红外图像序列运动小目标检测的预处理算法研究[J].红外与激光工程, 2000, 29(2):12-14.
- [2] 牟松涛,苏锦鑫,吴建东.基于小波变换的红外图像弱小目标检测研究[J].红外与激光工程, 2004, 33(5):488-492.
- [3] Casasent D P, Smokelin J, Ye A. Wavelet and Gabor transforms for detection[J]. Opt Eng, 1992, 31(9): 1893-1898.
- [4] 温佩芝,史泽林,于海斌.复杂海面背景红外小目标自动检测方法[J].红外与激光工程, 2003, 32(6):590-593.
- [5] Moon Y S, Zhang Tianxu, Zuo Zhengrong, et al. Detection of sea surface small targets in infrared images based on multilevel filter and minimum risk Bayes test[J]. International Journal of Pattern Recognition and Artificial Intelligence, 2000, 14(7):907-918.
- [6] Gooitzen S van der Wal, Peter J Burt. A VLSI pyramid chip for multiresolution image analysis[J]. International Journal of Computer Vision, 1992, 8(3): 177-189.
- [7] Xilinx, Inc. Asynchronous FIFO V1.03. Product Specification[Z]. US: Xilinx, Inc, 1999.
- [8] Xilinx, Inc. Synchronous FIFO V3.0. Product Specification[Z]. US: Xilinx, Inc, 2001.