



·特种电源设计及仿真技术·

高压保护开关缓冲电路参数优化设计*

李志恒, 马少翔, 张鸿洪, 朱帮友, 张 明, 于克训, 潘 垣

(华中科技大学 电气与电子工程学院 强电磁工程与新技术国家重点实验室, 磁约束聚变与等离子体国际合作联合实验室, 武汉 430074)

摘 要: 目前的高压保护开关缓冲电路参数设计缺乏相关理论设计方法, 同时缓冲电路方案由于设计过程中并未考虑分布电容影响, 因此均为等参数设计方案, 这种方法均压效果不够理想。为了解决目前参数设计中存在的问题, 首先建立了含缓冲电路和杂散电感的 MOSFET 模型并对其关断过程进行了分析, 从而得到了抑制电压尖峰的缓冲电路理论设计方法及表达式。针对串联均压未考虑分布电容的问题, 通过构造等电位点, 建立了含有分布电容的等效电路并进行分析, 根据电荷方程等式得到了缓冲电路非等参数设计方法及表达式, 该参数设计方法可以补偿分布电容造成的电压分布不均, 并更好地指导高压保护开关的均压方案设计。为了验证参数设计的合理性进行了仿真分析, 结果表明, 最终得到的整体设计方案可以满足尖峰抑制以及均压的设计要求。

关键词: 高压开关; 缓冲电容; 缓冲电阻; 分布电容; 均压

中图分类号: TM832

文献标志码: A

doi: 10.11884/HPLPB202436.230158

Parameter optimization design of snubber circuit for high voltage protection switch

Li Zhiheng, Ma Shaoxiang, Zhang Hongqi, Zhu Bangyou, Zhang Ming, Yu Kexun, Pan Yuan

(International Joint Research Laboratory of Magnetic Confinement Fusion and Plasma Physics, State Key Laboratory of Advanced Electromagnetic Engineering and Technology, School of Electrical and Electronic Engineering, Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: The ion source and electron gyrotron of the fusion auxiliary heating system are prone to failure and expensive. To protect them, it is necessary to study the high voltage switch scheme. The parameter design methods of high voltage protection switch snubber circuit are lack of relevant theoretical design methods currently, and the snubber circuit schemes are isoparametric design schemes because the influence of distributed capacitance is not taken into account in the design process. The voltage-balancing effect of this method is not ideal. To solve the problems existing in the current parameter design, we have established the MOSFET model with snubber circuit and stray inductor and analyze its turn-off process, thus to obtain the theoretical design method and expression of snubber circuit for suppressing voltage spike. Taking the distributed capacitance into consideration in series voltage-balancing and constructing the isoelectric point, we have established and analyzed the equivalent circuit, and obtained the non-equal parameter design method and expression of snubber circuit according to the charge equation. This parameter design method can compensate the uneven voltage distribution caused by distributed capacitance and guide the voltage-balancing scheme design of high voltage protection switch better. To verify the rationality of the parameter design, we have a carried out, simulation analysis. which shows that the overall design scheme can meet the design requirements of peak suppression and voltage-balancing.

Key words: high voltage switch, snubber capacitance, snubber resistance, distributed capacitance, voltage-balancing

* 收稿日期: 2023-05-30; 修订日期: 2023-09-07

基金项目: 国家重点研发计划项目 (2017YFE0300104); 国家自然科学基金项目 (51821005)

联系方式: 李志恒, zhihengli@hust.edu.cn。

通信作者: 马少翔, mashaoxiang@hust.edu.cn。

电子回旋共振加热(ECRH)和中性束注入(NBI)加热是进行核聚变相关实验的重要辅助加热方式,然而, ECRH系统的核心部件电子回旋管和NBI系统的离子源加速极非常脆弱^[1],当发生过压、过流、打火等故障时必须极短时间内可靠切断电源,限制涌向负载的能量^[2],仅仅依赖电源本身关断输出具有关断时间长、关断尖峰大、可靠性低等缺点^[3]。高压保护开关是 ECRH 系统和 NBI 加速极电源调试运行时的关键设备,其主要作用是在负载发生故障时辅助功率变换级逆变器切断故障电流,降低电源关断时间和减少加速极电源溢出到负载的焦耳能量,同时肩负着保护电源本体的重任。因此关断时间及溢出能量是设计保护开关的关键性能指标^[4]。通常通过串联大量的半导体器件可以使高压保护开关达到相应的高电压等级,但由于半导体器件特性、驱动电路性能与主电路参数等之间的差异,高压开关内部会出现器件电压不均衡的现象,随着串联器件数目的增加,严重时甚至会导致开关的损坏^[5]。

20世纪90年代,国外开始大范围研究高压固态开关,期间美国 T. F. Podlesak^[6]等人研制了一种由5个GTO串联而成耐压5kV的固态开关,导通时间仅需几 μs 。1995年,意大利 A. Consoli^[7]等人提出一种利用并联电容电阻的动态均压方法,为串联器件的开关同步研究提供了思路,并在此基础上设计了一款IGBT串联开关。1997年 G.Renz 等人串联8个4.5kV的IGBT研制了耐压20kV的高压固态开关^[8],并利用此开关配合加速器电源得到可靠的高压脉冲。在大型工程领域,高压固态开关也硕果累累。2007年,ABB公司推出一款基于串联IGCT的固态开关方案,参数达到12kV/4000A,导通时间小于2 μs ^[9]。目前国内高压固态开关研究主要应用于高压直流输电和动车机车的启动与停止等领域,对聚变辅助加热装置领域高压固态开关的研究并不充分。与高压直流输电相比,国内外各个辅助加热装置参数具有相近的电压等级,但电流等级却小得多,因此已被广泛研究与应用于高压直流输电领域的诸多混合式高压开关,由于成本、体积等原因,也并不适用于聚变辅助加热装置^[10-12]。与此同时,目前高压开关均压方法均基于定性分析及实验测试,缺乏理论基础,同时没有描述不平衡电压的精确解析模型。缓冲电路参数设计方法多基于经验公式和实测结果,缺乏相关理论设计方法。比对,目前的缓冲电路方案由于无源组件设计过程中并未考虑杂散参数影响,因此均为等参数设计方案,这种方法忽略了杂散参数影响,均压效果不够理想。本文对目前聚变领域的高压保护开关拓扑进行了分析。并对含有缓冲电路的高压保护开关整体电路进行了建模分析,得到关断电压尖峰值与电路参数之间的表达式,从而指导缓冲电容和缓冲电阻的参数设计。本文还对含有分布电容的串联均压电路进行了建模分析,对非等参数的保护开关串联均压缓冲电路进行了优化参数设计,并通过仿真验证了关断模型分析及参数设计的有效性。

1 聚变高压保护开关方案均压拓扑分析

目前聚变领域的高压保护开关的研究基于SiC MOSFET器件,华中科技大学磁约束聚变与等离子体国际合作联合实验室首先分析了SiC MOSFET的基本特性,阐述了它在高压应用时的理论优势。随后开展了SiC MOSFET与Si IGBT的动静态性能对比,通过实验论证了MOSFET的实践优势,同时讨论了其应用难点。接着,提出了一种新的基于电压钳位拓扑的串联均压方案,对其结构和原理进行了详细的分析和介绍,同传统均压电路进行了对比。最后,基于新型均压方案提出了一种高压开关方案,包括供电方案及触发驱动方案。在此基础上,研制了一套40kV/20A高压开关样机并进行了详细的测试。其中主要的电路拓扑提出了一种电压钳位型串联均压电路,其拓扑如图1所示^[13],通流支路为MOSFET T_1 ,钳位电路包括钳位二极管 D_1 、均压电容 C_1 、电容放电电阻 R_1 及压敏电阻 Z_1 。

当 T_1 导通时,其原理如图2(a)所示,负载电流通过 T_1 流动,同时存储于 C_1 中的能量通过 R_1 、 Z_1 泄放;当 T_1 关断时,其原理如图2(b)所示, V_C 为电容电压, T_1 电压迅速上升至 V_C 并略有超调,导致 D_1 导通, C_1 接入电路中,使 T_1 的等效并联电容增加。此时负载电流同时会向 C_1 充电,由于 C_1 值较大,因此 T_1 电压上升速度相对 C_1 未接入前变缓,呈现两段式变化。另外电路中存在不可避免的杂散电感,其储能随着负载电流的增加而增加,该杂散能量也由 C_1 吸收,保证 T_1 过压峰值在合理范围内。

对于单个MOSFET,该均压电路可以很好地限制过电压,同时,由于 C_1 只在 T_1 两端电压超过 V_C 时才被接入电路充电,因此对于关断时间的影响很小。串联MOSFET电路同样将受益于该均压拓扑,串联器件中最早关断的MOSFET的电压上升率会受到 C_1 钳制,而不会让其过早地承受整个电源电压。 Z_1 是一种非线性、非欧姆特性的

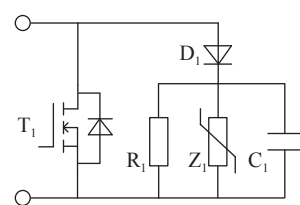


Fig. 1 Schematic diagram of voltage clamp voltage-balancing circuit

图1 电压钳位型均压电路原理图

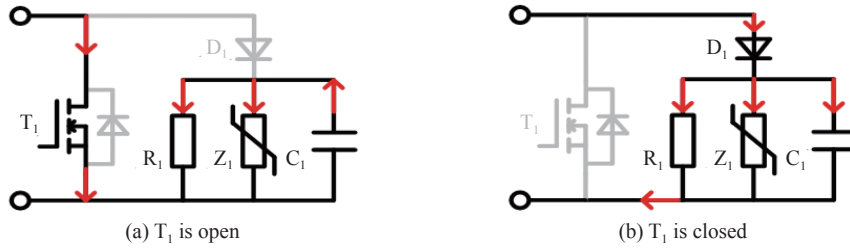


Fig. 2 Working principle diagram of voltage clamp voltage-balancing circuit

图 2 电压钳位型均压电路工作原理图

压敏电阻。随着 MOSFET 的反复关断, 杂散电感所储存的能量会被转移至均压电容中导致均压电容电压持续升高, 当 V_C 达到 Z_1 击穿电压时, Z_1 导通, 导致 C_1 的并联等效电阻迅速减小, 从而使 V_C 因放电而快速降低, 保证 T_1 、 C_1 不因能量累积过大而过压损坏。

此外, 华中科技大学磁约束聚变与等离子体国际合作联合实验室还针对 ECRH 系统设计了一套 55 kV/25 A 高压固态开关方案。提出了基于缓冲箝位电路的新型拓扑^[4], 其优点为关断速度快、过载能力强和反向电流抑制能力强等。在该拓扑进行原理分析基础上完成了参数计算和器件选型, 在详细分析了可靠性、隔离性基础上设计了一套控制、驱动及辅助供电方案。其中单个开关管的均压拓扑如图 3 所示。其中开关管 T_1 和二极管 D_2 成一路桥臂, 开关管 T_2 和二极管 D_1 成另一路桥臂, R_1 为电容放电电阻, R_2 为均压电阻, D_3 箝位二极管, C_1 缓冲电容。通过开断 T_1 、 T_2 使模块对外呈现开关特性。工作过程如下: 首先 T_1 、 T_2 关断, 电源端输出高压或者由单独的充电电源为缓冲电容 C_1 充电, 稳态后 T_1 、 T_2 、 C_1 两端电压均等于整个模块承受电压。当导通信号发出时, T_1 或 T_2 中的一个导通 (不妨假设 T_1 导通), 整个子开关模块呈导通状态。放电结束或者出现短路时, 关断信号发出, 导通的开关管 (T_1) 关断, 整个子开关模块呈管关断状态。如果短路电流过大, 则原先关断的开关管 (T_2) 先导通一个极短的时间, 使两个桥臂均分短路电流后, T_1 、 T_2 再一起关断。至此, 一次完整的放电过程结束。

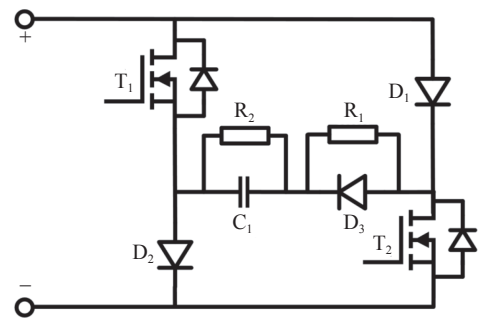


Fig. 3 Schematic diagram of new voltage-sharing topology

图 3 新型均压拓扑原理图

表 1 列出了各个工作模式的开关通断状态; 图 4 为各个工作模式的示意图, 其中过流均流模式如图 4(a) 所示,

表 1 拓扑工作模式

Table 1 Topology working mode

pattern	T_1	T_2	module voltage	single tube current	function
1	on	on	0	$i_1/2$	over-current balancing
2	on	off	0	i_1	conduction discharge
3	off	off	V_1	0	current shutoff
4	off	on	0	i_1	conduction discharge

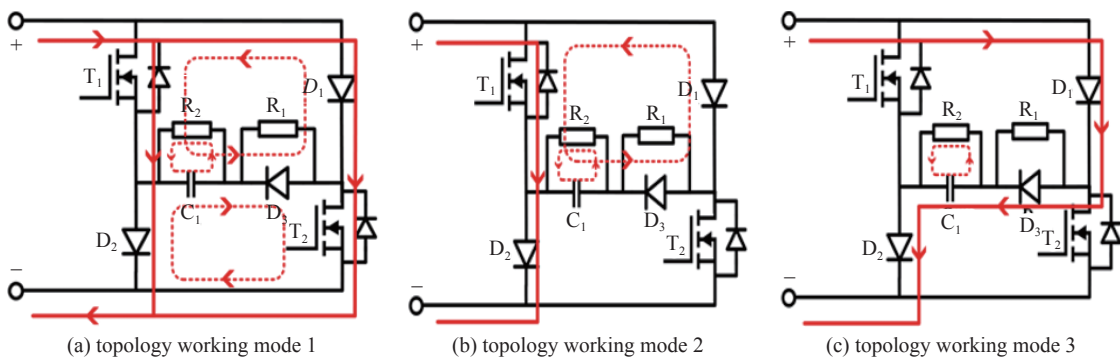


Fig. 4 Schematic diagram of topology working modes

图 4 拓扑工作模式示意图

导通放电模式如图4(b)所示,过流关断模式如图4(c)所示。其中回路总电压稳态值为 V_1 ,回路总电流稳态值为 i_1 。

这两种拓扑方案均有效地抑制了器件的关断电压尖峰,改善了关断时的电压分布情况,同时无需额外的反馈控制来调整触发时间,具有简单易行的特点。但也存在一定的不足,例如缓冲电路参数设计基于经验公式和实测结果,缺乏相关的理论设计方法,并且没有考虑杂散电感以及分布电容的影响,因此需要进行进一步的优化研究。

2 含缓冲电路的 MOSFET 关断过程分析

由于目前高压开关的缓冲电路设计方法多基于经验公式和实测结果,缺乏相关理论设计方法。同时目前的缓冲电路方案由于无源组件设计过程中并未考虑杂散参数影响,因此具有一定的局限性。因此本节对含有缓冲电路的 MOSFET 关断过程进行了分析,缓冲电路采用工业应用中广泛采用的 RCD 型,分析电路示意图如图 5 所示。电路中 R_g 为栅极电阻, L 为负载电感, i_d 为关断过程中的主回路电流, MOSFET 开启状态下的主回路恒定电流为 I_D 。MOSFET 中需要考虑的关键寄生元件包括栅源极电容 C_{gs} , 栅漏极电容 C_{gd} , 漏源极电容 C_{ds} , 同时由于关断过程中栅漏极电容 C_{gd} 、漏源极电容 C_{ds} 的值会发生变化,因此用 C_{gd1} 和 C_{gd2} 以及 C_{ds1} 和 C_{ds2} 表示不同值。同时考虑源极电感 L_{s1} 和漏极电感 L_{d1} 。MOSFET

的输出电容 $C_{iss}=C_{gs}+C_{gd}$, 输出电容 $C_{oss}=C_{ds}+C_{gd}$, 功率回路中以及 MOSFET 外部的所有电感集中在一起,并且由 L_{s2} 和 L_{d2} 表示,因此源极端子处的总电感 $L_s=L_{s1}+L_{s2}$, 漏极端子处的总电感 $L_d=L_{d1}+L_{d2}$ 。

在模型分析中考虑了以下假设:(1) 由于栅极驱动电阻 R_g 限制栅极电流及变化率,因此栅极电感 L_g 的影响可以忽略不计;(2) C_{gs} 和 C_{ds} 为了分析的简单性,采用了将它们表示为两个离散值的常用方法;(3) 在漏源极电压降低到低电平之前,假定缓冲电路电容两端的电压在输出电压 V_{DD} 处保持恒定,以简化分析。因为缓冲电路的时间常数 $R_{sn}C_{sn}$ 远远大于 MOSFET 的开关时间。

基于以上假设, MOSFET 的工作模式及寄生电容的离散值如表 2 所示。在表 2 中, V 表示电压, V_{gs} 表示栅源极电压, V_{ds} 表示漏源极电压, V_{th} 表示阈值电压, V_{GG} 表示栅极电压源电压, V_{DD} 为输出电压。 $R_{ds(on)}$ 为 MOSFET 处于开启状态时的漏源极电阻。并且 $C_{gd1} \ll C_{gd2}$ 并且 $C_{ds1} \ll C_{ds2}$ 。

表 2 MOSFET 工作模式
Table 2 Working modes of MOSFET

	operation mode	C_{gs}	C_{gd}	C_{ds}	channel condition
$V_{gs} > V_{th}$ and $V_{ds} \leq V_{gs} - V_{th}$	Ohmic	C_{gs}	C_{gd2}	C_{ds2}	constant resistance $R_{ds(on)}$
$V_{gs} < V_{th}$	cut off	C_{gs}	C_{gd1}	C_{ds1}	open circuit

根据图 5 所示电路对 MOSFET 关断过程进行分析,为了研究缓冲电路的影响,将对含有缓冲电路以及不含缓冲电路两种情况的关断过程进行比较。在初始时刻, MOSFET 处于开启状态,此时的漏源电压 $V_{ds}=I_D R_{ds(on)}$, 栅源电压 $V_{gs}=V_{GG}$ 。

SiC MOSFET 关断波形如图 6 所示。 V_{miller} 表示不加缓冲电路时的开关管米勒平台电压, $V_{miller1}$ 表示含有缓冲电路时的开关管米勒平台电压, V_{peak} 为不加缓冲电路时的漏源电压峰值, $V_{ds(on)}$ 为 MOSFET 开启状态时的漏源电压,关断过程中流过 MOSFET 支路的电流为 I_{D1} 。

(1) 第一阶段为关断延迟阶段 (t_0-t_1), 栅极信号被设置为零,关断信号发出后, C_{iss} 放电, V_{gs} 迅速下降至米勒电压,此时 V_{gs} 尚未低于阈值电压 V_{th} ,因此 V_{ds} 不会上升,缓冲电路不会开始工作。此时 MOSFET 在欧姆区工作,漏极电流不变, L_s 的影响可以忽略不计。当缓冲电路未工作并且没有电流流过时, C_{sn} 两端的电压仍然等于 $V_{ds(on)}$ 。在这一阶段, V_{gs} 可表示为

$$V_{gs}(t) = V_G e^{-(t-t_0)/\tau_1} \quad (1)$$

式中: τ_1 为第一阶段时长, $\tau_1=R_g(C_{gs}+C_{gd})$ 并且 $C_{gd}=C_{gd2}$ 。

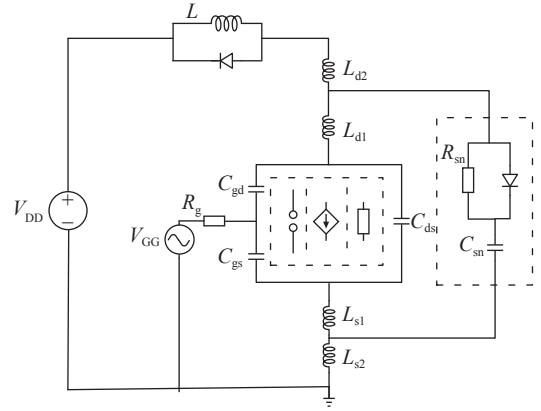


Fig. 5 Schematic diagram of analytical circuit
图 5 分析电路示意图

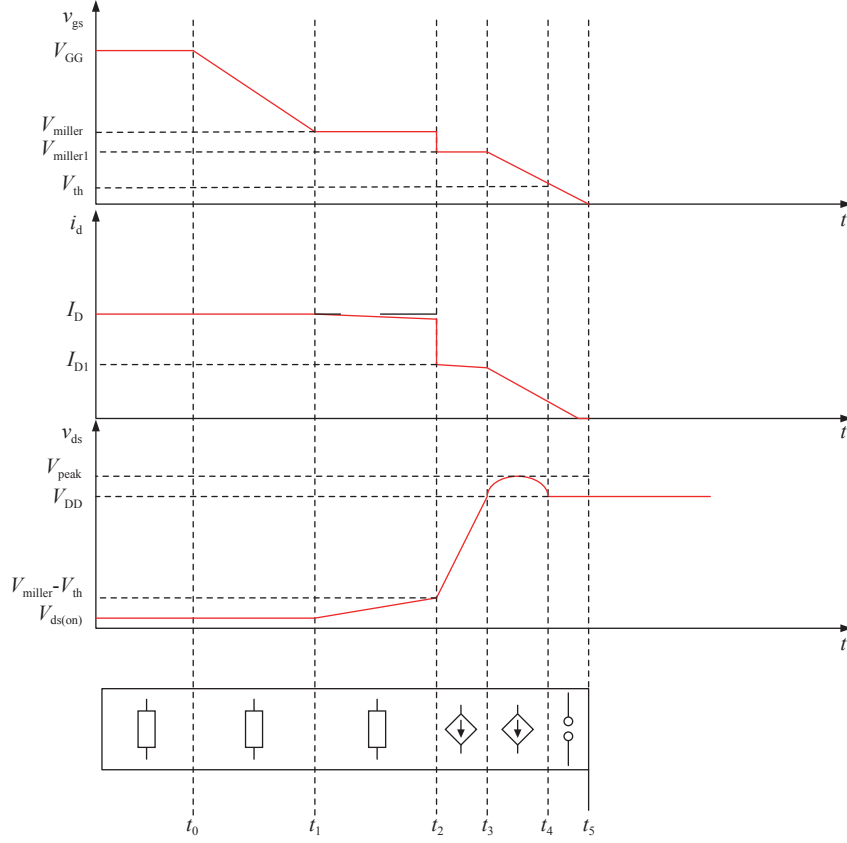


Fig. 6 SiC MOSFET turn-off waveforms

图 6 SiC MOSFET 关断波形图

(2) 第二阶段为电压上升 I 阶段 (t_1-t_2), 由于米勒效应, C_{iss} 大大增加, C_{gd} 的放电电流使 V_{ds} 略有上升, 此时 I_D 基本没有下降。随着 V_{ds} 上升, 缓冲电路开始工作, 缓冲电容 C_{sn} 开始充电, 由于此时 V_{gs} 保持不变, 因此可以

$$I_{sn} = C_{sn} \frac{dV_{ds}}{dt} = C_{sn} \frac{dV_{gd}}{dt} \quad (2)$$

$$C_{gd} \frac{dV_{gd}}{dt} = \frac{V_{gs}}{R_g} \quad (3)$$

联立式(2)和式(3)可得

$$I_{sn} = C_{sn} \frac{dV_{ds}}{dt} = C_{sn} \frac{dV_{gd}}{dt} = C_{sn} \frac{V_{gs}}{C_{gd} R_g} \quad (4)$$

此时 MOSFET 处于线性工作区, 此时回路总电流为 I_D , 流过 MOSFET 支路的电流为 I_{D1} , V_{gs} 可表示为

$$V_{gs} = \frac{I_{D1}}{g_{fs}} + V_{th} \quad (5)$$

式中: g_{fs} 为 MOSFET 的跨导, V_{th} 为 MOSFET 的门槛电压。

由此可以得到流过 MOSFET 支路的电流

$$I_{D1} = I_D - C_{sn} \frac{V_{th} + I_{D1}/g_{fs}}{R_g C_{gd}} \quad (6)$$

转化得到

$$I_{D1} = I_D - \frac{C_{sn}(I_D + V_{th}g_{fs})}{g_{fs}R_g C_{gd} + C_{sn}} \quad (7)$$

从式(7)可以看出, C_{sn} 越大, I_{D1} 越小, 但由于 RCD 缓冲电路的缓冲电容通常不会很大, 此外由于 C_{gd} 较大, 因此在此阶段 I_{D1} 接近 I_D , 可以假设漏电流保持不变。理想情况下, 漏电流保持恒定, 漏源电压保持在其米勒电压。这允许忽略 L_s 和为 C_{gd} 以及 C_{ds} 充电的小电流。在这种情况下, 可以得到以下关系式

$$i_g = \frac{V_{gs}}{R_g} \quad (8)$$

$$\frac{dV_{ds}}{dt} = \frac{i_g}{C_{gd}} = \frac{V_{gs}}{R_g C_{gd}} \quad (9)$$

其中 $C_{gd}=C_{gd2}$, $V_{gs}=V_{miller0}$ 。

在这一阶段结束时, V_{ds} 上升到 $V_{miller}-V_{th}$, MOSFET 开始在饱和区运行。

(3) 第三阶段为电压上升 II 阶段 (t_2-t_3), 在此阶段 MOSFET 处于饱和期, V_{ds} 继续上升直到达到 V_{DD} , 当 C_{gd} 变为较小的值 C_{gd1} 时, 电压变化率将比前一级更快。根据式(7), 当 C_{gd} 变为较小的值 C_{gd1} 时, 流过 MOSFET 支路漏电流将变为 I_{D1} , 并且此时 I_{D1} 不能近似为与 I_D 相等, 漏极电流减小后, V_{gs} 也会减小到 $V_{miller1}$ 。与没有缓冲电路的 MOSFET 相比, 这一阶段的 dV_{ds}/dt 会更小一些, 因此存在缓冲电路时的电压上升时间会比不存在缓冲电路时的电压上升时间长。

(4) 第四阶段为电流下降阶段 (t_3-t_4), 在这一阶段 C_{gd} 放电结束, 米勒效应消失, V_{gs} 退出米勒平台继续下降至 V_{th} 。其间 i_d 迅速下降, V_{ds} 继续上升。栅源电压 V_{gs} 及漏极电流 i_d 可表示为

$$V_{gs}(t) = V_{miller1} e^{-(t-t_3)/\tau_r} \quad (10)$$

$$i_d(t) = g_{fs}(V_{gs}(t) - V_{th}) = (I_{D1} + g_{fs}V_{th})e^{-(t-t_3)/\tau_r} - g_{fs}V_{th} \quad (11)$$

其中 $\tau_r = R_g(C_{gs} + C_{gd1}) + L_s g_{fs}$ 。

如果不含缓冲电路, I_{D1} 将增大变为 I_D , 而时间常数并没有发生改变, 因此电流下降的时间会上升。

这一阶段是发生电压过冲的阶段, 二极管正向导通, 缓冲电路抑制 MOSFET 上额外的电压应力。根据能量守恒定律, 不加缓冲电路时的电压超调可近似为

$$\frac{1}{2}(L_s + L_d)I_D^2 = \frac{1}{2}C_{oss1}(V_{peak}^2 - V_{DD}^2) \quad (12)$$

式中: V_{peak} 为不加缓冲电路时的 V_{ds} 电压峰值。当 MOSFET 工作在饱和区时发生电压过冲, 此时的输出电容 C_{oss1} 取值为 $C_{oss1} = C_{gd1} + C_{ds1}$ 。

(5) 第五阶段为关闭阶段 (t_4-t_5), C_{gs} 继续放电至稳定状态, 在寄生电容和杂散参数作用下, V_{gs} 存在尖峰, 从 V_{th} 降低为断态电压, i_d 降为泄漏电流, SiC MOSFET 完全关断, 工作在截止区域。

3 电压尖峰抑制电路参数设计方法

3.1 关断过程配置方案分析

根据以上对于含有缓冲电路的 MOSFET 关断过程的分析, 可以得到关断过程的相关配置关系。电压尖峰产生的阶段为电流下降阶段 (t_3-t_4), 在电流下降阶段及关闭阶段中 i_d 迅速下降, 根据式(11), 当 i_d 下降为零时, 有

$$(I_0 + g_{fs}V_{th})e^{-\Delta t/\tau_r} = g_{fs}V_{th} \quad (13)$$

式中: I_0 是流过 MOSFET 的电流, 在没有缓冲电路时 $I_0=I_D$, 在有缓冲电路时 $I_0=I_{D1}$; Δt 是电流从 I_0 变为零的时间间隔, τ_r 为第二和第三阶段总时间; 式(13)可表示为

$$\Delta t = \tau_r \ln \frac{I_0 + g_{fs}V_{th}}{g_{fs}V_{th}} = \tau_r \ln \left(1 + \frac{I_0}{g_{fs}V_{th}} \right) \quad (14)$$

电流近似为线性变化, 所以可以求出电流变化率为

$$\frac{di_d}{dt} = \frac{I_0}{\Delta t} = \frac{I_0}{\tau_r \ln \left(1 + \frac{I_0}{g_{fs}V_{th}} \right)} = \frac{I_0}{\tau_r \ln \left(\frac{V_{miller0}}{V_{th}} \right)} = \frac{I_0}{[R_g(C_{gs} + C_{gd1}) + g_{fs}L_s] \ln \left(\frac{V_{miller0}}{V_{th}} \right)} \quad (15)$$

其中 $V_{miller0}$ 是 V_{gs} 在 t_3 时刻的电压, 在没有缓冲电路时 $V_{miller0}=V_{miller}$, 在有缓冲电路时 $V_{miller0}=V_{miller1}$ 。

在没有缓冲电路的情况下, MOSFET 关断过程中产生的电压应力

$$V_{Ld} + V_{Ls} = (L_d + L_s) \frac{di_d}{dt} \quad (16)$$

3.2 缓冲电容参数设计方法

缓冲电容用来储存杂散电感的能量从而限制电压应力, 不加缓冲电路时电压超调可近似为式(12), 加入缓冲电路后希望达到的电压为 mV_{DD} , 其中 m 为希望达到的电压超调系数。因此可以得到

$$\frac{1}{2}(L_s + L_d)I_D^2 = \frac{1}{2}C_{oss1}(V_{peak}^2 - V_{DD}^2) = \frac{1}{2}(C_{oss1} + C_{sn})[(mV_{DD})^2 - V_{DD}^2] \quad (17)$$

因此可以得到缓冲电容的表达式为

$$C_{sn} = C_{oss1} \frac{V_{peak}^2 - (mV_{DD})^2}{(m^2 - 1)V_{DD}^2} \quad (18)$$

V_{peak} 产生的原因是由于电路中存在源极和漏极端子处的电感, 其表达式为

$$V_{peak} = V_{DD} + V_{Ld} + V_{Ls} = V_{DD} + (L_d + L_s) \frac{I_D}{[R_g(C_{gs} + C_{gd1}) + g_{fs}L_s] \ln\left(\frac{V_{miller}}{V_{th}}\right)} \quad (19)$$

定义 $(a-1)V_{DD} = (L_d + L_s) \frac{I_D}{[R_g(C_{gs} + C_{gd1}) + g_{fs}L_s] \ln\left(\frac{V_{miller}}{V_{th}}\right)}$, 则 $V_{peak} = aV_{DD}$, 由此可以得到缓冲电容的简化表达式

$$C_{sn} = C_{oss1} \frac{a^2 - m^2}{m^2 - 1} \quad (20)$$

其中 $a = (L_d + L_s) \frac{I_D}{[R_g(C_{gs} + C_{gd1}) + g_{fs}L_s] \ln\left(\frac{V_{miller}}{V_{th}}\right)} + 1$ 。

因此当设置了设计希望达到的电压超调系数 m 后, $C_{sn} \geq C_{oss1} \frac{a^2 - m^2}{m^2 - 1}$ 时, 缓冲电容设计值可以满足电压尖峰抑制的设计要求。

3.3 缓冲电阻参数设计方法

缓冲电阻的参数设计需要考虑以下三个方面。

(1) 需要确保缓冲电容器在 MOSFET 导通之前完全放电。因此缓冲电路的时间常数被选择为不超过开关的最小导通时间的四分之一。因此需要满足

$$R_{sn} < \frac{T_{on(min)}}{4C_{sn}} \quad (21)$$

式中: $T_{on(min)}$ 为 MOSFET 的最小开通时间。

(2) 需要保证开启时的放电电流不超过输入电流的 25%, 以免增加 MOSFET 的电流应力, 因此需要满足

$$R_{sn} > \frac{V_{DD}}{0.25I_D} \quad (22)$$

(3) 为了满足 NBI 电源的要求, 缓冲电路的时间常数应该被选择为不超过最大重启等待时间的 1/4, 因此需要满足

$$R_{sn} < \frac{T_{restart(max)}}{4C_{sn}} \quad (23)$$

其中 $T_{restart(max)}$ 为 NBI 系统的最大重启时间。

4 考虑分布电容的均压缓冲电路参数设计方法

4.1 串联均压方案选择

MOSFET 串联电压不均衡的主要原因在于串联器件之间存在种种的差异: MOSFET 本身的特性, 触发信号的同步性等。直接串联的 SiC MOSFET 关断时间短, 因此对于触发信号同步性的要求也大幅度地提高, 另外由于关断电压变化率大, 主电路参数尤其是杂散电感必须进行优化。因此为了保证器件的安全和高压开关的可靠运行, 需要采取一定措施实现串联器件均压效果。常用的器件串联均压方案可分为功率侧均压、驱动侧均压及控制侧均压三类^[15-17]。控制侧均压可以通过主动控制外部驱动信号改变功率器件的开关特性和均压特性, 本质上就是通过控制策略主动改变栅极驱动信号的电压、电流和时序等因素, 从而实现漏源电压的动态均衡。但存在磁芯材料和漏感匹配要求极高以及击穿误差较大, 器件电压一致性较低等问题。驱动侧均压则利用器件的栅极对于开关过程的影

响,采用调整驱动电阻、驱动电压、驱动时序等方法控制各个串联器件的电压,控制精度高,能取得极好的均压效果,但结构复杂,成本高,可靠性较低。功率侧均压大多通过功率端并联电容来适当减缓关断速度,降低峰值电压,这种方法简单可靠、鲁棒性高。因此本次设计采用功率侧均压方案,利用RCD缓冲电路实现均压效果,针对目前缓冲电路参数设计中多基于经验公式,缺乏理论设计方法以及未考虑分布电容影响的不足,本节将对考虑分布电容的均压电路进行建模分析并且得到含分布电容的缓冲电路参数设计表达式,从而更好地确定缓冲电路的参数取值。

4.2 考虑分布电容的均压电路建模分析

根据第二节的分析可知,关断过程电压尖峰及不平衡电压主要发生在 t_3-t_4 阶段,此时 MOSFET 处于饱和区,这一阶段的 SiC MOSFET 模型可以等效为电流源和电容并联的模型,而输出电容 C_{oss} 和缓冲电容 C_{sn} 并联可以简化为一个电容,含缓冲电路的 MOSFET 串联模型示意图如图 7 所示。

为了进一步研究考虑分布电容和缓冲电路的 MOSFET 关断过程串联均压的模型,建立了等效电路如图 8 所示,其中 C_s 为缓冲电容及输出电容之和,定义分布电容 $C_s=C_{sn}+C_{oss}$ 。如果不考虑分布电容影响时,可以设计为等参数的缓冲电容值来实现均压效果,但因为分布电容的存在,需要设计非等参数的缓冲电容取值来补偿分布电容带来的分布不均。

由于电路的振荡过程非常复杂,因此无法求出相应的解析解来推导其中的参数关系,为了进一步研究参数设计方法,构造了等电位点来对电路进行进一步简化,假设电压分布均匀时,构造的等电位点电路如图 9 所示。

在图 9 中,节点分布电容被等效成串联连接的等值电容,串联的电容数量为分布电容节点跨过的 MOSFET 数量,这样可以得到与 MOSFET 连接点具有同样电位的新节点, n 为串联的 MOSFET 总个数, j 为从桥臂阳极开始的二极管编号。例如 C_{hj} 拆分为 $n-j$ 个串联起来的电容,每一个的值为 $(n-j) \cdot C_{hj}$,其中被拆分的 $n-j$ 个节点和跨过的 $n-j$ 个连接点有对应相同的电位,这些电位通过图 9 中的虚线表示,连接等电位点之后可以对等效电路进一步简化,简化后的电路如图 10 所示,其中 C_{pj} 为均压分布的时候 MOSFET 源漏端点的等效分布电容,值为

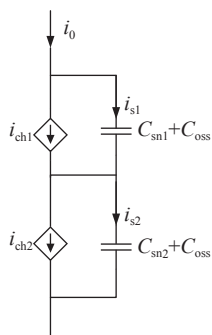


Fig. 7 Schematic diagram of MOSFET series model
图 7 MOSFET 串联模型示意图

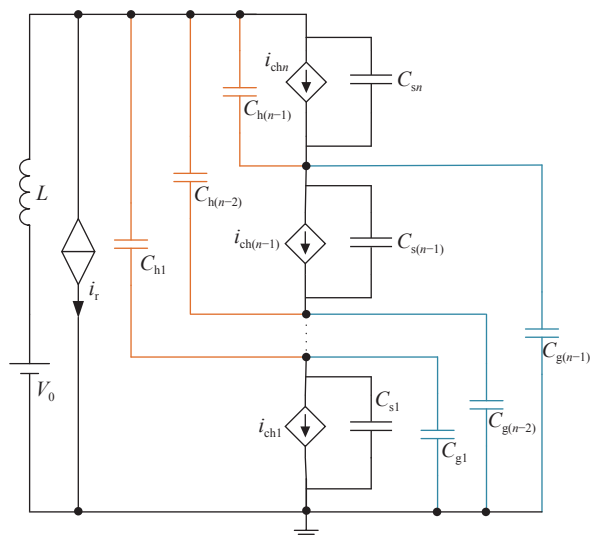


Fig. 8 Equivalent circuit of series MOSFET considering distributed capacitor and snubber circuit
图 8 考虑分布电容和缓冲电路的串联 MOSFET 等效电路

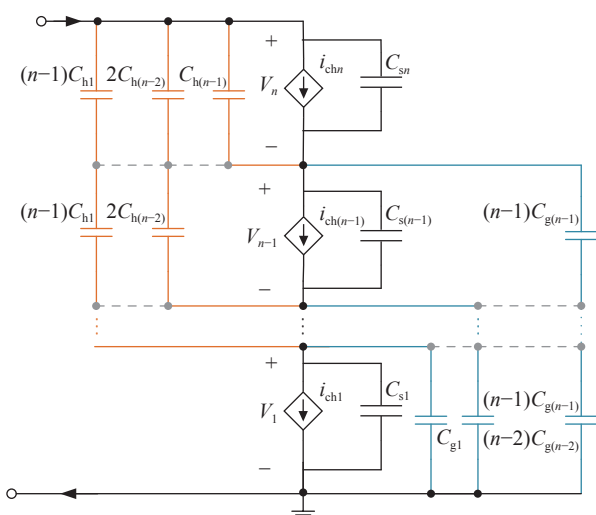


Fig. 9 Isoelectric point circuit diagram
图 9 等电位点电路图

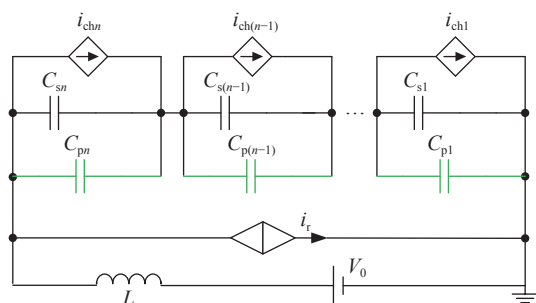


Fig. 10 Simplified equivalent circuit diagram
图 10 简化等效电路图

$$C_{pi} = \sum_{j=1}^{i-1} (n-j) C_{hj} + \sum_{k=i}^{n-1} k C_{gk} \quad (24)$$

由图 10 可以看出, 简化模型为电流源和电容串联, 其中电容包含三个部分: 分布电容、缓冲电容以及开关管输出电容。各部分分布电容不同, 因而需要设计不同的缓冲电容值来补偿分布电容造成的电压分布不均。

简化等效电路中含有电流源和电容, 为了达到均压效果, 应使各部分的电荷相等, 为了便于分析, 我们对两个开关管串联的情况为例进行推导求解。

关断过程的串联失衡电压所处阶段 MOSFET 位于饱和区, 并且 V_{gs} 的下降可以近似为线性的, 设线性下降的斜率为 k , 此时沟道电流满足

$$i_{ch}(t) = g_{fs}(V_{gs}(t) - V_{th}) = g_{fs}(V_{miller} - kt - V_{th}) \quad (25)$$

先假设图 10 中仅有两个开关管, 并假设开关管 1 的 V_{ds} 在开关管 2 的 V_{gs} 开始上升后经过 Δt 时间也开始上升, 由于开关管 1 的电压上升时间较短, 所以为了使得阶段结束后的 V_{gs} 相等, 开关管 1 的 V_{gs} 下降斜率 k_1 应大于 k_2 , 引入修正值 Δk , 其中 $k_1 = k + \Delta k$, $k_2 = k - \Delta k$, 定义 t_r 为均压状态下的 V_{ds} 上升时间, $t=0$ 时刻为开关管 2 的 V_{gs} 开始下降的时间, 可以求得修正值的表达式为 $\Delta k = \frac{\Delta t}{2t_r} k$ 。在 $0-t_r$ 时刻, 两个 MOSFET 的沟道电流表达式为

$$i_{ch1} = \begin{cases} I_D, & 0 < t < \Delta t \\ g_{fs}[V_{miller} - (k + \Delta k)t - V_{th}], & \Delta t < t < t_r \end{cases} \quad (26)$$

$$i_{ch2} = g_{fs}(V_{miller} - (k - \Delta k)t - V_{th}), \quad 0 < t < t_r$$

将电流表达式转化为电荷表达式, 其中包含三个支路, 分别为电流源支路、缓冲电容以及开关管输出电容支路、分布电容支路, $0-t_r$ 的电荷方程表达式为

$$Q_1 = \int_0^{t_r} i_{ch1}(\tau) d\tau - Q_{oss1} - Q_{sn1} - Q_{p1} \quad (27)$$

$$Q_2 = \int_0^{t_r} i_{ch2}(\tau) d\tau - Q_{oss2} - Q_{sn2} - Q_{p2}$$

将式(26)代入式(27)中并作差, 可以得到

$$Q_{oss2} + Q_{sn2} + Q_{p2} - Q_{oss1} - Q_{sn1} - Q_{p1} = g_{fs} k \left[\frac{1}{2} t_r \Delta t + \frac{1}{2} t_r \Delta t^2 - \Delta t^2 \right] + I_D \Delta t - \int_0^{\Delta t} g_{fs}[V_{miller} - (k - \Delta k)t - V_{th}] d\tau \quad (28)$$

由于 $0-\Delta t$ 区间 i_{ch} 刚开始下降, 因此给分布电容, 缓冲电容以及输出电容的电流很小, 所以式(28)右侧的二、三项可以忽略, 同时因为电压比较高, 所以近似认为 C_{oss} 为定值。

定义 V_{DS1} 和 V_{DS2} 为关断稳定时两个开关管的电压, 式(28)左侧项可以进一步进行分析得到

$$Q_{oss2} + Q_{sn2} + Q_{p2} - Q_{oss1} - Q_{sn1} - Q_{p1} = (C_{oss} + C_{sn2} + C_{p2})V_{DS2} - (C_{oss} + C_{sn1} + C_{p1})V_{DS1} \quad (29)$$

定义均压系数为 p , 即 $\Delta v = pV_{DD}$, 此时 $V_{DS1} - V_{DS2} = \Delta v = pV_{DD}$, $V_{DS1} + V_{DS2} = V_{DD}$, 因此可以得到 V_{DS1} 和 V_{DS2} 和 V_{DD} 的关系表达式为

$$V_{DS2} = \frac{p+1}{2} V_{DD} \quad (30)$$

$$V_{DS1} = \frac{1-p}{2} V_{DD}$$

联立式(28)~(30)可得均压系数 p 的表达式为

$$p = \frac{\frac{g_{fs} k}{V_{DD}} [t_r \Delta t + t_r \Delta t^2 - 2\Delta t^2] - (C_{sn2} + C_{p2} - C_{sn1} - C_{p1})}{C_{sn2} + C_{p2} + C_{sn1} + C_{p1} + 2C_{oss}} \quad (31)$$

若希望满足均压系数小于 p 的条件, 并且在小扰动条件下 $\Delta t \ll t_r$, 根据式(31)可以得到 C_{sn2} 的取值条件为

$$\frac{\frac{g_{fs} k}{V_{DD}} t_r \Delta t - 2pC_{oss} + (1-p)C_{p1} + (1-p)C_{sn1} - (1+p)C_{p2}}{1+p} \leq C_{sn2} \quad (32)$$

由式(32)可以推导出 n 个缓冲电容的非等参数设计方法, 其中第 j 个缓冲电容需要满足式(33)条件

$$\frac{\frac{g_{fs}k}{V_{DD}} t_r \Delta t - 2pC_{oss} + (1-p)C_{p1} + (1-p)C_{sn1} - (1+p)C_{pj}}{1+p} \leq C_{snj} \quad (33)$$

其中缓冲电容初值 C_{sn1} 的确定可以参照式(20)的表达式,这样就可以使得电路满足尖峰抑制和均压的设计要求。由于RCD缓冲电路中的缓冲电阻在关断过程被二极管短路,所以对均压效果的影响可以忽略不计,因此缓冲电阻的取值可以参考3.3节中缓冲电阻的设计方法进行确定。

5 仿真验证及分析

LTspice 软件是由美国 Linear 公司开发的一款高性能电路仿真软件。其不仅采用汇编语言和多核求解,也对开关稳压器仿真模型做出改进,使仿真更加快速准确。同时 CREE 公司编写的 C2M0080170P LTspice 模型是基于汇编语言的变参数等效电路模型,精确度很高。因此为了验证缓冲电路的理论设计方法的有效性,本节在 LTspice 中建立了仿真模型进行验证。仿真基于 LTspice 平台,其中开关管选择的型号为 C2M0080170P。仿真电路中源极端子处的总电感 $L_s=10$ nH,漏极端子处的总电感 $L_d=380$ nH,栅极电阻 $R_g=10$ Ω ,电流 $I_D=12$ A,输出电压 V_{DD} 为 400 V。

首先对单个 MOSFET 的电压尖峰抑制缓冲电路参数设计方法进行验证。当不加缓冲电路时,根据式(19)可以得到 $V_{peak}=550$ V, $V_{DD}=400$ V,因此 $a=1.375$ 。根据式(20)可以得到当 $m=1.1$ 时,缓冲电容值 $C_{sn}=340$ pF;当 $m=1.2$ 时,缓冲电容值 $C_{sn}=108$ pF;缓冲电阻值确定为 200 Ω 。图 11 为无缓冲电路时的 V_{ds} 及 i_d 波形图,从波形图中可以看到 V_{ds} 峰值为 550 V,与理论分析值一致,验证了关断过程电路模型的有效性。图 12 和图 13 为希望达到的电压超调系数 m 设置 1.1 和 1.2 时的 V_{ds} 及 i_d 波形图,从图 12 和图 13 中可以看出,当 $m=1.1$ 时, V_{ds} 峰值为 439 V,当 $m=1.2$ 时, V_{ds} 峰值约为 477 V,均与理论分析值一致,验证了缓冲电路参数设计的正确性。

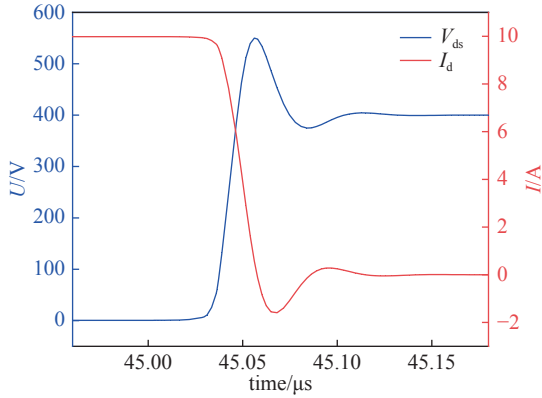


Fig. 11 Voltage and current waveforms without snubber circuit

图 11 无缓冲电路的电压电流波形图

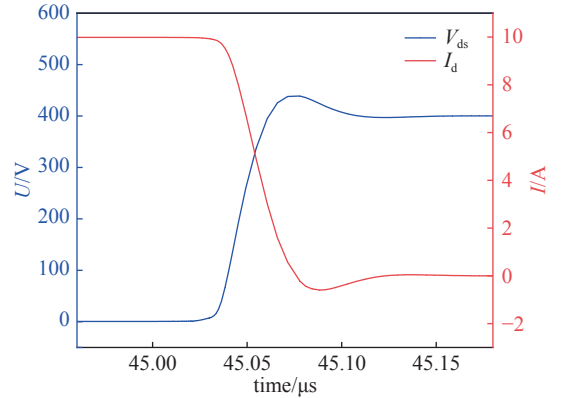


Fig. 12 Voltage and current waveforms of $m=1.1$

图 12 $m=1.1$ 时的电压电流波形图

对串联的 MOSFET 缓冲电路的均压及电压尖峰抑制效果进行验证。为了测试缓冲电路的均压及电压尖峰抑制效果,选择两个开关管串联在主回路中。仿真基于 LTspice 平台,其中开关管选择的型号为 C2M0080170P。仿真电路中源极端子处的总电感 $L_s=10$ nH,漏极端子处的总电感 $L_d=380$ nH,栅极电阻 $R_g=10$ Ω ,电流 $I_D=12$ A,输出电压 V_{DD} 为 800 V。为了仿真分析含有不同分布电容的情况,将第一个开关管两端的分布电容值确定为 210 nF,第二个开关管两端的分布电容为 190 nF,两管分布电容的差值为 20 nF。根据式(20)可以得到第一个开关管的缓冲电容值为 455 pF,根据式(33)可以得到第二个开关管的缓冲电容值为 1412 pF。

其中 V_{ds1} 表示仿真中开关管 1 的漏源极电压, V_{ds2} 表示仿真中开关管 2 的漏源极电压。如果不考虑分布电容,则为等参数均压方法。即第一个开关管和第二个开关管的缓冲电容均为 455 pF。缓冲电阻值都确定为 200 Ω 。没有缓冲电路时的 V_{ds1} 和 V_{ds2} 波形如图 14 所示,设定两管关断延时时间为 20 ns,在关断过程中,没有额外的阻尼电路来吸收负载电流,因此 V_{ds1} 和 V_{ds2} 会迅速上升,由于触发时间的差异, T_1 早于 T_2 关断,在叠加杂散电感影响, V_{ds1} 峰值很大,而 V_{ds2} 接近为零,电压分布非常不均衡。采用不考虑分布电容影响的等参数设计方法缓冲电路的电压波形如图 15 所示, V_{ds1} 稳态值为 455 V, V_{ds2} 稳态值为 345 V,缓冲电路具有一定的均压效果,但静态电压差仍然较大。考虑分布电容影响的非等参数设计方法缓冲电路的电压波形如图 16 所示, V_{ds1} 稳态值为 400.8 V, V_{ds2} 稳

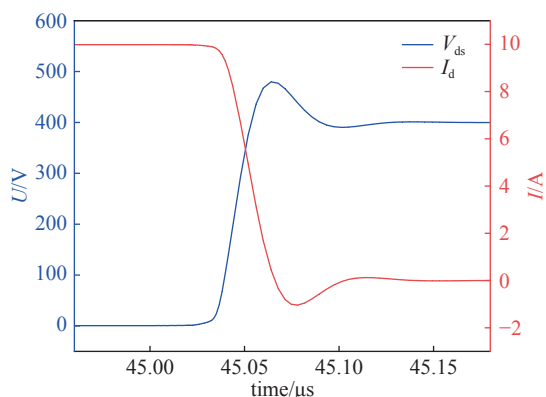
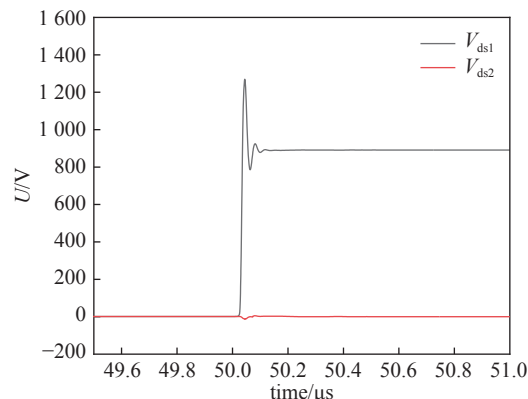
Fig. 13 Voltage and current waveforms of $m=1.2$ 图 13 $m=1.2$ 时的电压电流波形图

Fig. 14 Two-tube voltage waveforms without snubber circuit

图 14 无缓冲电路的两管电压波形图

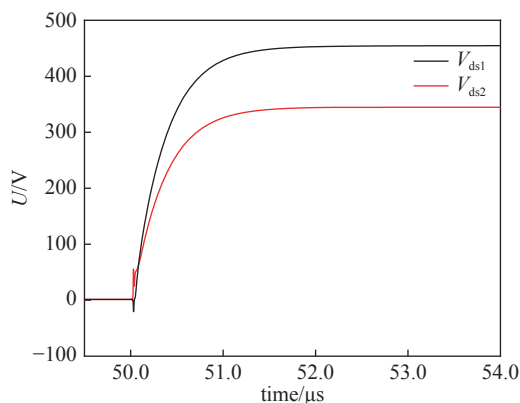


Fig. 15 Two-tube voltage waveform of isoparametric snubber circuit

图 15 等参数缓冲电路的两管电压波形图

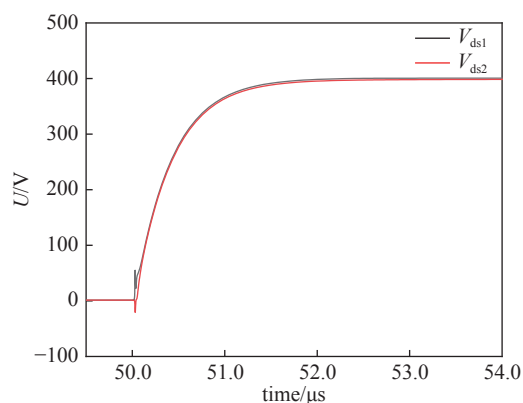


Fig. 16 Two-tube voltage waveform of non-isoparametric snubber circuit

图 16 非等参数缓冲电路的两管电压波形图

态值为 398.6 V。静态电压差基本为 0, 动态均压效果良好, 并且电压尖峰抑制效果良好, 因此验证了本文中均压缓冲电路理论设计的合理性及有效性。

6 结论

本文分析了目前对于聚变高压保护开关方案均压拓扑的相关研究。为了解决目前缓冲电路参数设计基于经验公式和实测结果, 缺乏相关的理论设计方法, 并且没有考虑杂散电感以及分布电容影响的相关问题, 我们建立了含缓冲电路和杂散电感的 MOSFET 模型并对其关断过程进行了分析。基于此分析, 研究了缓冲电路参数的理论设计方法, 得到了缓冲电路设计参数与电路模型之间的对应表达式, 可以更好地优化缓冲电路的参数设计。针对 MOSFET 串联均压的问题, 我们建立了含有分布电容的均压电路模型, 提出了缓冲电容的非等参数设计方法并得到了缓冲电容非等参数设计表达式, 使得可以补偿分布电容造成的电压分布不均。最后通过仿真分析结果可以得到: 无缓冲电路时漏源电压峰值为 550 V, 与理论分析值一致, 验证了关断过程电路模型的有效性; 当电压超调系数为 1.1 时, 漏源电压峰值为 439 V, 当电压超调系数为 1.2 时, 漏源电压峰值约为 477 V, 均与理论分析值一致, 验证了缓冲电路参数设计的正确性。对串联 MOSFET 均压及尖峰抑制效果进行验证时, 开关管 1 的漏源电压稳态电压为 400.8 V, 开关管 2 的漏源电压稳态电压为 398.6 V, 静态电压差基本为 0, 动态均压效果良好, 并且电压尖峰抑制效果良好, 验证了本文中均压缓冲电容理论设计的有效性。后续将需开展的工作包括分布电容值的实验提取方法研究等。

参考文献:

- [1] 章雪亮. 聚变装置辅助加热系统逆变型直流高压电源技术研究[D]. 武汉: 华中科技大学, 2016. (Zhang Xueliang. Research on the technology of inverter type DC high voltage power supply for auxiliary heating system of fusion device[D]. Wuhan: Huazhong University of Science & Technology, 2016)
- [2] Watanabe K, Kashiwagi M, Kawashima S, et al. Development of a dc 1 MV power supply technology for NB injectors[J]. *Nuclear Fusion*, 2006, 46(6): S332-S339.

- [3] 余振雄. J-TEXT 装置 ECRH 控制系统研究[D]. 武汉: 华中科技大学, 2017. (Yu Zhenxiong. Research of electron cyclotron resonance heating control system on J-TEXT[D]. Wuhan: Huazhong University of Science and Technology, 2017)
- [4] Zhang Ming, Wang Dongyu, Ma Shaoxiang, et al. A novel series switch module in high-voltage applications[J]. *Fusion Engineering and Design*, 2019, 146: 2618-2623.
- [5] Abbate C, Busatto G, Iannuzzo F. High-voltage, high-performance switch using series-connected IGBTs[J]. *IEEE Transactions on Power Electronics*, 2010, 25(9): 2450-2459.
- [6] Podlesak T F, Carter J L, McMurray J A. Demonstration of compact solid-state opening and closing switch utilizing GTOs in series[J]. *IEEE Transactions on Electron Devices*, 1991, 38(4): 706-711.
- [7] Consoli A, Musumeci S, Oriti G, et al. Active voltage balancement of series connected IGBTs[C]//Proceedings of the Conference Record of the 1995 IEEE Industry Applications Conference Thirtieth IAS Annual Meeting. 1995: 2754-2758.
- [8] Renz G, Holzschuh F, Zeyfang E. PFNs switched with stacked SCRs at 20 kV, 500 J, and 100 Hz REP-rate[C]//Proceedings of the 11th IEEE International Pulsed Power Conference. 1997: 390-395.
- [9] Welleman A, Fleischmann W, Kaesler W. Solid state on-off pulse switches using IGCT technology[C]//Proceedings of the IEEE 34th International Conference on Plasma Science. 2007: 1025-1028.
- [10] Dongye Zhonghao, Qi Lei, Cui Xiang, et al. A new approach to model reverse recovery process of a thyristor for HVdc circuit breaker testing[J]. *IEEE Transactions on Power Electronics*, 2021, 36(2): 1591-1601.
- [11] Luo Yifei, Xiao Fei, Liu Binli, et al. A physics-based transient electrothermal model of high-voltage press-pack IGBTs under HVdc interruption[J]. *IEEE Transactions on Power Electronics*, 2020, 35(6): 5660-5669.
- [12] Xiao Huangqing, Xu Zheng, Xiao Liang, et al. Components sharing based integrated HVDC circuit breaker for meshed HVDC grids[J]. *IEEE Transactions on Power Delivery*, 2020, 35(4): 1856-1866.
- [13] Wang Dongyu, Zhang Ming, Ma Shaoxiang, et al. A high-voltage solid-state switch based on submodule topology of SiC MOSFETs for J-TEXT tokamak[J]. *IEEE Transactions on Plasma Science*, 2020, 48(6): 1676-1680.
- [14] Ma Shaoxiang, Shang Wentong, Wang Dongyu, et al. A reliable voltage clamping submodule based on SiC MOSFET for solid state switch[J]. *Review of Scientific Instruments*, 2021, 92: 024713.
- [15] Lu Ting, Zhao Zhengming, Ji Shiqi, et al. Active clamping circuit with status feedback for series-connected HV-IGBTs[J]. *IEEE Transactions on Industry Applications*, 2014, 50(5): 3579-3590.
- [16] Ji Shiqi, Lu Ting, Zhao Zhengming, et al. Series-connected HV-IGBTs using active voltage balancing control with status feedback circuit[J]. *IEEE Transactions on Power Electronics*, 2015, 30(8): 4165-4174.
- [17] Zarghani M, Mohsenzade S, Kaboli S. A fast and series-stacked IGBT switch with balanced voltage sharing for pulsed power applications[J]. *IEEE Transactions on Plasma Science*, 2016, 44(10): 2013-2021.