



·大科学装置运维·

高延时分辨低抖动同步时序信号产生技术*

王深圳, 王超, 苏东, 党钊, 张雄军, 陈文棋, 陈骥

(中国工程物理研究院 激光聚变研究中心, 四川 绵阳 621900)

摘要: 针对大型激光装置中广空间分布的甚多路高精度(一是长时间时间抖动小于 5 ps, 二是时间延迟微步进分辨率小于 15 ps)同步触发信号的需求, 设计了一种“数据流编解码光传输+高速串行收发器粗延时+宽带微带线微步进延时”的同步时序产生方案。通过数据流编解码光传输架构实现了广空间范围内时序的对齐; 高速串行收发器粗延时和微带线微步进延时技术解决了同步触发信号低时间抖动和高延迟分辨的问题。通过对系统的时序逻辑和电路板的关键线路进行仿真, 完成了整个系统的设计与研制, 并开展了实验测试。测试结果表明: 该系统可以实现广空间范围内的同步时序信号产生, 同步触发信号的时间抖动精度优于 3.76 ps(均方根值, 8 h), 39.6 ps(峰峰值, 8 h), 时间延迟分辨率优于 15 ps; 若应用于小空间范围, 同步触发信号的时间精度可优于 1.27 ps(均方根值, 8 h), 12.4 ps(峰峰值, 8 h)。

关键词: 同步触发信号; 低时间抖动; 高延时分辨; 高速串行收发器; 微带线延迟线

中图分类号: TN492

文献标志码: A

doi: 10.11884/HPLPB202335.220294

Generation technology of synchronous trigger signals with low time jitter and high delay resolution

Wang Shenzhen, Wang Chao, Su Dong, Dang Zhao, Zhang Xiongjun, Chen Wenqi, Chen Ji

(Laser Fusion Research Center, CAEP, Mianyang 621900, China)

Abstract: Aiming at the requirement of the synchronous trigger signals of large-scale laser device with wide spatial distribution and high-precision (one is that the long-term timing jitter is less than 5 ps, and the other is that the time delay resolution is less than 15 ps), a synchronous timing generation scheme of “data stream codec optical transmission, coarse delay by using transceiver, and fine delay by using broadband microstrip delay line” is designed. The optical transmission architecture of the data stream codec realizes the timing alignment over a wide spatial range, and the technology of the transceiver and microstrip delay line solves the problems of low time jitter and high delay resolution. The design and development of the whole system were completed by simulating the timing logic of the system and the key circuits board, and experimental test were carried out. The test results show that the system can realize the generation of synchronous timing signals in a wide spatial range, and the time jitter accuracy is better than 3.76 ps (rms, 8 h), 39.6 ps (peak-to-peak, 8 h), and the time delay resolution is better than 15 ps; If the system is applied to a small spatial range, the time accuracy of the synchronous signal can be better than 1.27 ps (rms, 8 h), 12.4 ps (peak-to-peak, 8 h).

Key words: synchronous trigger signals, low time jitter, high delay resolution, transceiver, microstrip delay line

在很多大型科学装置中, 都面临着广空间多节点间的精密时间同步的要求^[1-3]。如在大型激光装置中, 要求在足球场大小的空间内提供千余路同步时序信号, 触发相关单元模块、仪器设备工作, 完成激光能量从皮焦到数十万焦耳的放大, 实现甚多束激光在时间相差数皮秒内精确击中靶点, 同时触发物理诊断设备记录下数十皮秒内瞬间发生的物理现象。因此要求对同步时序信号的延时分辨和抖动提出了更高的要求: 时间延迟微步进分辨率小于 15 ps、长时间时间抖动均方根小于 5 ps(rms)。

* 收稿日期: 2022-08-20; 修订日期: 2023-05-27
基金项目: 国家自然科学基金项目(12004352)
联系方式: 王深圳, szwang@cqu.edu.cn。
通信作者: 党钊, qingzhaodangma@caep.cn。

广空间分布高延时分辨低抖动的同步时序信号产生需要解决两大问题：一是如何实现广空间内的时序一致；二是如何产生高质量的同步信号。在解决广空间内时序一致的问题的研究中，赵环^[4]等人提出了一种单一触发信号再生的方案，通过单一触发信号的多次再生产生大范围的同步触发信号，但该方案存在长时间延迟难以实现、触发时间抖动较大、触发信号数量及空间范围受限等问题。尹佳辉^[5]等人设计了时钟及触发信号独立传输的方案，但该方案存在系统复杂、同步信号波形及精度不高等问题。党钊^[6-9]等人提出了一种时钟及触发启动信号混合编码数据流光传输的方案，该方案可以实现广空间范围内的高精度时钟及触发信号的广播输出，可很好地解决广空间内同步时序一致性问题。在目前的同步信号产生的方案中，主要有数字电路与延时芯片结合的方式和全数字电路的方式两种方式。其中王梦宇^[10]等人采用 AD9501 延时芯片和单片机结合、李军^[11]等人基于 FPGA 和数控延迟芯片结合实现的同步信号产生，其延时分辨最高可达到 30 ps，同步抖动精度优于 100 ps；陈伯俊^[12]等人通过对 FPGA 时钟锁相倍频后计数、刘鹏^[13]等人及潘昭浩^[14]等人在 FPGA 上采用内核时钟粗延时、IO 口延时单元精延时的方式实现同步信号延时分辨和抖动精度均优于 78 ps。但这些指标仍然无法满足大型激光装置时间延迟及抖动精度的要求。为此，本文提出了一种“数据流编解码光传输+高速串行收发器粗延时+宽带微带线微步进延时”的同步时序产生方案。采用数据流编解码光传输解决广空间内时序一致问题，创造性地使用高速串行收发器实现粗延时、宽带微带线实现细延时，解决了高延时分辨和低时间抖动问题。最终采用本方案可实现时间分辨优于 15 ps、抖动精度优于 5 ps 的指标。

1 系统组成及原理

广空间分布高延时分辨低抖动同步时序信号产生系统框图如图 1 所示，包括精密时序产生组件和多个同步信号发生器。精密时序产生组件产生全场统一的时钟及触发启动起点，同步信号发生器根据人机交互设定的频率、脉宽和延时输出高延时分辨低抖动的同步时序信号。

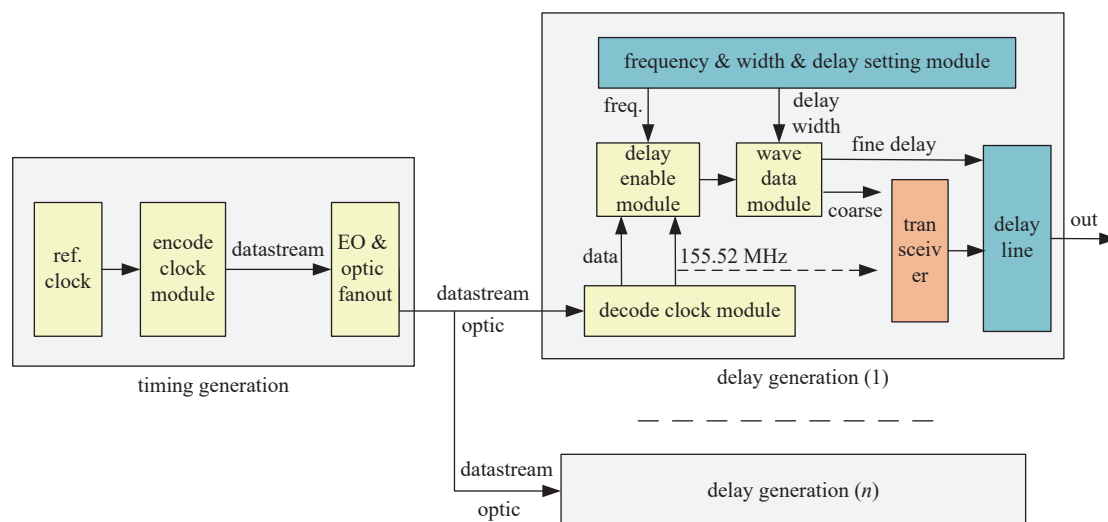


Fig. 1 Framework of the synchronizing system with high resolution and low jitter

图 1 高延时分辨低抖动同步时序信号产生系统框图

精密时序产生组件是由参考时钟、编码模块及数据流光扇出组成。参考时钟采用恒温晶振或更高精度的铷钟，产生时钟信号，作为全场的基准时钟源。设计同步触发启动的信息码，并在时钟的驱动下，由编码模块完成时钟及信息码的混合编码，形成电数据流信号。数据流电信号经过光电转换及光扇出模块产生多路光数据流信号。

同步信号发生器主要包括解码模块、触发启动信号产生、波形数据产生、高速串行收发器、微步进延迟线和频率脉宽和延时设置模块。频率脉宽和延时设置模块用来完成人机交互，获取人工设定同步时序信号的基本信息：频率、脉宽和延时。解码模块恢复输出时钟和信息码，在触发启动信号产生模块中，将信息码与人工设置的信息码进行比对，若比对成功，则产生触发启动信号。波形数据产生模块的功能为接收设置的脉宽和延时数据，并进行数据处理，产生具有粗延时的波形数据和细延时量；同时在触发启动信号到后，将波形数据依次送至高速串行收发器，输出具备粗延时的同步信号。再通过微步进微带线实现细延时的输出，最终输出高延时分辨低抖动的同步时序信号。

在该系统中，将基准时钟与触发启动信号信息码混合编码，并通过光信号传递到广空间任意位置，然后通过解

码技术恢复出基准时钟及触发启动信号,这样广空间范围内任一位置的基准时钟绝对一致、触发启动信号(即延时起点)相对固定,从而实现广空间内的时序一致。获取基准时钟及触发启动信号后,采用高速串行收发器实现触发信号的粗延时、微带线微步进延时实现细延时的技术路线保证了同步时序信号的高延时分辨和低时间抖动。

2 关键模块设计

根据图1所示的同步时序信号产生系统框图可知,关键模块设计主要包括同步时序信号产生系统的架构设计、波形数据产生模块设计、粗延时模块设计和细延时模块设计。系统结构设计用于解决广空间分布问题,波形数据产生、粗延时、精延时等模块设计用于解决高延时分辨低抖动同步信号产生问题。

2.1 同步时序信号产生系统架构设计

同步时序信号产生系统的整体架构是同步信号广空间分布、高延时分辨、低时间抖动产生的关键,本文中采用的是“基准时钟与触发启动信号混合编码、编码信号的光传输、解码恢复高精度的时钟及触发信号”的架构。如图1所示,在本架构中,基准时钟与触发启动信号混合编码及编码信号的光传输由精密时序产生组件完成,解码恢复出高精度的时钟及触发信号在同步信号发生器中完成。

基准时钟与触发启动信号的编解码过程如图2所示,图2(a)为编码过程,图2(b)为解码过程。在编码过程中,首先需要设计触发启动信号的信息码,在信息码设计中要注意:一是信息码必须要与无效的时钟码不同;二是避免长连0或1以提高时钟恢复精度;三是多个信息码之间要有差异,且差异信息至少2位。在图2(a)中,以6 bit作为码元的位宽,6'b011001为有意义的信息码,6'b010101为无意义的时钟码;其次在时钟的驱动下,将码元的数据依次送出即可得到编码信号,即数据流信号。数据流通过电光转换及光扇出单元,完成数据流的广空间分发;然后在同步时序发生器中通过光电转换得到数据流信号,在此过程中,为保证基准时钟从精密时序产生组件到同步时序发生器高精度传输,必须要采用低抖动的电光/光电转换模块。最后通过解码技术恢复出基准时钟及码元数据,如图2(b)中,从数据流中恢复出时钟信号和码元数据,码元数据是通过移位的方式不断获取的连续出现的6位串行数据。

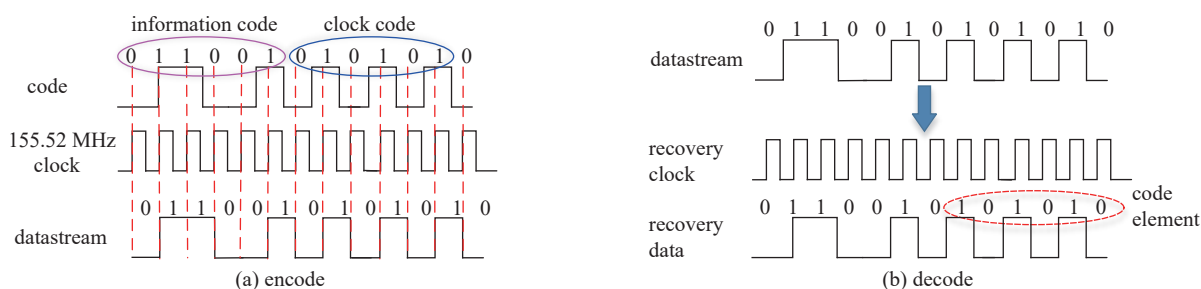


Fig. 2 Encoding and decoding of the reference clock and delayed start signal

图2 基准时钟与触发启动信号的编解码过程图

恢复出基准时钟与码元数据后,由延时起点产生模块产生触发启动信号。延时起点产生模块接收用户设定的频率信息,并将该频率信息与码元数据不断地比对,比对成功的那一刻为延时起点。由于频率信息在精密时序产生组件中以设定频率重复加载在数据流编码中,因此延时起点是按照设定频率重复出现,从而实现广分布空间高频同步信号输出。

2.2 粗延时模块设计

粗延时是通过高速串行收发器(Transceiver)实现。Transceiver收发器由物理媒质适配层(PMA)和物理编码子层(PCS)两部分组成,分为发送端和接收端,其中PCS用来实现数字数据的处理,包括缓冲、编解码等,PMA用来完成并串/串并转换^[5]。通过Transceiver收发器实现同步信号的粗延时的原理图如图3所示,通过设置不同的并行数据,通过串行时钟输出后,就可实现同步信号的粗延时。

目前中高端FPGA芯片中均配置Transceiver通道,可通过配置IP核的参数实现对Transceiver的控制,通过设置Transceiver的并行数据实现粗延时。在配置IP核的参数中需要考虑Transceiver的工作模式及多路输出间的高精度同步问题。当使用Transceiver输出同步波形时,Transceiver的输入数据为同步信号的波形数据,因此不能对输入数据进行编码,同时相位缓存器会使得同步时序信号输出时序不固定,增大时间抖动,因此也无法使用,所以工作模式为直通模式(Basic(Direct PMA)),该模式下FPGA内部并行数据直接与PMA相连,直接输出。另外为保

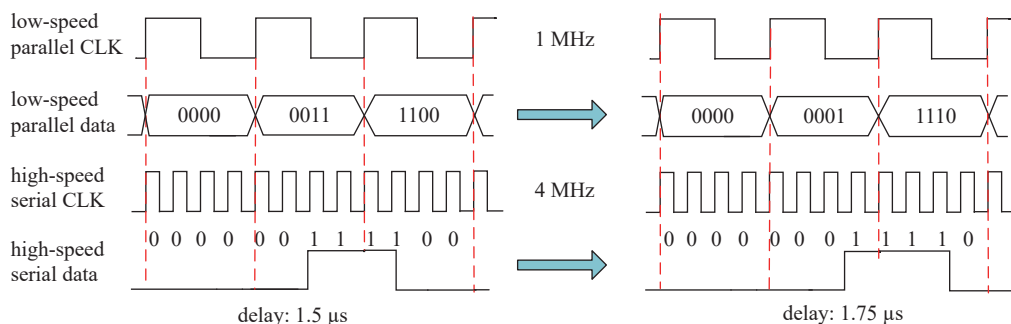


Fig. 3 Principle of coarse delay by using transceiver

图 3 高速串行收发器粗延时的原理图

证多路输出间高精度同步,采用同一个高速串行时钟驱动多路 PMA 模块,因此可选择 Non-Bond 模式,该模式下 CMU0 PLL 为多个 Transceiver 提供高速串行时钟。Transceiver 配置在 Non-Bonded Basic (PMA Direct) 模式下的原理图如图 4 所示。

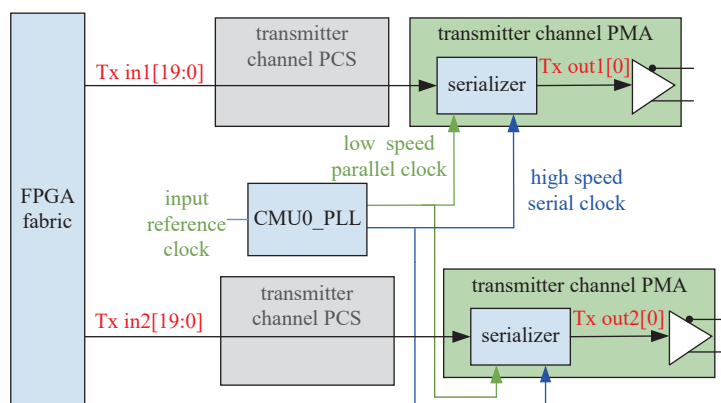


Fig. 4 Transceiver configured in Basic (PMA Direct)

图 4 高速串行收发器工作模式配置图

另外还需注意的是在 Basic 模式下,长连 0 和长连 1 会使得系统无法找到电平均值,所以该模式下高速串行时钟比带协议的模式低。如 Altera Stratix IV 系列芯片的 Transceiver 在带协议模式下高速串行时钟可达到 8.5 GHz,而 Basic(PMA Direct) 模式下高速串行时钟只能达到 3.2 Gbit/s。

2.3 细延时模块设计

细延时常用的方法有延时芯片和数字电路的门延时,其中延时芯片可实现 10 ps 以下的延时分辨,但该方案存在延时不准确和温漂的问题;数字电路的门延时技术如 FPGA 高性能 IO 口延时单元它可实现 78 ps 的延时分辨,延时分辨精度不高。

本系统中细延时单元采用微步进微带线延时技术,通过高带宽射频继电器切换不同长度的微带线实现不同长度的微步进延迟。微带线微步进延迟线原理图如图 5 所示,由射频继电器和不同长度的宽带微带线组成。图 5 展示的是 6 位的延迟线的工作原理,包括 12 个射频继电器和 17 根微带线,其中每 2 个继电器和 2 根微带线组成延迟单元,通过继电器选择不同的微带线切换不同的信号走线路径,进而实现信号的不同延迟。通过设计串联的延迟单元的延迟量呈倍数增加,如 t 、 $2t$ 、 $4t$ 、 $8t$ 、 $16t$ 、 $32t$,从而实现等间隔的延迟,最大延迟量为 $63t$,其中 t 为单元延迟量。

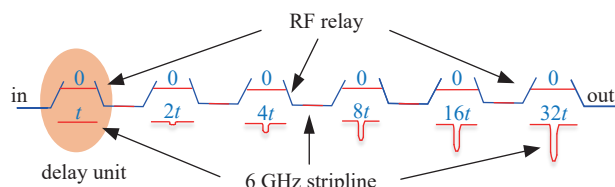


Fig. 5 Principle of fine delay by using stripline delay line

图 5 微带线微步进延迟线原理图

2.4 波形数据产生模块

当用户设置完同步时序信号的脉宽 W 和延时 T 后,可以生成对应的波形数据。由于同步时序信号是通过高速串行收发器输出,若基础频率为 f_0 ,收发器并行数据宽度为 N ,则串行时钟的频率为 Nf_0 ,若并行数据全为 0 则表示

为 N'H0，若全是 1 则表示为 N'HF，那么根据设定的脉宽和延时可计算出对应波形数据

$$L_0 = [TNf_0] \quad (1)$$

$$L_1 = [WNf_0] \quad (2)$$

式中： L_0 为低电平长度， L_1 为高电平长度， $[\]$ 为向下取整符号。

得到低电平和高电平的长度后，需要按照收发器并行数据进行装载，则可计算得到

$$L_{p0} = \left\lfloor \frac{L_0}{N} \right\rfloor \quad (3)$$

$$L_{r0} = L_0 - NL_{p0} \quad (4)$$

$$D_{01} = \begin{cases} \{0^1, 0^2 \dots 0^{L_0}, 1^1, 1^2, \dots 1^{N-L_0}\}, & cL_{r0} + L_1 > N \\ \{0^1, 0^2 \dots 0^{L_0}, 1^1, 1^2, \dots 1^{L_1}, 0^1, 0^2, \dots 0^{N-L_0-L_1}\}, & L_{r0} + L_1 \leq N \end{cases} \quad (5)$$

$$L_{p1} = \left\lfloor \frac{L_1 - (N - L_{r0})}{N} \right\rfloor \quad (6)$$

$$L_{r1} = L_1 - L_{p1}N - (N - L_{r0}) \quad (7)$$

$$D_{10} = \begin{cases} \{1^1, 1^2, \dots 1^{L_1}, 0^1, 0^2 \dots 0^{N-L_1}\}, & cL_{r0} + L_1 > N \\ \{0^1, 0^2 \dots 0^N\}, & L_{r0} + L_1 \leq N \end{cases} \quad (8)$$

式中： L_{p0} 为 N 位并行数据低电平的长度， L_{r0} 为不足 N 位并行数据的低电平的长度， D_{01} 为低电平过渡到高电平数据， L_{p1} 为 N 位并行数据高电平的长度， L_{r1} 为不足 N 位并行数据的高电平的长度， D_{10} 为高电平过渡到低电平数据， $[\]$ 为向下取整符号。通过 Transceiver 收发器实现同步信号的粗延时的波形图如图 6 所示。

高速串行收发器只能实现粗延时，还需要通过微带线进行精延时。若微带线延时精度为 t_{pd} ，那么根据设定的脉宽和延时可计算出微带线延时数据

$$L_{of} = \left\lfloor \frac{(T - L_0Nf)}{t_{pd}} \right\rfloor \quad (9)$$

式中： L_{of} 为微带线延时单元数量， $[\]$ 为向下取整符号。

延时起点产生后，不断地将并行数据送至收发器，就可实现同步时序信号产生。

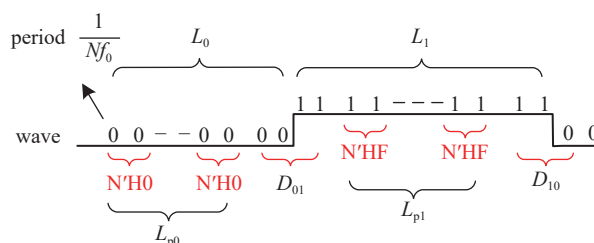


Fig. 6 Wave of the transceiver implementing the coarse delay of the synchronization signal

图 6 Transceiver 收发器实现同步信号的粗延时的波形图

3 仿真

3.1 时序信号产生的仿真

在同步时序信号产生系统中，精密时序产生组件完成时钟与延时起点信息的编码及传输，同步信号发生器完成时钟与延时起点信息的解码及同步信号的产生。其中时钟与延时起点信息的编解码及具备粗延时的同步信号产生是由 FPGA 完成的，在进行 FPGA 程序设计时，可通过时序逻辑仿真验证程序代码的正确性。主要包括两部分内容，分别是时钟与延时起点信息的编解码和具备粗延时的同步信号波形数据的产生。

时钟与延时起点信息的编解码时序逻辑仿真如图 7 所示，其中图 7(a)为编码过程仿真，图 7(b)为解码过程仿真。延时起点信息定义为 16'b1000_1100_1110_1010，全场统一时钟为 155.52 MHz，在合适的时刻，将 16 位的延时起点信息逐位输出，形成编码数据流信号。其中合适的时刻可以为确定的重复频率 1 Hz、1 kHz 等，也可以为外触发时刻。若为确定的重复频率时，则延时起点信息重复出现；若为外触发时刻，则延时起点信息单次出现。数据流解码时，取连续的 16 位数据与延时起点信息比对，比对成功后输出延时起点信号。编解码过程仿真结果与理论值一致，验证了 FPGA 程序的正确性。

图 8 为同步信号波形数据产生的时序逻辑仿真图。全场统一的时钟采用的是 155.52 MHz，高速串行时钟为 (20×155.52) MHz，在设置延时为 12 ns，脉宽为 10 ns 时，按照 2.4 节公式进行计算， $L_0=37$ 、 $L_1=31$ ，那么 $L_{p0}=1$ 、 $L_{r0}=17$ 和 $D_{01}=20'b0000000000000000111$ ；进而计算得到 $L_{p1}=1$ 、 $L_{r1}=8$ 和 $D_{10}=20'b11111111000000000000$ 。在

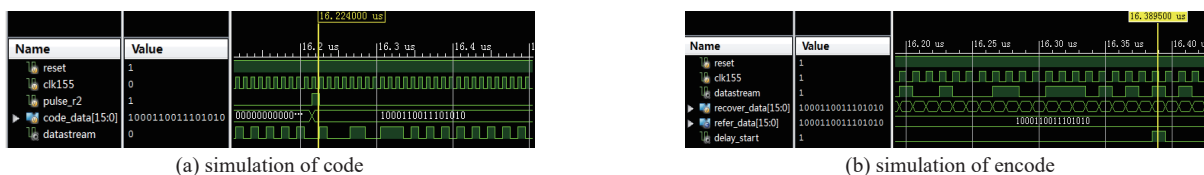


Fig. 7 Codec timing logic simulation of the reference clock and delayed start signal

图 7 基准时钟与延时起点信息的编解码时序逻辑仿真图

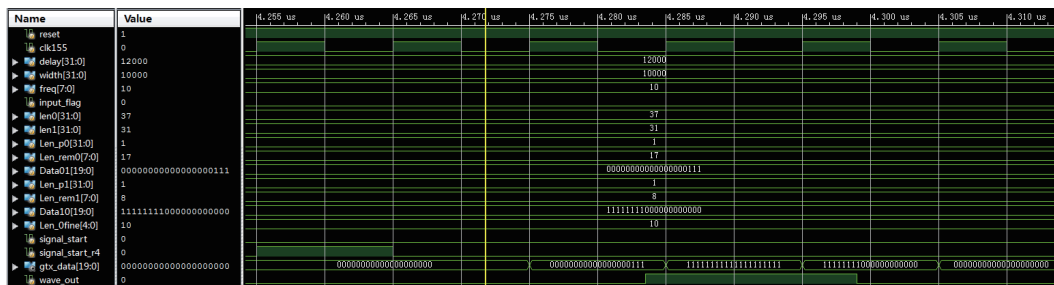


Fig. 8 Generation of the waveform data for synchronous signals with coarse delay

图 8 具备粗延时的同步信号波形数据的产生

获取延时起点后,将并行数据依次送出,通过 Transceiver 产生具备粗延时的同步时序信号。仿真结果与理论值一致,验证了 FPGA 程序的正确性。

3.2 电路板关键线路设计仿真

在同步时序信号产生系统中,高速串行收发器将波形数据通过高速串行时钟依次输出,生成具备粗延时的同步信号。该同步信号的上升沿为 120 ps,对应信号的带宽超过 2.92 GHz,所以在电路板中,FPGA 输出线路必须进行高带宽设计,满足 2.92 GHz 带宽传输,并尽可能实现更高带宽,保证信号在传输中边沿不变缓,不额外增加抖动。在绘制 PCB 关键线路时通过电磁场仿真软件进行仿真辅助设计。图 9(a)为绘制的 PCB 电路图中一条关键走线,图 9(b)为传输损耗仿真结果。仿真结果表明关键走线基本满足带宽要求,而且关键走线中采用盲孔性能更高。

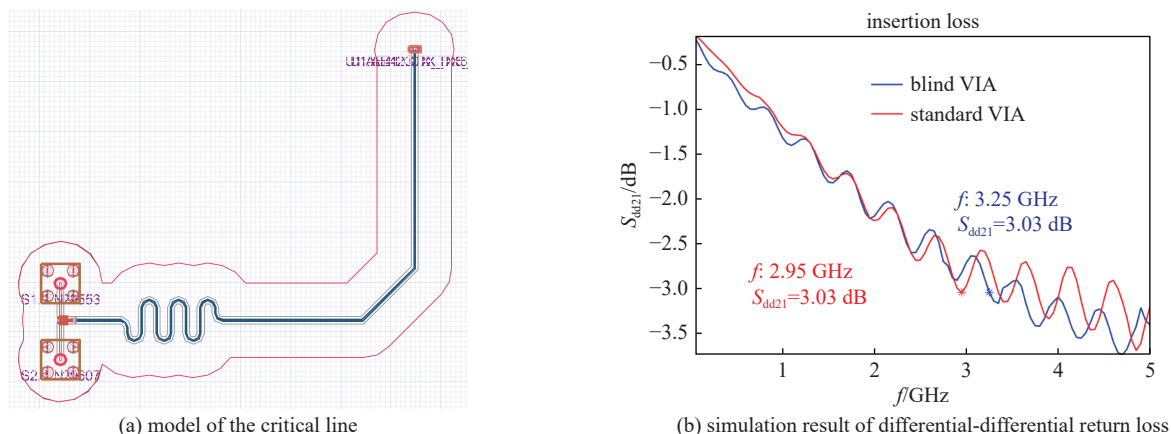


Fig. 9 Simulation of key circuits on the board

图 9 电路板关键线路的仿真

4 实 验

根据同步时序产生系统设计及仿真结果,搭建实验测试平台进行测试验证,实验测试系统框图如图 10 所示。实验平台由一台精密时序产生器、一台 1 分 32 分光器、两台皮秒同步机(同步信号发生器)及一台 8 GHz 示波器组成。实验平台中采用 155.52 MHz 恒温晶振作为基准时钟;采用的高速串行收发器的串行时钟为 3110.4 MHz (155.52 MHz×20),对应的粗延时分辨为 321 ps;采用的微带线微步进延迟线位宽为 5 位,单元延迟量为 10 ps。通过示波器测量两台皮秒同步机的输出验证同步时序产生系统的性能。另外需要对该测量系统的测量精度进行说明:示波器的时间间隔测量精度为±((0.06 倍采样间隔)+10⁻⁶ 的测量间隔),其中第二个部分(10⁻⁶ 的测量间隔)表示由于示波器时基导致的不确定性,通常是个小量,测量系统中的示波器采用 10⁻⁶ 的时基,测量间隔为 1 μs 时,由

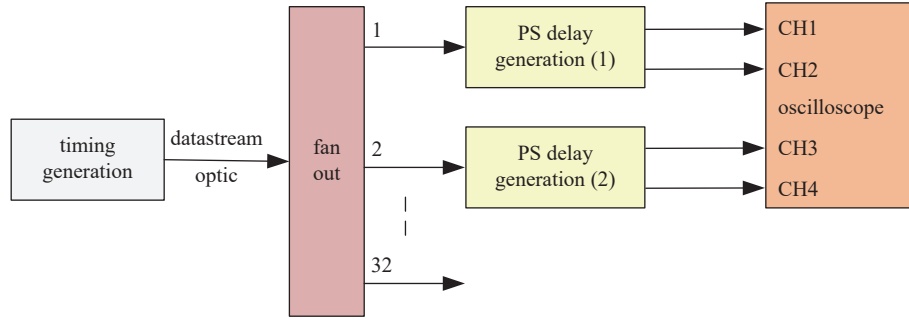


Fig. 10 Framework of experimental test system

图 10 实验测试系统框图

时基引入的不确定性为 1 ps; 第一个部分(0.06 倍采样间隔)与示波器的采样率和测量内插算法有关,若示波器采样率为 50 Gs/s,则第一部分引入的不确定性为 1.2 ps, 综上测量系统中的示波器测量时间间隔的不确定性为 2.2 ps, 可满足 10 ps 延迟量的测量。

首先开展延时精度测试, 包括延时设置误差及延时分辨率。皮秒同步机输出两路同步信号, 示波器测量两路信号间的延时量。测试结果如表 1 和表 2 所示。测试结果表明: 同步时序信号延时设置误差与延时量有关, 在 1 μs 范围内误差小于 10 ps, 之后随着延时量的增大而增大。其原因为大延时量对应更多的计数时钟, 而时钟的周期抖

表 1 延时设置误差测试结果

Table 1 Results of delay setting error

No.	delay on the CH1/ns	delay on the CH2/ns	delay between the two channels in the oscilloscope/ns	theoretical value/ns	error between the theoretical value and measured/ps
1	1	1	-0.027	-0.027(intrinsic delay)	0
2	1	10	-9.031	-9.027	4
3	1	50	-49.036	-49.027	9
4	1	100	-99.034	-99.027	7
5	1	300	-299.035	-299.027	8
6	1	800	-799.036	-799.027	9
7	1	1000	-990.033	-999.027	6
8	1	2000	-1999.039	-1999.027	12
9	1	5000	-4999.053	-4999.027	26
10	1	10000	-9999.063	-9999.027	36
11	1	20000	-19999.083	-4999.027	56

表 2 延时分辨率测试结果

Table 2 Results of delay resolution

No.	delay on the CH1/ns	delay on the CH2/ns	delay between the two channels in the oscilloscope/ps	theoretical value/ps	error between the theoretical value and measured/ps
1	1	1.00	-27	-27(intrinsic delay)	0
2	1	1.01	-40	-37	3.0
3	1	1.02	-47	-47	0
4	1	1.03	-59	-57	2.0
5	1	1.04	-66.7	-67	-0.3
6	1	1.05	-81.6	-77	4.6
7	1	1.08	-107.8	-107	0.8
8	1	1.10	-127.5	-127	0.5
9	1	1.15	-179.8	-177	2.8
10	1	1.20	-225.7	-227	-1.3
11	1	1.25	-279	-277	2.0
12	1	1.30	-331.5	-327	4.5
13	1	1.31	-341.7	-337	4.7

会导致误差增大。延时分辨率的理论值为微步进延迟线的单元延迟量 10 ps, 但实测值存在误差, 误差为 $-1.3 \sim 4.7$ ps, 误差是由于微带线实际走线与理论值间存在偏差导致。按照 R04350B 板材设计, 5 ps 的延时对应的微带线的长度为 1 mm, 在加工过程中长度控制不太准确会导致延时量不太准确。

其次开展同步信号时间抖动测试, 包括单台同步机输出信号间的时间抖动和多台同步机输出的多路间的时间抖动。测试结果如图 11 所示, 单台同步机输出的 2 路信号间的时间抖动最大为 1.27 ps(均方根值, 8 h), 12.4 ps(峰峰值, 8 h); 两台同步机输出 2 路信号间时间抖动最大为 3.76 ps(均方根值, 8 h), 39.6 ps(峰峰值, 8 h)。若将同步时序信号产生系统应用于小空间范围内, 只需要使用单台同步机, 则可达到最高精度。

5 结论

本文提出了一种广空间分布高延时分辨低抖动的同步时序产生方案, 并通过时序逻辑仿真和电路板关键线路仿真完成了该方案的设计。最终测试结果表明该方案可在广空间范围内使用, 同步时序信号延时设置精度在延时量 $1 \mu\text{s}$ 范围内误差小于 10 ps, 时间分辨率优于 15 ps, 时间抖动优于 3.76 ps(rms), 可满足大型激光装置的同步需求。另外, 在本方案设计中, 输出信号的精度主要是受到恢复时钟精度的影响, 后续工作可围绕提高恢复时钟精度进一步提高同步时序信号的输出精度。

参考文献:

- [1] Li Hao, Liu Shubin, Feng Changqing, et al. TOF clock system for BES III[J]. *IEEE Transactions on Nuclear Science*, 2010, 57(2): 442-445.
- [2] 褚少平. LHAASO WCDA读出电子学时钟同步与数据传输研究[D]. 合肥: 中国科学技术大学, 2017: 13-26. (Chu Shaoping. Research of clock synchronization and data transmission in LHAASO WCDA readout electronics[D]. Hefei: University of Science and Technology of China, 2017: 13-26)
- [3] Crane J K, Tietohl G, Arnold P, et al. Progress on converting a NIF quad to eight, petawatt beams for advanced radiography[J]. *Journal of Physics: Conference Series*, 2010, 244: 032003.
- [4] 赵环, 王鹏, 滕浩, 等. TW级钛宝石飞秒激光放大装置中的同步控制[J]. *强激光与粒子束*, 2010, 22(5): 953-958. (Zhao Huan, Wang Peng, Teng Hao, et al. Synchronization of time-frequency signals in TW Ti: sapphire laser system[J]. *High Power Laser and Particle Beams*, 2010, 22(5): 953-958)
- [5] 尹佳辉, 曾江涛, 孙凤举, 等. 低抖动快前沿高电压重复率触发器[J]. *强激光与粒子束*, 2011, 23(10): 2836-2840. (Yin Jiahui, Zeng Jiangtao, Sun Fengju, et al. Repetitive trigger generator with low jitter and fast rise time[J]. *High Power Laser and Particle Beams*, 2011, 23(10): 2836-2840)
- [6] 党钊, 唐菱, 张晓璐, 等. 大型激光装置精密同步系统总体技术研究[J]. *强激光与粒子束*, 2014, 26: 081009. (Dang Zhao, Tang Ling, Zhang Xiaolu, et al. General technology research on high precision synchronizing system for large-scale laser facilities[J]. *High Power Laser and Particle Beams*, 2014, 26: 081009)
- [7] Lerche R A, Coutts G W, Lagin L J, et al. The NIF integrated timing system-design and performance[DB/OL]. arXiv preprint arXiv: physics/0111046, 2001.
- [8] Luttmann M, Pastor J F, Drouet V, et al. Laser mégajoule synchronization system[C]//Proceedings of the 7916, High Power Lasers for Fusion Research. 2011: 79160Z.
- [9] 党钊, 王超, 唐菱, 等. 开放式精密时序发生系统: CN103076841A[P]. 2013-05-01. (Dang Zhao, Wang Chao, Tang Ling, et al. Open precision timing generation system: CN103076841A[P]. 2013-05-01)
- [10] 王梦宇, 张延超, 李美伦, 等. 用于激光雷达的高精度脉冲延时及脉宽控制研究[J]. *机械与电子*, 2016, 34(8): 3-6. (Wang Mengyu, Zhang Yanchao, Li Meilun, et al. Research on high precision pulsed delay and pulse width control based on laser lidar[J]. *Machinery & Electronics*, 2016, 34(8): 3-6)
- [11] 陈伯俊, 周俊敏, 马军勇. 基于FPGA的高精度多路同步脉冲产生系统研究[J]. *科学技术与工程*, 2010, 10(19): 4793-4796. (Chen Bojun, Zhou Junmin, Ma Junyong. The research of synchronization pulse generation system with multi-channel and high-precision based on FPGA[J]. *Science Technology and Engineering*, 2010, 10(19): 4793-4796)
- [12] 刘鹏, 许可. 一种基于FPGA的高精度大动态数字延迟单元的设计[J]. *微计算机信息*, 2010, 26(8): 132-134. (Liu Peng, Xu Ke. A design of digital delay line based on FPGA[J]. *Microcomputer Information*, 2010, 26(8): 132-134)
- [13] 潘昭浩, 张政权, 刘庆想, 等. 高精度多路脉冲延时技术[J]. *强激光与粒子束*, 2021, 33: 105001. (Pan Zhaohao, Zhang Zhengquan, Liu Qingxiang, et al. High-precision multi-channel pulse delay technology[J]. *High Power Laser and Particle Beams*, 2021, 33: 105001)
- [14] 李军, 雷虎, 李永明, 等. 一种高精度可延时同步脉冲产生系统[J]. *数字技术与应用*, 2018, 36(7): 182-184. (Li Jun, Hu Lei, Li Yongming, et al. Design of high accuracy and delayed synchronization pulse generation system[J]. *Digital Technology & Application*, 2018, 36(7): 182-184)
- [15] 姜漫. 10Gbps/40Gbps光纤通信技术研究与系统实现[D]. 长春: 中国科学院大学, 2012: 48-53. (Jiang Man. 10Gbps/40Gbps optical fiber communication technology research and system implementation[D]. Changchun: University of Chinese Academy of Sciences, 2012: 48-53)

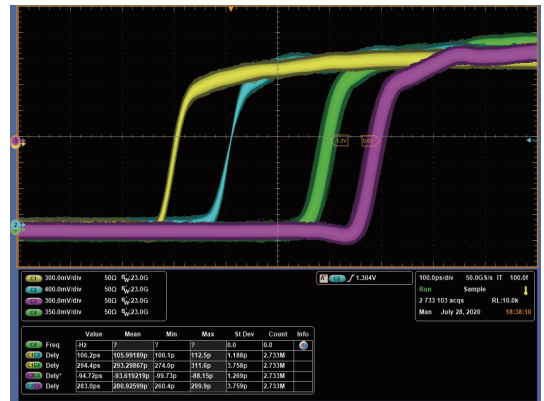


Fig. 11 Timing jitter result of synchronous signals

图 11 同步信号时间抖动测试结果