



·脉冲功率技术·

基于 FPGA 的高分辨率数字时间转换器*

王 伟, 张瑞峰

(天津大学 微电子学院, 天津 300072)

摘 要: 针对全固态直线变压器驱动源(LTD)中大规模开关同步触发的需求, 基于游标法和预相移技术设计了一种全新的双通道同步高分辨率数字时间转换器(DTC)。在原有游标 DTC 的基础上提前计算不同生成脉冲相位重合位置的关系, 通过相位移动和相位检测使时钟信号提前满足相位关系, 以实现同时触发多个不同宽度脉冲信号的目的。详细阐述了 DTC 的实现原理和电路设计模块, 并对其进行了仿真和现场可编程门阵列(FPGA)实现, 同时对实现结果进行测试、分析和讨论。在 Xilinx ARTIX-7 FPGA 开发板上实现了第一个脉冲信号的分辨率为 0.85 ps, 微分非线性(DNL)和积分非线性(INL)分别为 $-1.255\sim 1.166$ LSB 和 $-7.33\sim 7.05$ LSB。第二个脉冲信号分辨率为 17.1131 ps, DNL 和 INL 分别为 $-0.0987\sim 0.105$ LSB 和 $-0.717\sim 0.735$ LSB, 且在 $0\sim 80$ °C 的环境中依旧可以保证 DTC 的性能。结果表明此 DTC 具有实现简单、成本低, 性能高效等优点。

关键词: 数字时间转换器; 游标法; 预相移; 模式时钟管理器; 同步触发

中图分类号: TN492

文献标志码: A doi: 10.11884/HPLPB202335.220072

High resolution digital-to-time converter based on FPGA

Wang Wei, Zhang Ruifeng

(School of Microelectronics, Tianjin University, Tianjin 300072, China)

Abstract: Aiming at the requirement of large-scale switch synchronous triggering in all-solid-state linear transformer driver (LTD), this paper designs a new dual-channel synchronous high-resolution digital-to-time converter (DTC) based on the vernier method and pre-phase shift technology. On the basis of the original vernier DTC, the relationship between the overlapping positions of different generated pulse phases is calculated in advance, and the clock signal meets the phase relationship in advance through phase shift and phase detection, so as to achieve the purpose of triggering multiple pulse signals of different widths at the same time. The realization principle and circuit design module of DTC are expounded in detail, and the simulation and Field Programmable Gate Array (FPGA) realization are carried out. At the same time, the realization result is tested, analyzed and discussed. On the Xilinx ARTIX-7 FPGA development board, the resolution of the first pulse signal is 0.85 ps, and the differential nonlinearity (DNL) and integral nonlinearity (INL) are $-2.55\sim 2.17$ LSB and $-7.33\sim 7.05$ LSB, respectively. The resolution of the second pulse signal is 17.1131 ps, DNL and INL are $-0.005\sim 0.0105$ LSB and $-0.299\sim 0.288$ LSB respectively, and the performance of DTC can still be guaranteed in the ambient temperature of $0\sim 80$ °C. The results show that this DTC has the advantages of simple implementation, low cost and high performance.

Key words: digital-to-time converter, vernier method, pre-phase shift, MMCM, synchronous trigger

数字时间转换器(DTC)是用于生成与输入数字成比例的脉冲信号, 随着在自动测试设备(ATE)、原子频率标准、高精度导航定位、电子测量、高精度设备的开启关闭等领域中对短时间间隔信号的精度要求越来越高, 如何高效、低成本地产生高精度的短时间间隔成为了很多领域迫切需要解决的技术难题^[1]。

DTC 的实现方式主要有模拟和数字两种。采用模拟方法实现的 DTC 是利用模拟器件的开关效应或储能器件的充放电功能, 如电容器、雪崩晶体管、Trapatt 二极管、阶跃恢复二极管(SRD)和脉冲放电管^[1-8]。例如, 文献[3]提出了基于一种恒斜率充电方法的 DTC, 实现了 $19\sim 185$ fs 的分辨率; 文献[4]通过电流 DAC 和差动电流开关对

* 收稿日期: 2022-03-15; 修订日期: 2022-11-10
联系方式: 王 伟, 2020232120@tju.edu.cn。

单位负载电容的放电电流进行控制,实现了 610 fs 的分辨率和 2.5 ns 的动态范围。但是这种基于定制电路的实现方法虽然精度相对较高,但是存在开发周期长、成本高、可控范围小的缺点。采用数字方法实现的 DTC 通常采用逻辑门、抽头延迟线、游标延迟线等^[5-10]。例如,文献 [5] 在 Xilinx Kintex-7 FPGA 上实现基于抽头延迟的 DTC,在其描述中分辨率为 11 ps。文献 [6] 基于游标原理实现了一种分辨率为 3.56 ps 的 DTC。在 FPGA 上实现 DTC 具有成本低、上市时间短等优点。随着半导体技术的突破和发展,在 FPGA 上实现 DTC 已经有越来越多的相关人员开始研究。但是 LTD 的大规模开关有同步触发的需求^[11],且每个开关触发的时间不能保持一致,为此我们需要同步实现多个高精度不同宽度的脉冲信号,这对于传统游标 DTC 来说,很具有挑战性并且少有人研究。为此本文提出了一种基于游标原理并利用预相移的方法实现可在同一时刻产生两个不同宽度高精度脉冲的 DTC。

1 工作原理

游标原理广泛应用于 DTC 中,其基本原理如图 1 所示,两个周期相近的时钟相位重合后,慢时钟 T_s 和快时钟 T_f 的每次振荡会产生 ΔT (T_s 和 T_f 的差值) 的延迟,如果两个时钟信号在相位重合后振荡 n 个周期,并以此来启动 S_{start} 和 S_{stop} 信号,可以生成宽度为 T_{out} 的脉冲信号

$$T_{out} = n\Delta T \quad (1)$$

然而此方法最大只能实现宽度为 T_s 的 DTC,因为当 $n\Delta T$ 等于 T_s 时意味着相位再次重合,这将会使 DTC 的输出产生错误。为解决这一问题 Poki Chen 等人在原有 DTC 的基础上,将输出改为粗延迟 T_{coarse} 和细延迟 T_{fine}

$$T_{out} = T_{coarse} + T_{fine} = \alpha T_s + \beta(T_s - T_f) = \alpha T_s + \beta \Delta T \quad (2)$$

式中: α 和 β 表示为 T_s 和 ΔT 的个数用公式(3)计算,以 $\lfloor x \rfloor$ 表示计算小于等于 x 的最大整数,则

$$\alpha = \left\lfloor \frac{T_{out}}{T_s} \right\rfloor, \beta = \left\lfloor \frac{T_{out} - \alpha T_s}{\Delta T} \right\rfloor \quad (3)$$

为了获得两个脉冲信号,需要使用等式(3)来计算两组数据,即 β_1 、 α_1 和 β_2 、 α_2 。根据 β_1 和 β_2 之间的大小关系,可将其分为两种情况: $\beta_1 \geq \beta_2$ 和 $\beta_1 < \beta_2$ 。

1.1 $\beta_1 \geq \beta_2$

当 $\beta_1 \geq \beta_2$ 时,其时序图如图 2(a) 所示,其中 CNT_{T_f} 、 CNT_{T_s} 和 $CNT_{T_s''}$ 分别为 T_f 、 T_s 和 T_s'' (周期与 T_s 相同) 时钟信号对应的计数器,用来指示何时拉高 S_{start} 、 S_{stop1} 和 S_{stop2} 信号 (S_{start} 、 S_{stop1} 和 S_{stop2} 分别为两脉冲的起始时刻、第一个脉冲的结束时刻和第二个脉冲的结束时刻)。当检测到 T_s 和 T_f 相位重合后,计数器 CNT_{T_s} 和 CNT_{T_f} 启动从 1 开始计数,每经过一个周期两者会产生 ΔT 的差值,当两者均计数 β_1 个周期后就会产生 $\beta_1 \Delta T$ 的差值(此为细延迟部分),紧接着 CNT_{T_s} 继续计数额外 α_1 个周期用来产生粗延迟 $\alpha_1 T_s$,则输出信号的宽度为 $\beta_1 \Delta T + \alpha_1 T_s$ 。 S_{start} 信号和 S_{stop1} 信号分别在 CNT_{T_f} 计数到 β_1 个周期和 CNT_{T_s} 计数到 $\beta_1 + \alpha_1$ 个周期时拉高,以上为第一个脉冲的生成过程。

第二个脉冲信号的生成原理与第一个基本相同,为保证两个脉冲信号同时触发,当 T_f 与 S_{start} 信号上升沿相距 β_2 个周期时,信号 T_s'' 的上升沿应与 T_f 重合,但是由于时钟生成的不确定性, T_s'' 的相位是随机的,导致 T_s'' 和 T_f 上升沿重合在电路上难以实现。同时,不同脉冲宽度的信号所需相位重合的位置也是不同的,这使电路的实现难度进一步增加,为此本文基于 Xilinx ARTIX-7 FPGA 提出了一种预相移技术成功解决了这个问题。

参考 XILINX 公司的官方指导手册^[12],模式时钟管理器(MMCM)自带的时钟相移功能可以实现压控振荡器频率(f_{vco})倒数 1/56 的相移步长,将此步长记为 T_{step} 。根据精细相移和相位检测电路使得新生成时钟 T_s' (与 T_s 的周期相同) 与 T_s 实现相位重合,如图 2(b) 所示。结合图 2(a) 可知当 T_s 和 T_f 重合后, T_f 经过 $(\beta_1 - \beta_2)$ 个周期, T_s' 的相位需与 T_f 重合,而此时 T_s' 上升沿与 T_f 相距 $(\beta_1 - \beta_2) \Delta T$ 。那么如若在相位重合检测开始之前,利用精细相移提前将 T_s' 向左移动 M 次得到 T_s'' (M 可由公式(4)计算),则在 T_f 与 T_s'' 的相位需要重合的时候,两者便已经提前重合。当 T_f 和 T_s'' 实现相位重合后, CNT_{T_f} 和 $CNT_{T_s''}$ 会开始粗细延迟的计数,这个过程与第一个脉冲的实现过程相同,此处不再赘述。

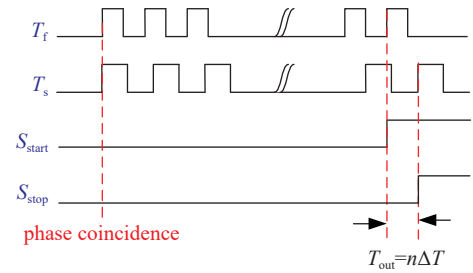


Fig. 1 Timing diagram of the vernier DTC

图 1 游标 DTC 的时序图

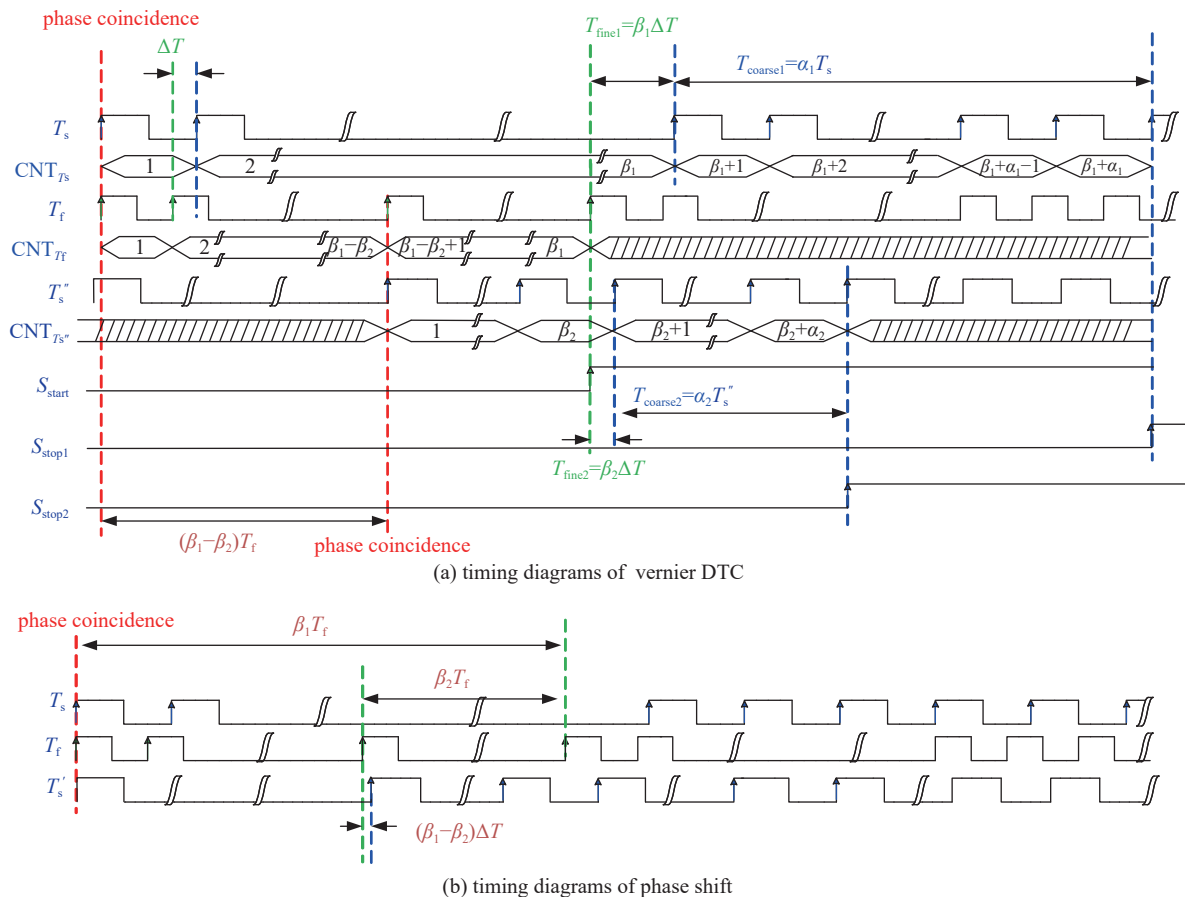


Fig. 2 Timing diagrams when $\beta_1 \geq \beta_2$

图2 当 $\beta_1 \geq \beta_2$ 时的时序图

$$M = \left\lfloor \frac{(\beta_1 - \beta_2) \Delta T}{T_{\text{step}}} \right\rfloor \quad (4)$$

1.2 $\beta_1 < \beta_2$

图3(a)为 $\beta_1 < \beta_2$ 情况下的时序图，第一个脉冲生成原理与 $\beta_1 \geq \beta_2$ 时是相同的，但是在生成第二个脉冲时， T_s'' 和 T_f 的相位重合位置出现在 T_s 和 T_f 相位重合位置的左侧，那么当 T_s 和 T_f 相位重合时 CNT_{T_f} 和 $\text{CNT}_{T_s''}$ 应该从 $\beta_2 - \beta_1 + 1$ 开始计数而不是从 1 开始。另外为了保证两个脉冲信号同时生成，需要保证两个相位重合的位置相距 $(\beta_2 - \beta_1)T_f$ ，如图3(a)。与 $\beta_1 < \beta_2$ 情况相同，需要对新生成的时钟 T_s' 进行相移使之与 T_s 相位重合，通过图3(b)可知此时 T_s' 与 T_f 和 T_s'' 应重合的上升沿相差 $(\beta_2 - \beta_1)\Delta T$ 。所以在电路检测到 T_s 与 T_f 相位重合之前需要对 T_s' 向左相移 N 次得到 T_s'' (N 由公式(5)计算可得)，则在 T_f 与 T_s'' 的相位需要重合时，两者已经提前重合了。

$$N = \frac{(\beta_2 - \beta_1) \Delta T}{T_{\text{step}}} \quad (5)$$

2 电路结构

图4为电路实现的简化框架图，可以看到整体电路由三个 MMCM 生成时钟信号即 T_s 、 T_s' 和 T_f 。 T_s' 首先经过相移电路得到 T_s'' ，相移分为两个过程：第一个过程通过有限次的相移使 T_s' 和 T_s 相位重合，第二个过程通过向左移动 M 次或者向右移动 N 次使 T_f 和 T_s'' 满足确定的相位关系。 T_s' 相移结束过后，对 T_s 和 T_f 进行相位检测，具体电路见图5，将 T_f 作为时钟信号， T_s 作为输入信号通过检测输出值的上升沿便可以检测到相位重合的时刻，经过多级寄存器是为了预防亚稳态的问题^[13]。

当 $\beta_1 \geq \beta_2$ ，输出信号的电路结构如图6所示，检测到相位重合的信号后计数器 CNT_{T_s} 和 CNT_{T_f} 从 1 开始计数，当 CNT_{T_f} 计数到 β_1 时 S_{start} 信号拉高；当 CNT_{T_f} 计数到 $\beta_1 - \beta_2$ 时计数器 $\text{CNT}_{T_s''}$ 从 1 开始计数，计数到 $\beta_2 + \alpha_2$ 时输出信号拉高即对应第二脉冲的结束信号 S_{stop2} ；同样当 CNT_{T_s} 计数到 $\beta_1 + \alpha_1$ 时输出信号拉高即对应第一个脉冲的结束信号

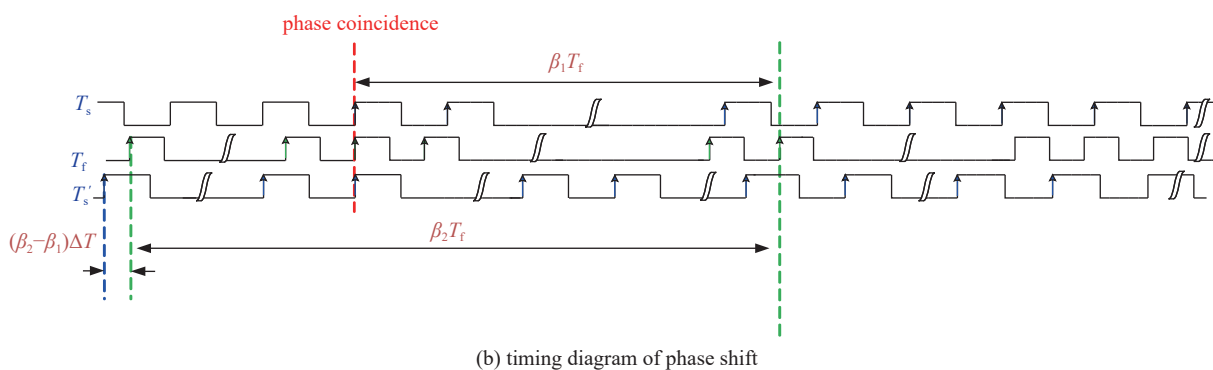
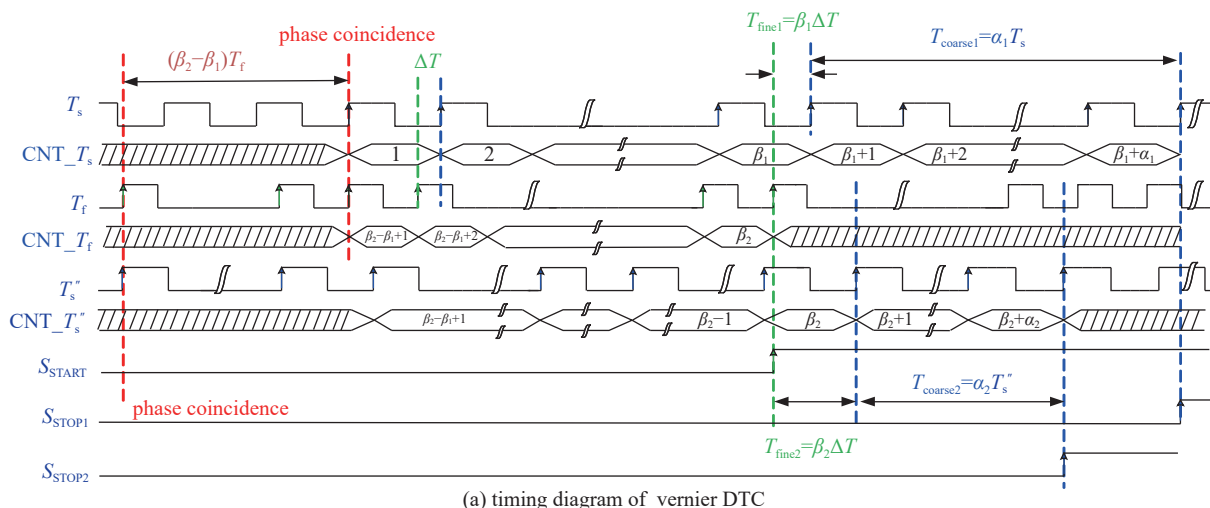


Fig. 3 Timing diagrams when $\beta_1 < \beta_2$

图 3 当 $\beta_1 < \beta_2$ 时的时序图

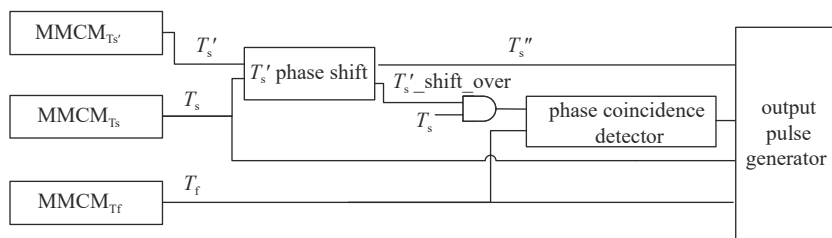


图 4 游标 DTC 的简化框图

S_{stop1} 。

当 $\beta_1 < \beta_2$, 脉冲输出电路如图 7 所示。在检测到相位重合的信号后 3 个计数器同时开始计数, 只不过 CNT_{T_s} 从 1 开始而 $CNT_{T_s'}$ 和 CNT_{T_f} 从 $\beta_2 - \beta_1 + 1$ 开始计数。当 CNT_{T_f} 计数到 β_1 时其输出拉高对应开始信号 S_{start} ; 当 CNT_{T_s} 计数到 $\beta_1 + \alpha_1$ 时输出信号拉高对应第一个脉冲的结束信号 S_{stop1} ; 当 $CNT_{T_s'}$ 计数到 $\beta_2 + \alpha_2$ 时输出信号拉高对应第二个脉冲的结束信号 S_{stop2} 。

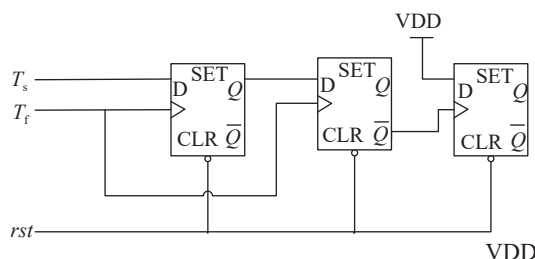


图 5 相位检测电路

3 FPGA 实现及实验结果

3.1 时钟资源的选取和分辨率的计算

T_f 和 T_s 的周期大小直接关系到 DTC 的分辨率, 故正确地选取生成 T_f 和 T_s 的时钟资源尤为重要, 在 Xilinx Kintex-7 FPGA 的时钟管理模块 (CMT) 中, 包含时钟管理器 (MMCM) 和锁相环 (PLL), 两者生成的时钟具有低歪斜、低占

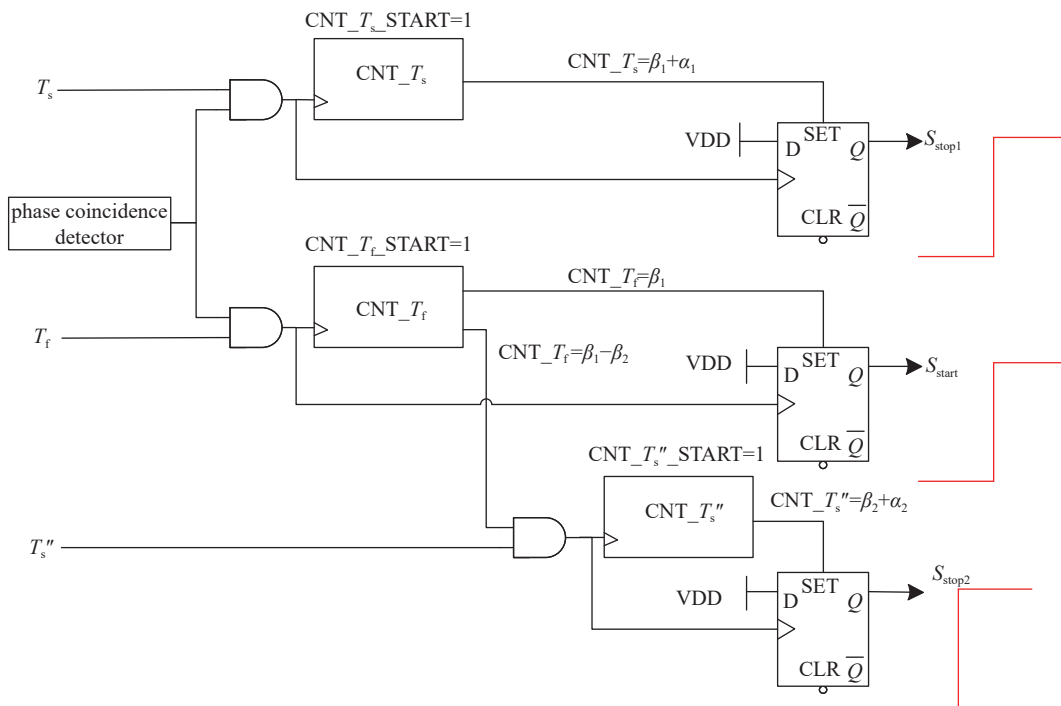


Fig. 6 Schematic of the pulse generator when $\beta_1 \geq \beta_2$

图6 $\beta_1 \geq \beta_2$ 时的脉冲生成器结构图

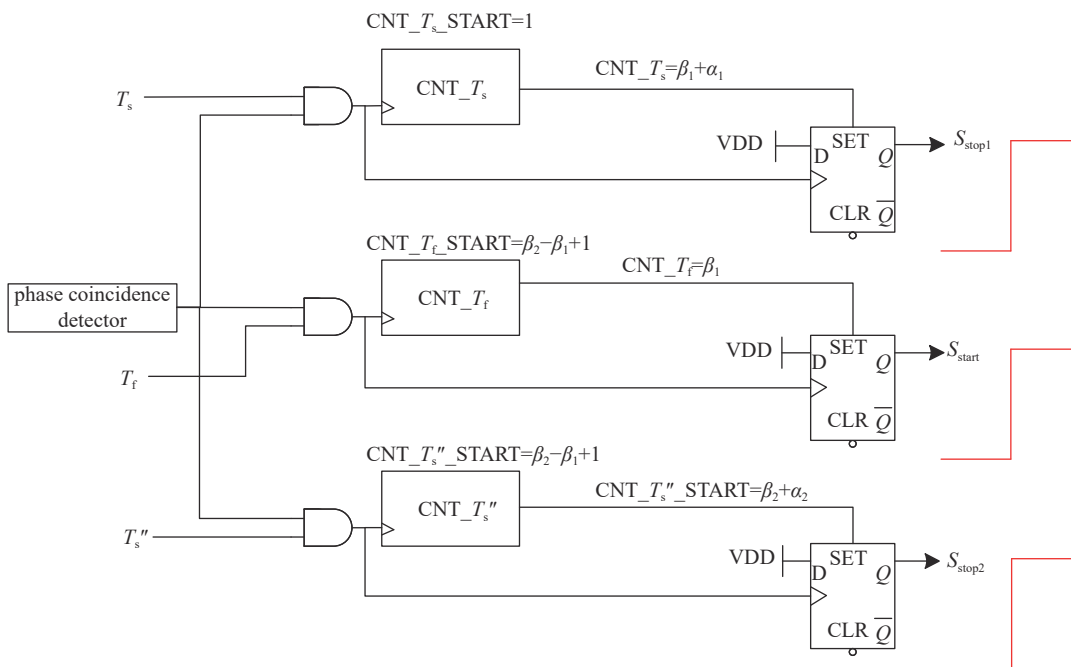


Fig. 7 Schematic of the pulse generator when $\beta_1 < \beta_2$

图7 $\beta_1 < \beta_2$ 时的脉冲生成器结构图

空比失真和低功耗等优点,但是MMCM包含PLL的所有功能,且额外具有精细相移的功能,故本文将使用Xilinx Kintex-7 FPGA中的MMCM模块来生成 T_s 和 T_f ,MMCM的基本原理图如图8所示。

在Xilinx Kintex-7 FPGA中输入时钟(CLKIN)经过分频电路实现 D 次分频后,经过相位频率检测器(PFD)比较分频后的时钟与反馈时钟的频率和相位,接着经过电荷泵(CP)和环路滤波器(LF)驱动压控振荡器(VCO)产生输出信号。驱动电压的大小控制压控振荡器输出更高或更低频率的信号,输出的信号除了经过 M 次分频过后反馈给PFD之外,同时也会经过 O 次分频成为MMCM最终的输出信号,故输出的频率可以根据公式(6)计算,其中 f_{CLKIN} 为输入时钟频率, f_{CLKOUT} 为输出时钟频率, D 、 O 为分频系数, M 为倍频系数。

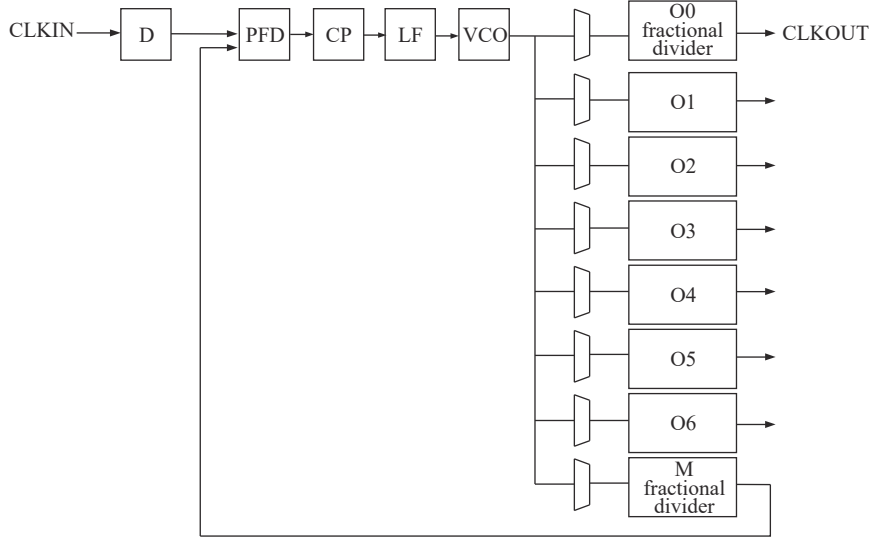


Fig. 8 Schematic of MMCM
图 8 MMCM 原理图

$$f_{CLKOUT} = f_{CLKIN} \div D \times M \div O \quad (6)$$

本文选用速度等级为 1、型号为 XC7A35T 的 FPGA 实现此游标 DTC。FPGA 中 MMCM 的输入频率 (f_{CLKIN}) 范围为 10~800 MHz, D 的范围为 1~106, M 的范围为 2~64, O 的范围为 1~128, VCO 的频率 (f_{VCO}) 范围为 600~1200 MHz, 经过编写计算程序我们得出如下结论: f_{CLKIN} 越高, DTC 的分辨率也越高。为了使生成时钟的稳定和 FPGA 内部电路的简单, 对于 T_s' , T_s , T_f 采用的输入时钟都为 400 MHz, 同时也计算了此输入时钟下不同 M 、 D 、 O 可实现 DTC 的分辨率, 并且为了得到更小的相移步长, f_{VCO} 取得越大越好。综合考虑以上条件, 对于 T_f 设置 $M=49$ 、 $D=18$ 、 $O=24$, 对于 T_s 和 T_s' 设置 $M=60$ 、 $D=23$ 、 $O=23$, 可以得到第一个脉冲的分辨率为 0.85 ps 见公式(7)

$$\begin{aligned} T_f &= \frac{1}{f_{VCO} \div O} = \frac{1}{f_{CLKIN} \div D \times M \div O} = \frac{1}{400 \text{ MHz} \div 18 \times 49 \div 24} = 22.040 \ 816 \ 32 \ \text{ns} \\ T_s = T_s' = T_s'' &= \frac{1}{f_{VCO} \div O} = \frac{1}{f_{CLKIN} \div D \times M \div O} = \frac{1}{400 \text{ MHz} \div 23 \times 60 \div 23} = 22.041 \ 666 \ 7 \ \text{ns} \\ \Delta T &= T_s - T_f = 0.85 \ \text{ps} \end{aligned} \quad (7)$$

对于第二个脉冲的生成过程中需要进行精细相位移动, 参考文献 [12] 计算出相移的步长如下

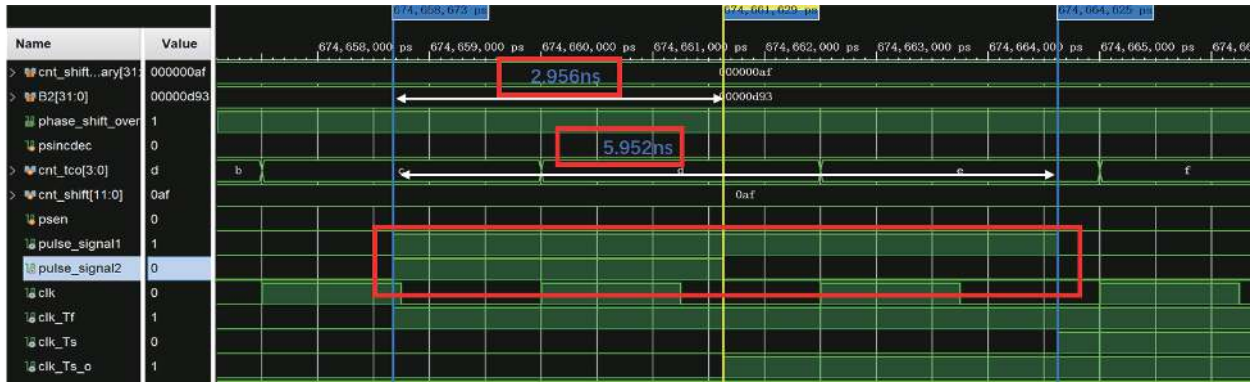
$$\begin{aligned} f_{VCO} &= f_{CLKIN} \div D \times M \\ T_{\text{step}} &= \frac{1}{f_{VCO} \times 56} = \frac{1}{f_{CLKIN} \div D \times M \times 56} = \frac{1}{400 \text{ MHz} \div 23 \times 60 \times 56} = 17.113 \ 1 \ \text{ps} \end{aligned} \quad (8)$$

可以预测, 在最坏的情况下 T_s' 与 T_s 相位重合时会有 1 个 T_{step} 的误差, 也就意味着第二个脉冲信号的分辨率为 $T_{\text{step}} + \Delta T = 17.963 \ 1 \ \text{ps}$ 。虽然分辨率低于第一个脉冲信号, 但是在 LTD 开关的同步触发中通常保持 ns 级别的分辨就可以满足大多数情况, 因此第二个脉冲依旧可以应用于 LTD 中。在上文对双通道的高分辨率 DTC 的原理和电路进行了详细的描述, 而对于实现多通道 DTC 在此基础上加上多个可相移的 T_s 时钟即可实现, 方法与第二个脉冲相似, 这里不再介绍。

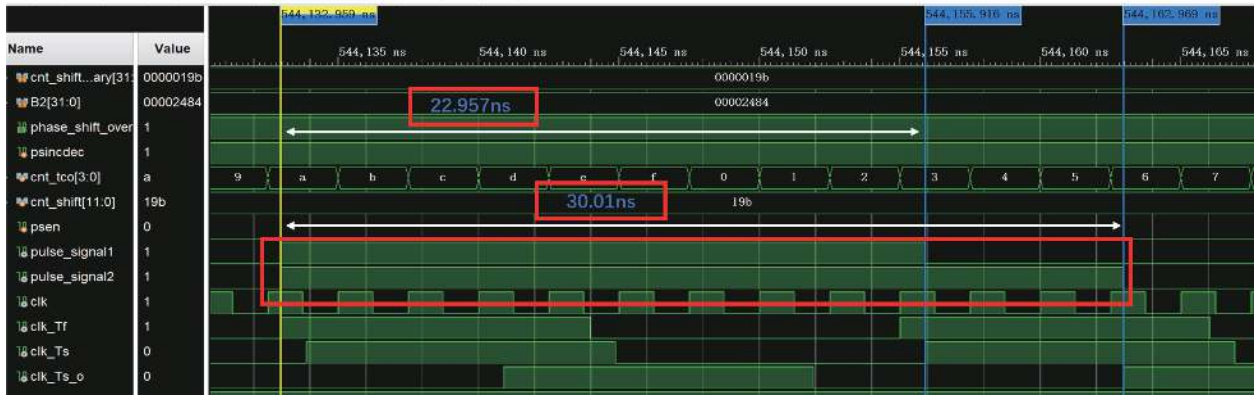
3.2 仿真结果

对于不同大小的 β_1 和 β_2 在 Vivado 中的对 DTC 的输出结果进行仿真, 结果如图 9 所示, 可以发现, 此电路实现了两路不同宽度高精度脉冲的同时触发。为仿真 $\beta_1 \geq \beta_2$ 时的情况, 我们设置 DTC 的输出脉宽分别为 $T_{\text{out1}} = 5.951 \ \text{ns}$ 和 $T_{\text{out2}} = 2.954 \ \text{ns}$, 由公式(3)可计算出 β_1 为 7001、 β_2 为 3475, 仿真结果如图 9(a) 所示。可以看到 T_{out1} 仿真值为 5.952 ns, T_{out2} 的仿真值为 2.956 ns。

为仿真 $\beta_1 < \beta_2$ 时的情况, 我们设置 DTC 的输出脉宽分别为 $T_{\text{out1}} = 22.958 \ \text{ns}$ 、 $T_{\text{out2}} = 30 \ \text{ns}$, 由公式(3)可计算出 β_1 为 1078、 β_2 为 9362。图 9(b) 展示了仿真结果, 可以看到 T_{out1} 和 T_{out2} 的仿真值分别为 22.957 ns 和 30.01 ns。结果表明, 该 DTC 输出稳定, 对于不同大小 β_1 和 β_2 第一个脉冲的输出误差都低于 2 ps, 第二个脉冲的输出误差都低于 10 ps, 满足同步触发的需求, 可用于实际电路。



(a) $\beta_1 \geq \beta_2 (\beta_1=7001, \beta_2=3475)$



(b) $\beta_1 < \beta_2 (\beta_1=1078, \beta_2=9362)$

Fig. 9 Simulation results of different sizes of β_1 and β_2

图9 不同 β_1 和 β_2 的仿真结果

3.3 实验测试结果

除了 MMCM 模块及相关的相位移动模块之外, 本文的其他电路均由基本的逻辑门生成, 因此可以很容易地在 FPGA 中实现。为保证时钟信号的稳定性, 文中时钟信号由 FPGA 自身的晶振作为输入信号经 MMCM 产生, 输出脉冲由 Tektronix DPO7254C 数字示波器进行测量, 测量了 β_1 和 β_2 为 0~1200 时精细延迟的数据, 并对每个数据进行多次测量取平均值绘制图 10 和图 11。对于第一个脉冲信号分辨率为 0.85 ps, 其测得 DNL(微分非线性度) 为 -1.255~1.166 LSB, 表明其单步长具有很好的稳定性(如图 10(a)), INL(积分非线性度) 为 -7.33~7.05 LSB, 表明其总体稳定性好(如图 10(b)), 因此, 第一个脉冲信号具有良好的性能; 对于第二个脉冲信号, 由于其分辨率主要由相移的步长决定, 其分辨率约为 17.1131 ps, DNL 和 INL 分别为 -0.0987~0.105 LSB(如图 11(a)) 和 -0.717~0.735 LSB(如图 11(b)), 表明相移步长精确, 具有很好的稳定性。

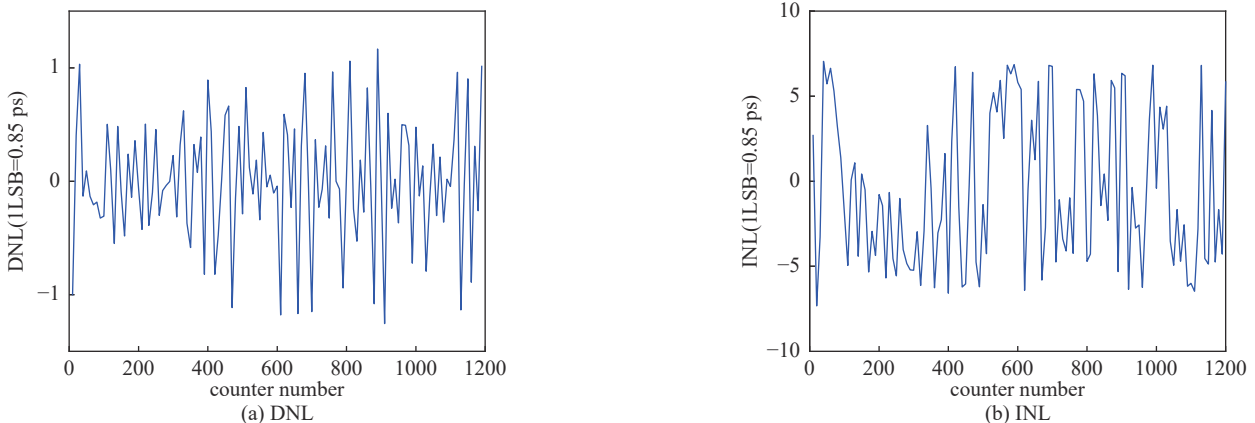


Fig. 10 DNL and INL of the first pulse signal

图 10 第一个脉冲信号的微分非线性度和积分非线性度

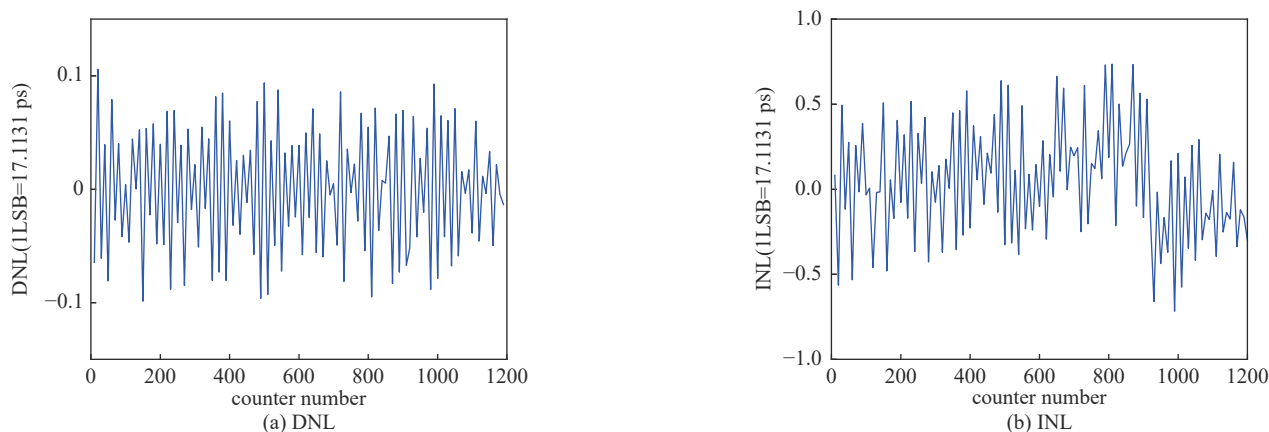


Fig. 11 DNL and INL of the second pulse signal

图 11 第二个脉冲信号的非线性度和积分非线性度

为了证明 DTC 在温度变化时的稳定性, 图 12 展示了在 $0\sim 80\text{ }^{\circ}\text{C}$ 下测量宽度为 8.5 ps 脉冲的实际结果, 其主要在 ESPEC 高低湿热试验箱 (型号为 GR-04KA) 中完成, 每隔 $10\text{ }^{\circ}\text{C}$ 测量一次, 以覆盖 FPGA 芯片的工作温度范围。可以观察到测量的脉冲宽度分布范围为 $8.41\sim 8.64\text{ ps}$, 偏差仅为 $-1\%\sim 1.6\%$, 其误差可能是测量仪器的有限精度造成的, 证明此 DTC 可在较大范围的温度下正常工作。以上表明此 DTC 可同步实现两个甚至多个不同步长高分辨率的脉冲信号, 且整体输出信号稳定、偏差小、在大范围的温度下依旧可以保证良好的性能, 满足全固态直线变压器驱动源 (LTD) 中大规模开关同步触发的需求。

4 结 论

本文提出了一种基于游标法的 DTC, 在 Xilinx Kintex-7 FPGA 利用 MMCM 产生时钟信号完成系统的设计。巧妙地利用两输出信号粗细延迟之间的关系, 结合 MMCM 的相位移动功能通过提前对时钟信号实施相位移动, 实现了双通道同步高分辨率 DTC, 解决前人游标 DTC 只能生成单脉冲的问题, 满足大规模开关应用的要求。实验结果表明, 第一个脉冲信号为 0.85 ps 的分辨率 DNL 和 INL 分别为 $-1.255\sim 1.166\text{ LSB}$ 和 $-7.33\sim 7.05\text{ LSB}$; 第二个脉冲信号的分辨率为 17.1131 ps , DNL 和 INL 分别为 $-0.0987\sim 0.105\text{ LSB}$ 和 $-0.717\sim 0.735\text{ LSB}$, 与前人游标 DTC 相比不仅提高了分辨率^[6], 同时在电路实现上也更为简单。

参考文献:

- [1] Zhang Min, Wang Hai, Liu Yan. Digital-to-time converter with 3.93 ps resolution implemented on FPGA chips[J]. *IEEE Access*, 2017, 5: 6842-6848.
- [2] Zou Lianfeng, Gupta S, Caloz C. A simple picosecond pulse generator based on a pair of step recovery diodes[J]. *IEEE Microwave and Wireless Components Letters*, 2017, 27(5): 467-469.
- [3] Ru J Z, Palattella C, Geraedts P, et al. A high-linearity digital-to-time converter technique: constant-slope charging[J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(6): 1412-1423.
- [4] Alahdab S, Mäntyniemi A, Kostamovaara J. A 12-bit digital-to-time converter (DTC) with sub-ps-level resolution using current DAC and differential switch for time-to-digital converter (TDC)[C]//Proceedings of 2012 IEEE International Instrumentation and Measurement Technology Conference. 2012: 2668-2671.
- [5] Yao Yuan, Wang Zhaoqi, Lu Houbing, et al. Design of time interval generator based on hybrid counting method[J]. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 2016, 832: 103-107.
- [6] Chen P, Chen Poyu, Lai Juanshan, et al. FPGA vernier digital-to-time converter with 1.58 ps resolution and 59.3 minutes operation range[J]. *IEEE Transactions on Circuits and Systems*, 2010, 57(6): 1134-1142.
- [7] Al-Ahdab S, Mäntyniemi A, Kostamovaara J. A 12-bit digital-to-time converter (DTC) for time-to-digital converter (TDC) and other time domain signal processing applications[C]//Proceedings of NORCHIP 2010. 2010: 1-4.
- [8] Roberts G W, Ali-Bakhshian M. A brief introduction to time-to-digital and digital-to-time converters[J]. *IEEE Transactions on Circuits and Systems II: Express*

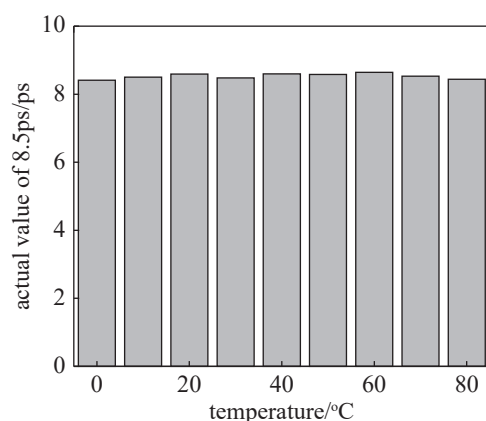


Fig. 12 Temperature sensitivity of the DTC

图 12 DTC 的温度敏感性

- Briefs, 2010, 57(3): 153-157.
- [9] Elian A F, Elfadel I M, Shabra A. A reconfigurable DLL-based digital-to-time converter using charge pump current interpolation and digital predistortion linearization[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2019, 66(5): 763-767.
- [10] Wang Hai, Zhang Min, Liu Yan. High-resolution digital-to-time converter implemented in an FPGA chip[J]. *Applied Sciences*, 2017, 7(1): 52.
- [11] 潘昭浩, 张政权, 刘庆想, 等. 高精度多路脉冲延时技术[J]. *强激光与粒子束*, 2021, 33: 105001. (Pan Zhaohao, Zhang Zhengquan, Liu Qingxiang, et al. High-precision multi-channel pulse delay technology[J]. *High Power Laser and Particle Beams*, 2021, 33: 105001)
- [12] Xilinx Corp. 7 Series FPGAs clocking resources user guide[EB/OL]. [2018-07-30]. https://docs.xilinx.com/v/u/en-US/ug472_7Series_Clocking.
- [13] Yao C Y, Hsia W C, Tsai P J, et al. The vernier-based TDC employing soft-injection-locked ring oscillators[C]//2012 IEEE International Instrumentation and Measurement Technology Conference Proceedings. 2012: 2291-2294.