·脉冲功率技术·



全固态电感储能形成线纳秒短脉冲功率调制器

马剑豪, 余 亮, 马久欣, 贺大钊, 董守龙, 姚陈果

(输配电装备及系统安全与新技术国家重点实验室(重庆大学),重庆市极端电磁脉冲生物效应技术创新中心,重庆 400044)

摘 要: 全固态电感储能型脉冲形成线调制器是实现高重复频率、电压高增益和短脉冲输出的一种全新 方案。但开关非理想的动态特性和传输线固定的物理空间尺寸限制,难以实现高压短脉冲的产生和调控。为 解决上述难题,通过电磁场分析建立了碳化硅场效应器件开关驱动模型,发现高速驱动和开关器件低寄生参数 能有效改善开关动态特性,提出了板上高速开关及驱动集成设计解决方案。基于波过程分析和多开关时序逻 辑控制理论,提出多开关削波电路拓扑方法和主动负载阻抗调制技术。实验结果表明,该调制器可产生上升时 间2.1 ns,下降时间3.5 ns,脉冲宽度5.1 ns的方波短脉冲,并且脉冲宽度5~20 ns 连续可调。10 级叠加后验证了调 整器高压能力,初级储能充电电压25 V时,电压增益可达336倍,重复频率200 kHz。

 关键词:
 纳秒短脉冲发生器;电感储能;脉冲形成线;栅极驱动器;脉冲宽度调制

 中图分类号:
 TM85

 文献标志码:
 A

 doi:
 10.11884/HPLPB202234.210580

All-solid-state inductive energy storage pulse forming line nanosecond short pulse power modulator

Ma Jianhao, Yu Liang, Ma Jiuxin, He Dazhao, Dong Shoulong, Yao Chenguo (State Key Laboratory of Power Transmission Equipment & System Security and New Technology (Chongqing University), Electromagnetic Pulse Biological Effect Technology Innovation Center of Chongqing, Chongqing 400044, China)

Abstract: The all-solid-state inductive energy storage pulse forming line modulator is a brand-new solution to achieve a high repetition rate, high voltage gain, and short pulse output. However, due to the non-ideal dynamic characteristics of the switch and the fixed physical space size of the transmission line, it's difficult to realize the generation and control of high-voltage short pulses. To solve the above problems, we established the switch drive model of the silicon carbide field-effect device through electromagnetic field analysis. It was found that high-speed drive and low parasitic parameters of the switch device can effectively improve the dynamic characteristics of the switch, and the onboard high-speed switch and drive integrated design solution were proposed. At the same time, based on wave process analysis and multi-switch sequential logic control theory, a multi-switch clipping circuit topology method and active load impedance modulation technology are proposed. Finally, an experimental platform was built to verify the above ideas. Experimental results show that the modulator can achieve a square wave short pulse with a rise time of 2.1 ns, a fall time of 3.5 ns, and a pulse width of 5.1 ns and the pulse width is continuously adjustable from 5 to 20 ns. After 10 levels of superposition, the regulator's high voltage capability is verified. When the primary energy storage charging voltage is 25 V, the voltage gain can reach 336 times, and the repetition frequency is 200 kHz.

Key words: short pulse generator, inductive energy storage, pulse forming line, gate driver, pulse duration modulation

近来,脉冲功率技术进入创新超越的快速发展期^[1],巨大机遇下脉冲功率技术应用领域也不断扩展^[2-3]。其中, 纳秒短脉冲发生器已经成为大气压低温等离子体应用^[4]、生物医疗^[5-6]、电力设备检测^[7]等应用领域的核心部件。 新形势下,固态脉冲功率源在快前沿、短脉冲、可调脉宽、方波、高电压^[8-9]并且兼顾小型和可靠性等方面提出了

 ^{*} 收稿日期:2021-12-31; 修订日期:2022-06-13
 基金项目:国家自然科学基金项目(51907011)
 联系方式:马剑豪, majianhao@cqu.edu.cn。
 通信作者:余 亮, yu_liang@cqu.edu.cn。

更高的要求^[10]。相比于电容储能,基于半导体断路开关的电感储能型脉冲发生器具有更高的储能密度,易做到装置小型化^[11]。将电感储能和脉冲形成线拓扑创造性结合可以实现电感储能型脉冲发生器方波输出^[12-13],并且通过时间隔离和低时间分散性电路设计可以多级叠加并输出高电压纳秒短脉冲,但如何实现短脉冲更快前沿和更短脉冲脉宽调制仍是尚未解决的难题^[14-15]。固态开关、多样化脉冲形成电路以及高功率密度储能是决定发生器动态性能的关键^[16-17],其中,固态开关的开关速度是首要因素^[18],而随着固态开关特性研究的深入,触发/驱动电路的驱动能力很大程度上决定了开关速度^[19-20]。因此,本文将聚焦突破短脉冲发生器设计中的关键技术,从电感储能形成线脉宽调制拓扑、SiCMOSFET 开关封装设计及超快栅极驱动开发等三个方面开展研究。最终研制出 5~20 ns可调的方波短脉冲发生器。

1 原理分析

1.1 瞬态强场下开关提速原理与耦合干扰机制

脉冲形成过程中开关不断承受着瞬时变化的电压、电流应力,回路寄生参数受瞬态强场耦合作用会对栅极驱动造成多重影响。这些会影响栅极驱动的因素称为干扰源。由于干扰源与目标电路之间的寄生参数在瞬态强场的耦合作用形成的干扰称为传导干扰,且此类通过电路间寄生参数互相耦合而形成的干扰难以直接抑制。脉冲发生器中开关和脉冲形成回路直接相连,进一步降低回路寄生电感,使得脉冲回路和开关以及驱动回路之间的连接更加紧密,导致瞬态强场下对栅极驱动的耦合干扰机制更加复杂。为了探究瞬态强场对栅极驱动电压的耦合干扰机制,本节搭建了等效电路模型,并发现脉冲形成电路中对栅极驱动电压 U_{dr}的干扰主要来自三个方面:①瞬态畸变电场(电压前沿)U_{bp};②瞬态突变磁场(电流前沿)*i_{bp}*;③栅极驱动电压本身的干扰U_{dr}。图1是脉冲形成回路解耦简化电路,将脉冲形成回路进行简化等效,使得所示电路可以表征电感储能型脉冲发生器。R_{bp}是电路器件寄生电阻,L_{bp}则是回路寄生电感、引线寄生电感以及除开关外脉冲回路中寄生电感的总和。同时本文定义开关漏-源电容 C_{ds} 两端的电压为 U_{ds},并且此简化电路使用源极解耦电感设计,L_{s1}为连接栅极驱动回路的寄生电感,L_{s2}为连接脉冲回路的寄生电感。同理,本文将驱动回路中的所有寄生电阻以及内外驱动电阻整合为 R_{dr},寄生电感和内外驱动电感整合为 L_{dr},C_{gd} 和 C_{gs} 为开关的栅-漏电容和栅-源电容。U_{dr} 为栅极驱动电压,U_g 为图中位置的点电压,*i*_d 为脉冲回路的功率电流,U_{dg}则为 *i*_d 在开关源极寄生电感上感应产生的电压。



图 1 电脉冲前沿干扰等效电路

图 1(a)脉冲电压前沿对驱动电压的干扰数学模型,可以分为驱动回路干扰 *E*_{dr}(s)和脉冲回路干扰 *E*_{bp}(s),其传 递函数如式(1)。根据以上分析,以脉冲电压前沿 *U*_{bp} 为干扰源,通过式(1)可以得到 *U*_{bp} 对 *U*_{dr} 的干扰响应,同时 可以看到降低回路寄生电感并且降低其耦合是减少干扰的直接途径。

$$\begin{cases} E_{dr}(s) = \frac{sZC_{gd}}{D(s)} \\ E_{bp}(s) = \frac{1}{s^2(L_{bp} + L_{s2})C_{oss} + sR_{bp}C_{oss} + 1} \\ E(s) = E_{dr}(s)E_{bp}(s) \end{cases}$$
(1)

图 1(b)是电流前沿干扰的等效电路,也就是 B(s)的电路解析模型。从图 1(b)可知,脉冲回路电流前沿对 U_{dg}的作用是直接并且明确的,在本文所提电路中仅与 L_{s2} 有关,如式(2)所示。

$$B_{\rm dr}(s) = \frac{U_{\rm dr}(s)}{U_{\rm dg}(s)} = \frac{Z}{\frac{1}{sC_{\rm iss}} + s(L_{\rm dr} + L_{\rm s1}) + R_{\rm dr} + Z} = \frac{sZC_{\rm iss}}{H(s)}$$
(3)

$$H(s) = s^2 C_{\rm iss}(L_{\rm dr} + L_{\rm s1}) + s C_{\rm iss}(R_{\rm dr} + Z) + 1$$
(4)

脉冲形成回路中,对驱动电压的干扰除了脉冲电压前沿和脉冲电流前沿之外还有相同时刻下驱动电压自身的 干扰作用,将驱动电压自身干扰定义为 U_{dr}(s),其传递函数为

$$G_{\rm dr}(s) = \frac{1}{s^2 (L_{\rm dr} + L_{\rm s1}) C_{\rm iss} + s R_{\rm dr} C_{\rm iss} + 1} \tag{5}$$

经过以上分析,可以得到脉冲形成电路中驱动电压的干扰因素以及扰动规律。图2是瞬态强场下脉冲形成回路中的耦合干扰传递函数框图。其干扰源分别来自驱动电压自身U^{*}_{dr}(s)、脉冲电压前沿U_{bp}(s)和脉冲电流前沿*i_{bp}*(s),同时瞬态强场干扰分别从驱动回路和脉冲回路两个回路对驱动电压产生耦合干扰,其完整表达式为





$$U_{\rm dr}(s) = \begin{bmatrix} E_{\rm dr}(s)E_{\rm bp}(s) & B_{\rm dr}(s)B_{\rm bp}(s) & G_{\rm dr}(s) \end{bmatrix} \begin{bmatrix} U_{\rm bp}(s) \\ i_{\rm bp}(s) \\ U_{\rm dr}^*(s) \end{bmatrix}$$
(6)

综上所述,本节揭示了脉冲形成电路中瞬态强场对开关栅极电压的耦合干扰机制,提出了耦合干扰解析模型 及其传递函数。在纳秒脉冲发生器设计中,开关封装寄生参数控制至关重要,而除了脉冲回路寄生参数控制,通过 开关封装源极寄生电感的解耦设计可以抑制瞬态强场下的耦合干扰,改善脉冲动态特性。

1.2 电感储能形成线脉宽调制拓扑

本文提出了电感储能形成线脉宽调制主动电磁波调控拓扑 (SIE_PFL), 如图 3(a) 所示。SIE_PFL 具有更少的 半导体器件, 并且可以通过 A, B 点协同动作实现电磁波主动调控进而调制脉宽。图 3(b) 是 SIE_PFL 电磁波折反 射的等效过程节点, A, B 点的阻抗状态便可通过调制开关 M_{con} 和主开关 M_{main} 的通断实现状态切换, 其特征在于 调制开关直接控制形成线中波的折反射, 在主开关动作后两个电磁波同时协调传递才输出调制脉冲。



 Fig. 3
 Topology of series inductive energy pulse forming line (SIE_PFL)

 图 3
 电感储能形成线脉宽调制主动电磁波调控拓扑

经过对偶转换后,式(7)是 SIE_PFL 中 A, B 点的阻抗状态方程。SIE_PFL 中 Y_2 仅具有两种阻抗状态,并且 Y_0 和 Y_2 的阻抗状态均可通过 M_{con} 和 M_{main} 主动切换。SIE_PFL 的电磁波折反射后输出结果及控制时序如图 4 所示,其特征在于调制开关切换后即完成脉冲宽度调制。结合以上结果,可以得到如式(7)所示的 Y_0 的两种阻抗状态和 Y_2 的三种阻抗状态。

$$Y_0 = \begin{bmatrix} G_{\text{con}} \\ 0 \end{bmatrix}, \quad Y_2 = \begin{bmatrix} G_{\text{load}} \\ 0 \\ \infty \end{bmatrix}$$
(7)

图 4 是指调制脉宽为一个电长度 *l* 时的控制信号时序, 可以发现在开关闭合后较长时间内电路均保持 *Y*₂ = *G*_{load},第 一个波过程起始时刻为 M_{main} 断开。此时 M_{con} 依旧闭合, *Y*₂ 从短路状态变化为 *G*_{load} 状态。在 *Y*₂ 上的前行电流 *i*_{2f} 也 就是负载电流 *i*_R 的表达式和在 *Y*₁ 上的反行电流 *i*_{1b} 表达式为

$$\begin{cases} i_{2f} = \frac{Y_2}{Y_1 + Y_2} i_0 = \frac{1}{2} i_0 \\ i_{1b} = -\frac{Y_1}{Y_1 + Y_2} i_0 = -\frac{1}{2} i_0 \end{cases}$$
(8)

其中, i_0 为初始电流, 且在 t_1 时刻, B 点发生负载匹配的折反射, 即 $Y_2 = Y_1$ 。

而在 I 时刻, 调制开关 M_{cut} 断开, M_{main} 早已断开, 此时原 来的反射波已经到达 A 点, B 点将不再发生折反射。但 Y_0 = 0, 故将在 A 点发生折反射, 假设 M_{cut} 断开前 Y_1 传播到 A 点 的电流为 i_1 , 可以得到式(7)所示的折反射系数, 将式(8)和式

(9)联立可以得到1时刻由于 M_{cut} 动作在 A 点的折反射电流方程, 如式(10)。也就是说此时由于 A 点短路且 M_{cut} 断开, 负载上不再存在电流从而实现脉冲宽度截至达到脉宽调试效果。截断后, Y₁中的原有电流继续完成在 Y₁中的传递过程。

$$\begin{cases} \alpha = 2Y_0/(Y_1 + Y_0) = 0\\ \beta = (Y_0 - Y_1)/(Y_1 + Y_0) = -1 \end{cases}$$
(9)

$$\begin{cases} i_{0f} = Y_0 i_l / (Y_1 + Y_0) = 0\\ i_{1b} = -Y_1 i_l / (Y_1 + Y_0) = -i_l \end{cases}$$
(10)

经过 *l*时间长度的传递,到 2*l*时刻, M_{cut} 调制开关依旧断开,此时 *B*点状态为 $Y_2 = \infty$,此时的折反射系数为式 (11)。定义该时刻前 Y_1 中的前行电流为 i_{21} ,联立求解公式可得到此时从 Y_1 进入 Y_2 的电磁波方程为式(12)。这个 时候发生全折射,且电流方向发生改变,调制二极管 D_{con} 作用失效,能量施加在调制电阻 R_{con} 上形成时间长度为 *l*的调制脉宽。如图 4 中的紫色虚线部分波形,其详细的波过程分析也可通过式(11)、式(12)计算得到。

$$\begin{cases} \alpha = 2Y_2/(Y_1 + Y_2) = 2\\ \beta = (Y_2 - Y_1)/(Y_1 + Y_2) = 1 \end{cases}$$
(11)

$$\begin{cases} i_{2f} = Y_2 i_{2l} / (Y_1 + Y_2) = i_{2l} \\ i_{1b} = -Y_1 i_{2l} / (Y_1 + Y_2) = 0 \end{cases}$$
(12)

1.3 阻抗主动调制方法

当脉冲形成线的输出负载为重载时,负载上完成第一个波过程的脉冲输出后,第n个脉冲持续时间长度阶段 的负向脉冲会反复出现负载上。因此通过设计主动调制电路,从而使与二阶波过程相关的三阶直至多阶脉冲均不 再传递到负载,可以有效解决重载条件下形成性输出脉冲的稳定性,进而提升其应用效率。

电感储能形成线 (IE_PFL) 及其衍生拓扑 SIE_PFL 均可 实现重载条件下阻抗调制,图 5 为 IE_PFL 的重载阻抗调制 方法。当负载上反射回形成线的二阶负向脉冲向前传播时, 完成第一个波过程后由于负载与特征阻抗的差异,会出现一 个反向能量开始回到传输线,此时便是 2 倍脉冲持续时间时 刻,其行进过程由于 IE_PFL 中 M_{main} 中体二极管作用,负向



 Z_{save}



能量没有进入传输线而是直接通过体二极管给 IE_PFL 中的稳压储能大电容 C 充电。其动作回路如图 5 红色箭头 所示,因此在没有开关动作和电路变化的情况下,所提拓扑可以实现重载条件下负载阻抗的自适应调节。

2 关键技术

2.1 极低寄生电感开关叠层封装

降低开关封装的寄生电感是改善开关动态特性的重要方式,本文提出的极低寄生电感层叠封装 (ULI_PoP) 设



计结构。整体封装部件采用空间堆叠结构,使用 AnsysQ3D 提取功率寄生电感,其自感为 1.2 nH,互感为−0.4 nH, 整体寄生电感为 0.8 nH,同时所提封装整体尺寸为 10 mm×10 mm×0.8 mm,引脚布置均采用倒装焊接。

本文建立了 ULI_PoP 的瞬态电磁场仿真模型,以持续时间为 100 ns、上升速度为 2 ns、电流幅值为 90 A 的脉冲 电流作为激励源。在 50 ns 平顶时刻得到图 6(a)所示瞬态磁场仿真结果——磁场强度分布和磁场方向分布,强磁 场区域集中于晶圆功率回路且分布均匀,同时其变换方向呈现圆周分布,底层和顶层之间电流强度对称但方向相 反,因此 ULI_PoP 在尽可能降低自感的同时通过互感相消原理增大负互感,进而降低整体寄生电感。图 6(b)是所 提 ULI PoP 和成品开关的实物对比。







2.2 超快强流栅极驱动设计

众所周知,除 SiC MOSFET 自身设计外其高速运行的关键是栅极驱动,栅极驱动在 SiC MOSFET 动作时刻的电流峰值直接决定了导通、关断时间。首先本文使用 GaN HEMTs 器件作为超快栅极驱动的动作器件,而后构建了 图 7(a)所示的 PCB 板级栅极驱动电路,同时在设计过程中对栅极驱动与 SiC MOSFET 输入电容充电、放电回路进行寄生电感集约化设计。本文主要通过多层布线结构在物理结构上将充电路径和放电路径进行分离进而控制其 回路寄生电感,图 7(a)是所提超快栅极驱动实物图。通过寄生电感计算提取可知,所提超快栅极驱动充放电回路 寄生电感均小于 1 nH。





为进一步验证所提超快栅极驱动(GaN_E_driver)的驱动优势,本文将GaN_E_driver与常见栅极驱动IXYSIXDN609 (常规驱动)和IXRFD630(射频强流驱动)进行了特性对比,其实物尺寸对比如图7(a)所示。

实验参数中栅极电压设置为 0 V/15 V, 开关无负载电压, 触发脉冲持续时间 100 ns。实验对比波形如图 7(b) 所示, GaN_E_driver 在时间延时、动态前沿、过冲振荡等方面均具有相当优势。我们将详细的参数对比罗列于表 1。可以说, GaN_E_driver 的驱动能力以及驱动稳定性均具有较强优势, 尤其在驱动电流峰值上明显优于已有驱动。

耒 1

三种栅极驱动对比结果

Table 1 Results of experiments								
	pulse duration/ns	time	rise	fall	rising	falling	on-peak	off-peak
		delay/ns	time/ns	time/ns	overshoot/V	overshoot/V	current/A	current/A
IXDN609	108.6	33.2	6.9	6.5	2.1	3.1	9.2	12.8
IXRFD630	102.2	24.5	4.4	5.1	6.2	4.8	20.2	13.6
GaN_E_driver	101.6	11.2	2.3	3.8	3.2	2.5	27.3	25.2

3 实验结果

3.1 脉冲宽度调制

实验中,设定的充电电流峰值为40A,直流充电电压为25V。本文设定固定时间为电感储能形成线中在开关闭合后开展恒压充电,实验结果表明经过2μs短路充电,电感储能形成线中储存的峰值电流可达41.3A。实验过程中,将电流波形峰值部分进行展开分析,在将近80 ns 持续时间内电感储能形成线中电流已经稳定在41.3A。

图 8 是使用了本文设计的开关和超快栅极驱动作为核心器件的脉宽调制结果波形,首先图 8(a)是单模块脉宽 调制结果,脉冲上升时间约为 2.1 ns,调制脉宽从 4 ns 到 20 ns。同时可以看到调制信号为 4 ns 脉冲宽度时,输出脉冲已经降低为准方波脉冲。另外,本文也搭建了 5 级单模块叠加脉宽调制实验,实验结果如图 8(b)所示,5 级堆叠 时输出脉冲的上升时间约为 4.5 ns。发生器设定调制脉冲宽度为 8~20 ns 时输出脉冲具有良好的方波平顶,同时 叠加时可以调制的最短脉冲为 6 ns。此外,所提发生器具有较高的电压叠加效率其输出电压达到 4.91 kV。





图 9 是经过脉宽调制控制输出的具有平顶的最短方波脉冲,可以看到脉冲的上升时间为 2.1 ns,下降时间为 3.5 ns,而脉冲宽度为 5.1 ns。输出脉冲的平顶时间约为 0.9 ns。

3.2 输出阻抗调制

本文所提拓扑可以调制输出阻抗,与上节环境和设备相同,首先开展 IE_PFL 重载实验以验证其重载自适应能力。图 10 是负载电阻分别为 50,100 和 200 Ω 时的实验结果。输出脉冲在重载条件下依旧具有完整的设定脉冲特







性,脉冲宽度均为 20 ns 与匹配负载 50 Ω基本保持一致。注意,实验过程中我们调节直流充电电源电压使得本实验结果中输出电压一致。而在本实验中,充电电压为 25 V时在 50 Ω负载上输出电压幅值为 1000 V,同样在负载电阻为 100 Ω时,达到 1000 V脉冲幅值充电电压仅为 18 V,负载电阻为 200 Ω时充电电压仅需 15 V。不难得到结论,所提拓扑具有重载负载阻抗自适应能力,并且重载时具有更高电压增益。

3.3 电压叠加实验

而后,开展电感储能形成线脉宽调制 10级堆叠电路实验。实验平台包含 10级主开关、调制开关和控制信号触发电路,其中主开关电路同时存在电感储能形成线接口以及延时线接口,主开关电路上形成短脉冲后通过延时线传递至负载电路,最终使得脉冲在负载电路上叠加输出。而电感储能形成线尾端则连接到调制开关电路,调制开关电路通过控制信号时序逻辑控制对形成线中电磁波折反射过程进行调制,进而调控主开关电路上输出的脉冲宽度。此外,主开关电路和调制开关电路通过两路独立光纤电路传递信号,而相同 10路电路则通过触发电路总线设计实现多路信号的一致性控制。同时,本文设计了功率叠加负载结构,偶数序列的延时线通过左侧 SMA 接口连接,奇数序列则在右侧连接,通过交错的连接实现各路输出脉冲协同叠加,不仅改善输出端口的连接操作还进一步降低叠加结构的寄生参数,提高叠加效率。此外,每根延时线的输出末端均连接了一个磁芯以抑制输出脉冲反射回主电路。

图 11(a)是 3 级, 5 级, 7 级和 10 级 PIE_PFL 叠加后输出波形对比, 可以发现当堆叠级数为 5 级及以下时输出脉冲的幅值基本没有损失, 其叠加效率超过 98%。叠加波形也与单级波形具有很好的一致性, 尤其是脉冲前沿偏差 (仅为 900 ps。而随着级数增加, 虽然在 7 级叠加时依旧具有 94% 的叠加效率但其波形平顶已经受到较为严重的影响。尤其是堆叠级数超过 7 级后, 叠加效率逐渐降低。值得一提的是, 所提时间隔离法在 10 级叠加时, 其叠加效 率依旧达到 84%。10 级叠加是输出电压为 8.4 kV, 初级储能充电电压 25 V, 具备 336.4 倍的电压增益输出, 并且输出脉冲的电压上升速度超过 1000 kV/µs, 达到了 1168 kV/µs。图 11(b)是 10 级堆叠下的脉宽调制模式下, 发生器可以输出的最短脉冲波形, 由于多级堆叠后的高频分量损失, 输出脉冲的上升时间已经接近 7 ns, 这也导致输出脉冲 很难维持较好方波平顶, 以及难以进行更短时间的脉宽调制。可以看到, 输出脉冲为尖顶波, 并且输出脉冲半宽为 8 ns, 这也是 10 级堆叠下可以输出的最短脉冲。







由于电感储能拓扑相较于 ns 脉冲持续时间需要数 μs 的 时间长度进行储能电感充电,这也限制了发生器可以运行的 重复频率,图 12 为本文所提时间隔离法脉冲发生器在重复 频率为 200 kHz 时的输出波形(连续运行 3 min),此时充电间 隔时间为 5 μs,充电电源不需要额外扩容并且发生器已有散 热措施可以有效耗散热量。

4 结 论

本文针对新兴民用领域对固态脉冲发生器在快前沿、短脉冲、可调脉宽、方波并兼顾小型、重频和可靠性方面提出的更高要求。本文提出了基于电感储能形成线脉宽调制拓扑,而后聚焦于瞬态强场和分布式电感负载下 SiC MOSFET





动态特性改善和超快栅极驱动设计。综合突破快前沿(2.1 ns)、短脉冲脉宽调制(5~20 ns)、方波、高电压增益 (336倍)的脉冲发生器研制。当然,所提发生器在更高电压和更高叠加效率方面也有待进一步提高,这也是本文 下一步正在开展的研究工作。

致谢 感谢中国工程物理研究院流体物理研究所、中国工程物理研究院应用电子学研究所、国防科技大学脉冲功率激光技术国家重点实验室的指导和支持。

参考文献:

- [1] 丛培天. 中国脉冲功率科技进展简述[J]. 强激光与粒子束, 2020, 32:025002. (Cong Peitian. Review of Chinese pulsed power science and technology[J]. High Power Laser and Particle Beams, 2020, 32: 025002)
- [2] 江伟华. 高重复频率脉冲功率技术及其应用: (1)概述[J]. 强激光与粒子束, 2012, 24(1): 10-15. (Jiang Weihua. Repetition rate pulsed power technology and its applications: (I) Introduction[J]. High Power Laser and Particle Beams, 2012, 24(1): 10-15)
- [3] Jiang Weihua, Yatsui K, Takayama K, et al. Compact solid-state switched pulsed power and its applications [J]. Proceedings of the IEEE, 2004, 92(7): 1180-1196.
- [4] 邵涛, 章程, 王瑞雪, 等. 大气压脉冲气体放电与等离子体应用[J]. 高电压技术, 2016, 42(3): 685-705. (Shao Tao, Zhang Cheng, Wang Ruixue, et al. Atmospheric-pressure pulsed gas discharge and pulsed plasma application[J]. High Voltage Engineering, 2016, 42(3): 685-705)
- [5] Yao Chenguo, Hu Xiaoqian, Mi Yan, et al. Window effect of pulsed electric field on biological cells[J]. IEEE Transactions on Dielectrics and Electrical Insulation, 2009, 16(5): 1259-1266.
- [6] Malik M A, Schoenbach K H, Abdel-Fattah T M, et al. Low cost compact nanosecond pulsed plasma system for environmental and biomedical applications[J]. Plasma Chemistry and Plasma Processing, 2017, 37(1): 59-76.
- [7] Zhao Zhongyong, Yao Chenguo, Hashemnia N, et al. Determination of nanosecond pulse parameters on transfer function measurement for power transformer winding deformation [J]. IEEE Transactions on Dielectrics and Electrical Insulation, 2016, 23(6): 3761-3770.
- [8] Buttram M. Some future directions for repetitive pulsed power[J]. IEEE Transactions on Plasma Science, 2002, 30(1): 262-266.
- [9] Elgenedy M A, Darwish A, Ahmed S, et al. A modular multilevel generic pulse-waveform generator for pulsed electric field applications [J]. IEEE Transactions on Plasma Science, 2017, 45(9): 2527-2535.
- [10] Azizi M, van Oorschot J J, Huiskamp T. Ultrafast switching of SiC MOSFETs for high-voltage pulsed-power circuits [J]. IEEE Transactions on Plasma Science, 2020, 48(12): 4262-4272.
- [11] 江伟华. 高重复频率脉冲功率技术及其应用: (4)半导体开关的特长与局限性[J]. 强激光与粒子束, 2013, 25(3): 537-543. (Jiang Weihua. Repetition rate pulsed power technology and its applications: (IV) Advantage and limitation of semiconductor switches[J]. High Power Laser and Particle Beams, 2013, 25(3): 537-543)
- [12] 余亮, 須貝太一, 德地明, 等. 电感储能型脉冲形成线高重复频率脉冲功率发生器 [J]. 强激光与粒子束, 2018, 30: 025006. (Yu Liang, Sugai T, Tokuchi A, et al. Repetitive pulsed power generator based on inductive-energy-storage pulse forming line [J]. High Power Laser and Particle Beams, 2018, 30: 025006)
- [13] Yu Liang, Jiu Zezheng, Sugai T, et al. Pulsed voltage adder topology based on inductive Blumlein lines [J]. IEEE Transactions on Plasma Science, 2018, 46(5): 1816-1820.
- [14] Yu Liang, Feng Yu, Sugai T, et al. Voltage adding of pulse forming lines using inductive energy storage[J]. IEEE Transactions on Dielectrics and Electrical Insulation, 2017, 24(4): 2211-2215.
- [15] Ma Jianhao, Dong Shoulong, Liu Hongmei, et al. A high-gain nanosecond pulse generator based on inductor energy storage and pulse forming line voltage superposition [C]//2019 IEEE Pulsed Power & Plasma Science (PPPS). 2019: 1-4.
- [16] 张适昌, 严萍, 王珏, 等. 民用脉冲功率源的进展与展望[J]. 高电压技术, 2009, 35(3): 618-631. (Zhang Shichang, Yan Ping, Wang Jue, et al. Development situation and trends of pulsed power sources for civil applications[J]. High Voltage Engineering, 2009, 35(3): 618-631.)
- [17] de Angelis A, Kolb J F, Zeni L, et al. Kilovolt Blumlein pulse generator with variable pulse duration and polarity[J]. Review of Scientific Instruments, 2008, 79: 044301.
- [18] Canacsinh H, Redondo L M, Silva J F, et al. Solid-state bipolar Marx modulator modeling [J]. IEEE Transactions on Plasma Science, 2014, 42(10): 3048-3056.
- [19] Peftitsis D, Rabkowski J. Gate and base drivers for silicon carbide power transistors: an overview [J]. IEEE Transactions on Power Electronics, 2016, 31(10): 7194-7213.
- [20] Ning Puqi, Lai Rixin, Huff D, et al. SiC wirebond multichip phase-leg module packaging design and testing for harsh environment[J]. IEEE Transactions on Power Electronics, 2010, 25(1): 16-23.