



·粒子束及加速器技术·

## 数字束流位置探测器通道自动增益 校准方法的研究与实现\*

高国栋<sup>1,2</sup>, 曹建社<sup>1,2</sup>, 刘 智<sup>1</sup>, 杜垚垚<sup>1</sup>, 叶 强<sup>1</sup>, 麻惠洲<sup>1</sup>, 随艳峰<sup>1,2</sup>, 岳军会<sup>1</sup>,  
何 俊<sup>1</sup>, 徐韬光<sup>1</sup>, 杨 静<sup>1,2</sup>, 张醒儿<sup>1,2</sup>, 唐旭辉<sup>1,2</sup>, 魏书军<sup>1,2</sup>

(1. 中国科学院 高能物理研究所, 北京 100049; 2. 中国科学院大学, 北京 100049)

**摘 要:** 在现有硬件基础上, 基于 BPM 测量准确度的需求, 在自制的电子学 FPGA 芯片内, 通过 Verilog 语言实现了一种数字 BPM 采样数据增益自动校准的设计。首先介绍了自动增益校准模块的系统总体设计; 然后对模块的实现方法做了详细说明, 设计并搭建了 ADC 数据自动增益校准测试平台以验证自动增益校准模块的功能; 最后介绍了该设计在 BPM 通道标定中的应用。实验结果表明, 该方法可以实现 4 通道增益一致, 使 ADC 采样后的数据幅度相同, 有效解决了由通道增益不一致引起的测量偏差, 以及工程应用中 ADC 数据幅度校准工作量大且难于操作的问题, 将在 BPM 系统通道自动标定中发挥重要作用。

**关键词:** 数字 BPM; ADC 采样; FPGA; 自动增益校准

中图分类号: TL506

文献标志码: A

doi: 10.11884/HPLPB202133.210202

## Study and implementation of automatic gain calibration method for 4-channel digital beam position monitor

Gao Guodong<sup>1,2</sup>, Cao Jianshe<sup>1,2</sup>, Liu Zhi<sup>1</sup>, Du Yaoyao<sup>1</sup>, Ye Qiang<sup>1</sup>, Ma Huizhou<sup>1</sup>, Sui Yanfeng<sup>1,2</sup>, Yue Junhui<sup>1</sup>,  
He Jun<sup>1</sup>, Xu Taoguang<sup>1</sup>, Yang Jing<sup>1,2</sup>, Zhang Xing'er<sup>1,2</sup>, Tang Xuhui<sup>1,2</sup>, Wei Shujun<sup>1,2</sup>

(1. Institute of High Energy Physics, Chinese Academy of Sciences, Beijing 100049, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** The accuracy of beam position measurement is affected by the gain inconsistency of the four channels of the digital BPM. Based on the existing hardware and the requirement of beam position monitor (BPM) measurement accuracy, a design for automatic calibration of digital BPM sample data gain is implemented by Verilog language in the self-made electronics. Firstly, the system design of automatic gain calibration module is introduced. Secondly, the realization method of the module is described in detail, and the ADC data automatic gain calibration test platform is designed and built to verify the function of the automatic gain calibration module. Finally, the application of this design in BPM channel calibration is introduced. Test results show that this method achieves 4-channel gain consistency and makes the data amplitude after ADC sampling equal. This method effectively solves the measurement bias caused by channel gain inconsistency and the difficulty of ADC data amplitude calibration in engineering application. It will play an important role in the automatic channel calibration of BPM system.

**Key words:** digital beam position monitor; ADC sampling; FPGA; automatic gain calibration

我国正在建设的高能同步辐射光源(HEPS)是一个低发射度、高亮度的第四代同步辐射光源<sup>[1]</sup>。由于 HEPS 要求束流轨道变化幅度小于束团横向截面尺寸的 5%~10%, 因此要求数字束流位置探测器(BPM)的闭轨分辨率达到 0.1  $\mu\text{m}$ , 对于 BPM 的位置测量精度提出了很高的要求<sup>[2]</sup>。计算束流位置的数据由 BPM 探测器输出的 4 路模拟信号经 BPM 电子学的射频调理及 ADC 采样得到, 而 ADC 采样 4 路模拟信号增益是否一致则是制约 BPM 测量准

\* 收稿日期: 2021-05-26; 修订日期: 2021-07-21

基金项目: 中国科学院青年创新促进会项目(Y202005); 中国科学院重大科技基础设施重大成果培育项目(E01G74Y2)

联系方式: 高国栋, gaoguodong@ihep.ac.cn。

通信作者: 曹建社, caojs@ihep.ac.cn。

准确度的关键因素之一。

在加速器束流位置测量系统中,除束流本身因素外,影响 ADC 采样 4 路模拟信号增益一致性的主要原因包括数字 BPM 四通道线缆从 BPM 探头到前端射频调理电路阻抗的不一致性以及前端射频调理电路 4 通道信号处理的不一致性<sup>[3-4]</sup>。现有解决方法主要是通过调节 4 路前端射频调理电路的器件参数,以达到传输到数字采样处理电路的模拟信号幅度相同,进而达到 ADC 采样数据幅度基本一致<sup>[5]</sup>。该方法有以下几个问题:(1)调节前端射频调理电路的器件参数达到 4 个通道信号幅度基本一致的难度较大;(2)实际工程中调节上百套 BPM 器件参数的工作量是工程人员无法承受的;(3)HEPS 项目应用过程中几千根 BPM 线缆标定以及几百套 BPM 电子学通道的标定任务也是非常艰巨的。为了解决以上问题,本文提出针对多通道 ADC 数据幅值不一致进行增益自动校准的一种实现方法,通过标准信号源和 ADC 数据自动增益校准逻辑对 ADC 数据幅度进行自动校准,解决由 BPM 线缆衰减不一致性以及前端射频调理电路差异带来的 ADC 数据幅值不一致性的问题,从而一方面提高束流位置测量的准确度,另一方面也为未来 HEPS-BPM 线缆和 BPM 电子学通道自动标定打下基础。

## 1 系统的总体设计

数字 BPM 的硬件结构主要包括:数字 BPM 探头、同轴传输线缆、射频调理电路和数字采样处理电路等,其中射频调理电路(AFE)和数字采样处理电路(DFE)组成数字 BPM 电子学<sup>[6]</sup>。基于数字 BPM 的自动增益校准模块的系统结构如图 1 所示,在系统中用信号源和功分器来模拟束流和 BPM 探头,功分后得到的 4 路信号相位和幅度完全相同。功分后信号经 BPM 线缆送至射频调理电路,射频调理电路完成信号的带通滤波和增益调整。然后送至数字采样处理电路,在数字采样处理电路中完成模拟信号的 ADC 转换和数据进一步处理。其中,从射频调理电路送至数字采样电路的 4 路信号,因线缆和信号调理电路原因,幅度大小会有差异,信号示意如图 1 中③位置所示。自动增益校准模块工作时,首先接收来自计算机的命令,系统在收到自动增益校准命令后,启动自动校准逻辑功能,完成 ADC 采样后数据增益信息的修正,从而在始端信号完全一致时,ADC 采样到的信号增益也完全一致。信号采样结果示意如图 1 中⑤位置所示。

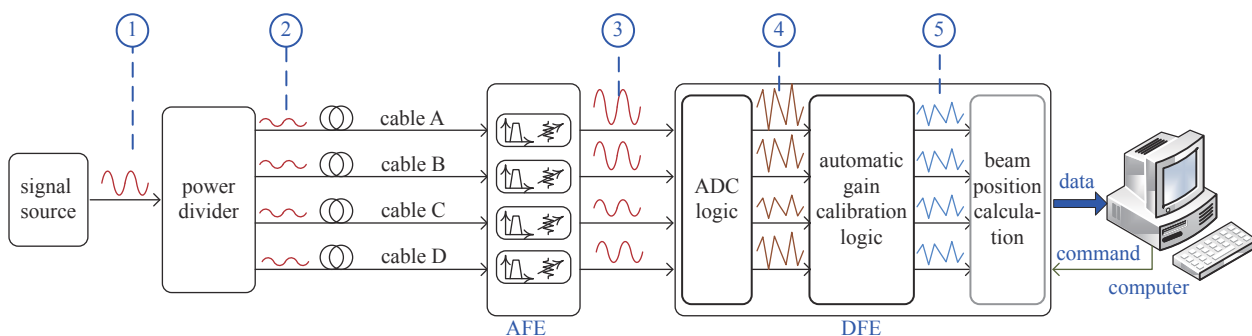


Fig. 1 Block diagram of automatic gain calibration system

图 1 自动增益校准逻辑系统框图

数字 BPM 自动增益校准逻辑是在数字采样处理电子学(DFE)中实现的,数字采样处理的原理如图 2 所示<sup>[7]</sup>。4 通道模拟信号经 ADC 采样后,经过带通滤波器处理后,送入自动增益校准逻辑(AVGA)进行采样信号的增益调整,以修正由线缆及射频调理电路带来的增益误差,然后送入自动相位校准逻辑(APSA),用以修正信号的相位误差,最后送入滤波及幅度计算逻辑模块做进一步处理。

## 2 ADC 数据自动增益校准逻辑的实现

根据 ADC 数据自动增益校准的实现原理和整体框架,用 Verilog 语言设计了可以直接置于 BPM 数字采样处理电路(DFE)板内部 FPGA 芯片的 ADC 数据自动增益校准逻辑。

### 2.1 自动增益校准工作原理

ADC 采样数据自动增益校准逻辑的工作原理如图 3 所示<sup>[8]</sup>。BPM 探头前端相同幅度 4 通道信号,经过 BPM 线缆和射频信号调理电路后经 ADC 采样变为数字信号,其幅度存在差异,如图 3 中  $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$  所示。在收到自动增益校准命令后,校准逻辑利用  $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$  值自动求取各路修正系数  $K_A$ 、 $K_B$ 、 $K_C$ 、 $K_D$ ,使得倍乘系数后的幅值  $V_A \times K_A$ 、 $V_B \times K_B$ 、 $V_C \times K_C$ 、 $V_D \times K_D$  完全相等,即实现增益校准功能。

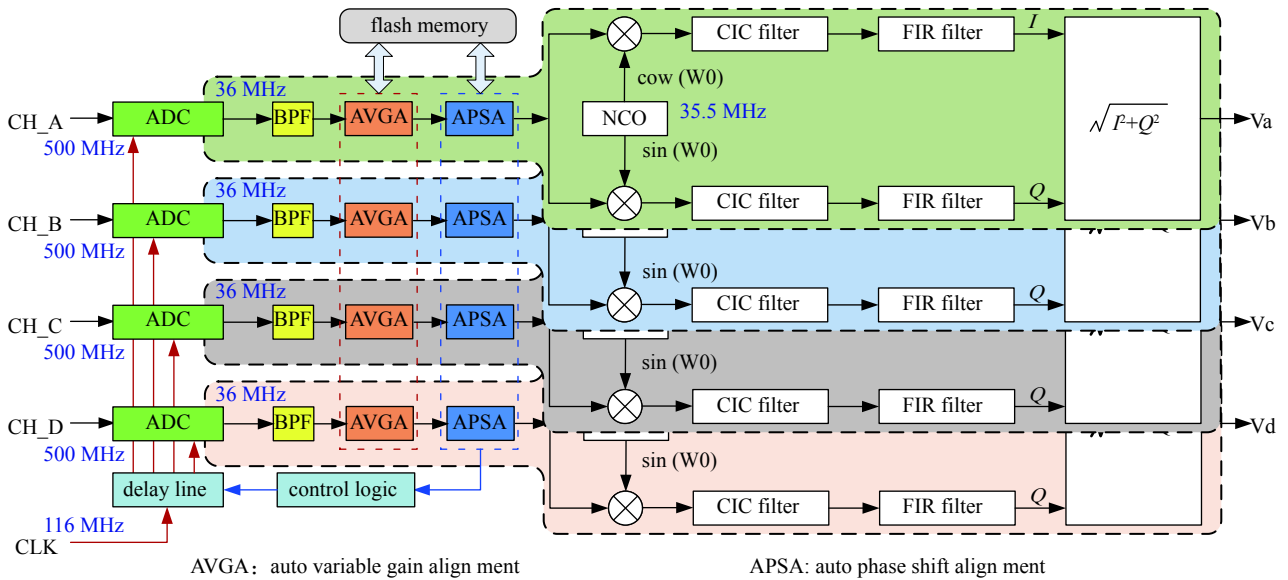


Fig. 2 Structure diagram of BPM digital sampling and processing circuit

图 2 BPM 数字采样处理电路结构框图

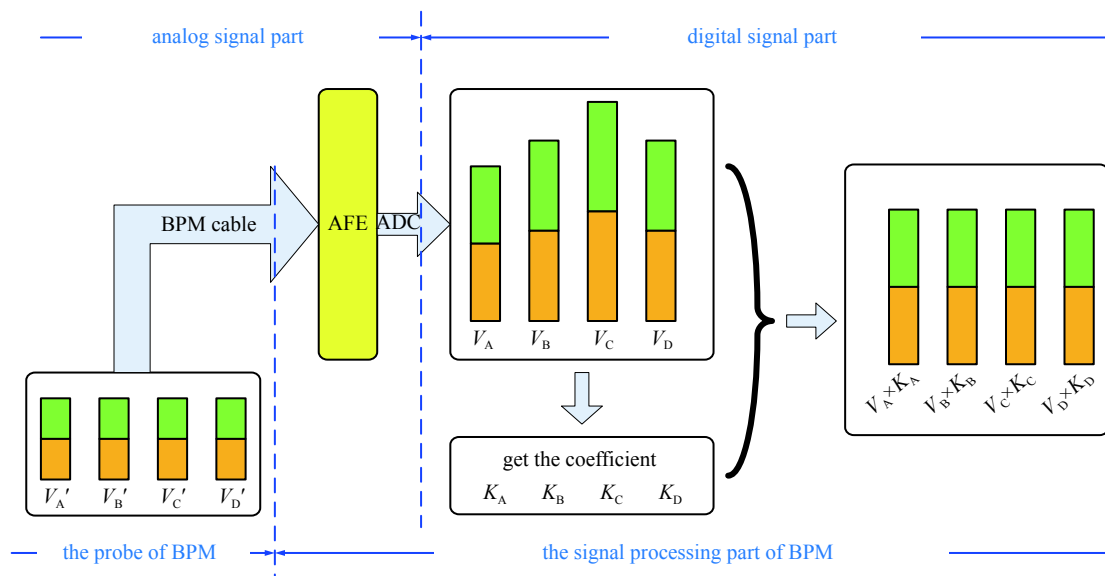


Fig. 3 Block diagram of ADC sampling data automatic gain correction

图 3 ADC 采样数据自动增益校准原理框图

## 2.2 功能模块和数据处理流程

ADC 数据自动增益校准逻辑设计主要包括如下几个模块：4 通道数据求绝对值模块、4 通道数据开窗求积分模块、4 通道积分结果求最大值最小值模块、4 通道校准系数求取模块、4 通道校准系数倍乘模块、数据选择与输出模块、系数存储与状态指示模块。

ADC 数据自动增益校准逻辑的数据处理程序流程图如图 4 所示，系统在收到自动增益校准命令后，进入自动校准过程。首先对 4 通道原始 ADC 数据分别求取绝对值，然后做固定点数的积分计算，由于 BPM 采样频率为 116.1152 MHz，对于 BEPCII 每个回旋频率周期有 92 点数据，因此在对 BEPCII 电子学通道校准时选取固定点数为 92 点<sup>[9]</sup>。完成积分计算后，求取 4 通道积分值的最大值和最小值，如果积分最大值大于 2 倍的最小值，则标记数据输出标志；如果积分最大值小于或等于 2 倍的积分最小值，则转入通道校准逻辑。通道校准逻辑中完成三件事：一是通道系数求取，二是将求取的通道系数倍乘到相应通道，三是对结果进行检验。完成通道系数校准后，等待计算机发出结束校准模式的命令，在收到计算机发出的结束校准模式命令后，根据数据输出标志，将原始 ADC 采样数据或校准后的数据送后一级处理。最后是保存 4 通道校准系数到 Flash Memory 中，并设置状态位和校准结果指示。

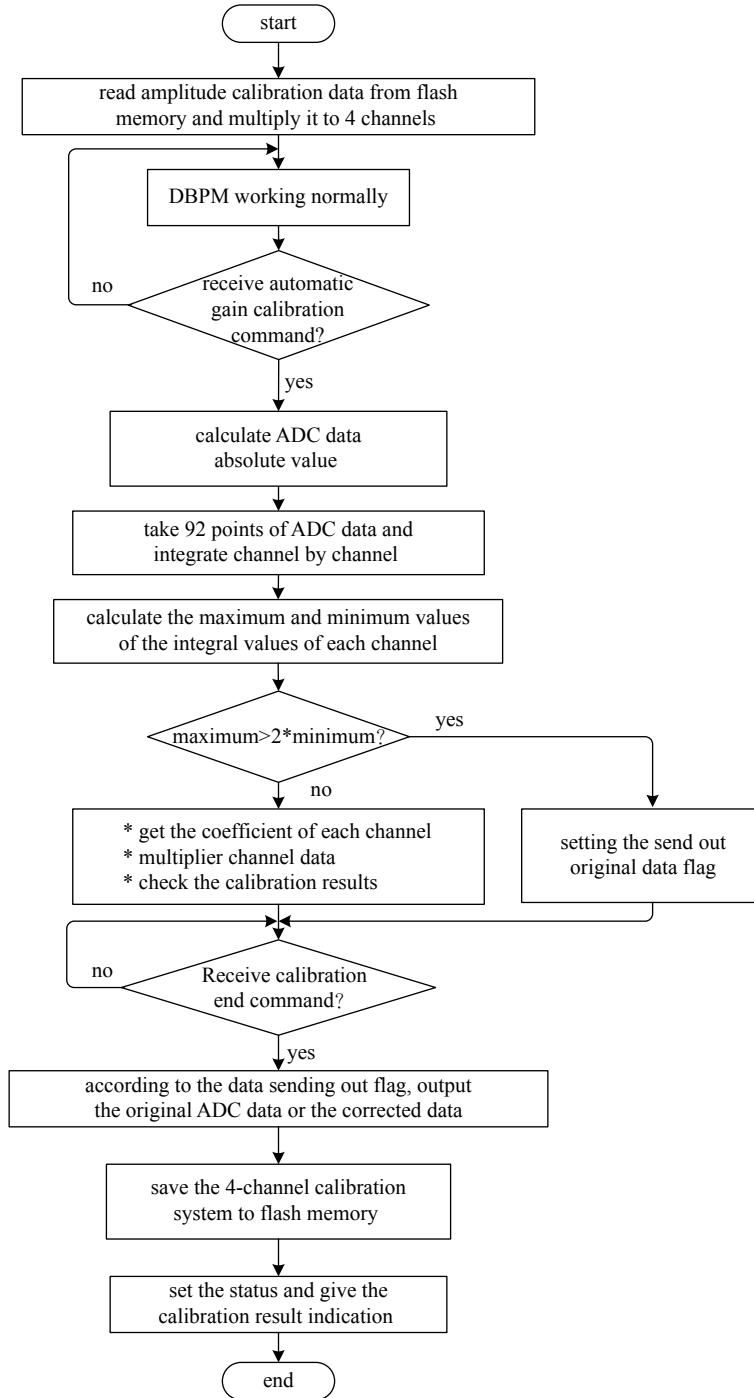


Fig. 4 Data processing flow chart

图 4 数据处理流程图

### 2.3 自动校准系数的获取

4 通道数据在实际操作中按照向小数据对齐的方式实现,也即通道倍乘系数在 0.5~1 之间。在对各通道信号原始 ADC 数据求绝对值并开窗积分后,先求取通道积分值的最大值与最小值;若积分结果最大值大于最小值的两倍及以上,则不对通道数据作增益修正,输出警示信息后,保持原数据送出。若积分最大、最小值相差小于 2 倍,则求取各通道校准系数,系数获取公式如下

$$V_{\text{MIN}} = \text{MIN}(V_A, V_B, V_C, V_D) \quad (1)$$

$$\frac{V_{\text{MIN}}}{V_A} = V_{\text{coe}}(A) \quad (2)$$

$$\frac{V_{\text{MIN}}}{V_B} = V_{\text{coe}}(B) \quad (3)$$

$$\frac{V_{\text{MIN}}}{V_C} = V_{\text{coe}}(C) \quad (4)$$

$$\frac{V_{\text{MIN}}}{V_D} = V_{\text{coe}}(D) \quad (5)$$

式中： $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$ 为4路ADC数据幅度积分值； $V_{\text{MIN}}$ 为4路ADC数据幅度积分值的最小值； $V_{\text{coe}}(A)$ 、 $V_{\text{coe}}(B)$ 、 $V_{\text{coe}}(C)$ 、 $V_{\text{coe}}(D)$ 为4路ADC数据增益校准系数。

在校准系数获取过程中所使用的ADC数据为原始采样ADC数据，而非倍乘修正系数后ADC的数据。该原始采样ADC数据仅通过带通滤波器以去除直流成分和其它噪声成分。在求取4路增益校准系数后，需要将校准系统得到的结果写入板载Flash Memory中，每次加电启动时，系统自动调取该系统对ADC数据进行增益校准。

### 3 测试与结果

为了验证ADC数据自动校准逻辑的功能，依照第一节说明的系统框架，搭建了一套校准硬件平台。平台组成：信号发生器(ROHDE & SCHWARZ SMF100A)、一分四功分器(ZFSC-4-1-S+)、4条相同电缆、计算机、BPM电子学(包含AFE与DFE两部分)、网线、USB数据线等。首先由信号发生器产生499.8 MHz点频正弦信号，经由功分器分成4路相同的信号，然后通过电缆传送点频信号至BPM电子学中，在数字采样处理电路(DFE)中完成信号的模数转换和信号增益自动校准功能。计算机使用网线和USB数据线接收数据和发送控制命令。为了更好地检验算法，在测试之前需要对功分器和电缆进行标定，并在测试时在其中一路信号之前加一级衰减器，用于模拟实际通道之间的不一致性，并在程序中屏蔽了检查信号幅度差两倍以上时报错并把原始ADC数据送出的功能。

按照上述操作步骤进行ADC数据自动增益校准的实现结果如图5和图6所示。图5为未进行自动增益校准的ADC数据，图6为进行自动增益校准后的ADC数据，纵坐标代表每一路的ADC输出值。从图中结果可以看出ADC数据自动增益校准的效果。在未对ADC增益校准时，4路通道获取到的ADC数据幅度有明显的差异，经过ADC数据自动增益校准逻辑之后，4路通道的ADC数据幅度基本一致。在测试结束后系统自动保存当前的通

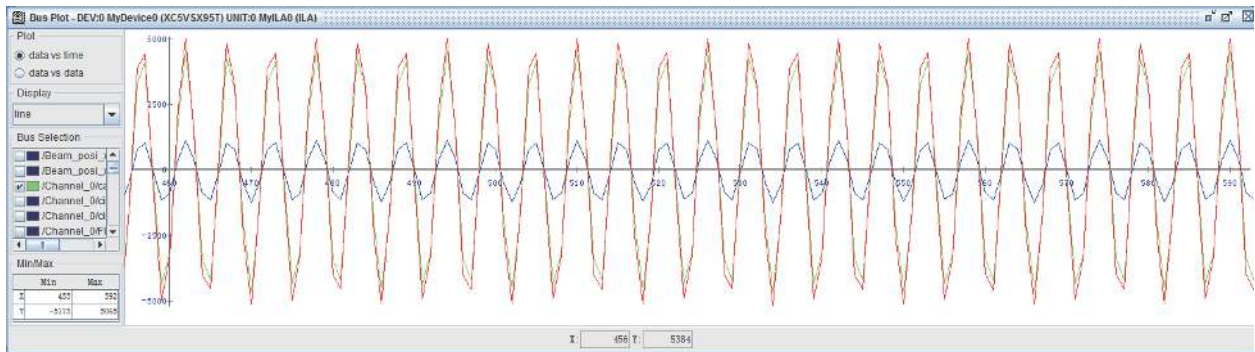


Fig. 5 Schematic diagram of ADC data before automatic gain calibration

图5 ADC数据自动增益校准前数据示意图

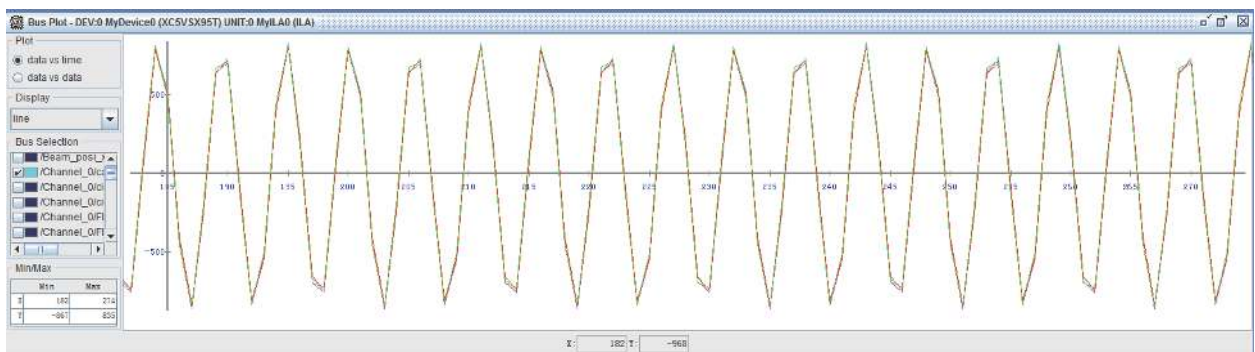


Fig. 6 Schematic diagram after ADC data automatic gain calibration

图6 ADC数据自动增益校准后数据示意图



道系数,当连接 BPM 探头测量实际束流位置时,系统自动采用该系数对 ADC 数据进行增益校准,由此可以克服数字 BPM 由于通道不一致性所带来的误差。

#### 4 在 BPM 通道标定中的应用

BPM 在线标定的原理示意如图 7 所示,由 AFE 电路输出一路 500 MHz 点频信号,该信号传输至探测器端,由功分器功分 4 路后分别耦合于 4 个信号通道上。

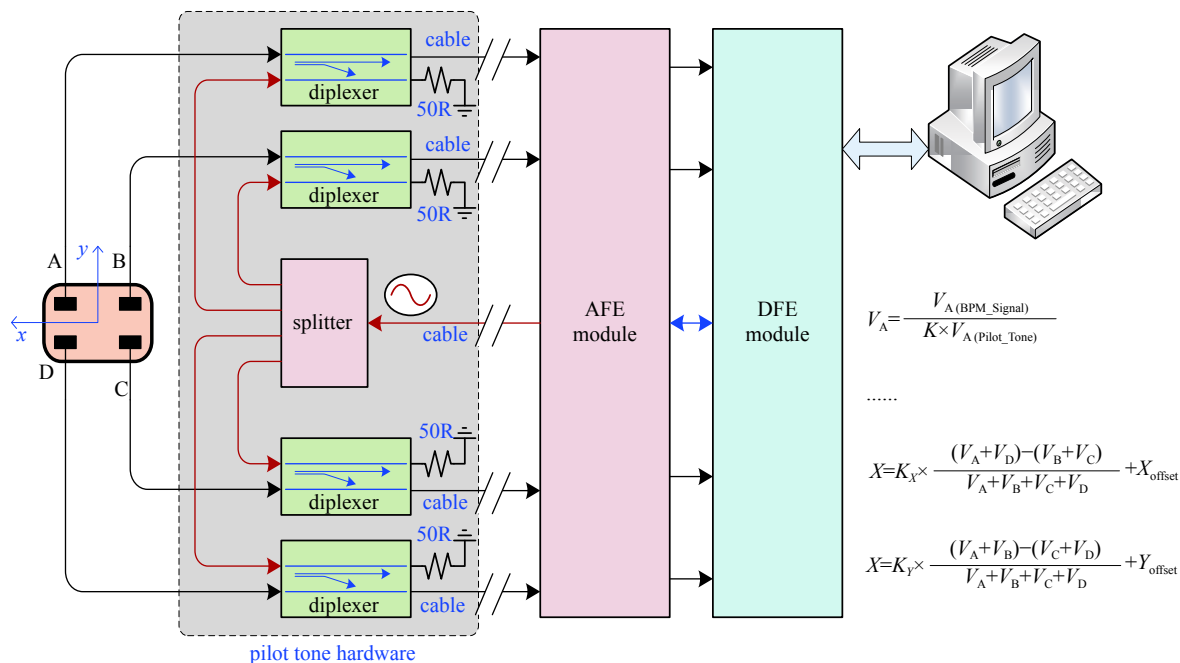


Fig. 7 Schematic diagram of online calibration principle of digital BPM

图 7 数字 BPM 在线标定原理示意图

在系统加电,或收到自检或标定命令时,AFE 电子学输出 500 MHz 信号,这时系统不仅可以完成数字 BPM 系统自检功能,同时也可以完成通道信号增益的标定工作。在实际标定过程中,考虑到温度等因素所带来的影响,在置入通道修正系数后若测得束流位置在 $\pm 1 \mu\text{m}$ 范围内变化,即可认定置入的修正系数达到了要求。在加速器系统正常工作时,AFE 的这个 500 MHz 信号可根据需要设置为无输出,并处于接地状态,避免该信号对 BPM 正常工作的影响。

#### 5 结论

为满足 HEPS 自研数字 BPM 对位置测量精确度需求,本文在自制电子学硬件的基础上设计了 ADC 数据自动增益校准模块,不但能够有效避免调节射频调理电路板通道一致性的困难,全面地对影响 ADC 数据增益的因素进行校准,而且在实际工程中应用非常方便,只需要提供功分四路的标准信号,通过发送校准命令就可以完成 ADC 数据自动增益校准。本设计可用于 HEPS 项目 BPM 的大规模通道增益标定工作,能有效提高自研数字 BPM 电子学在 HEPS 中工作效率和可维护性。

#### 参考文献:

- [1] 张醒儿,张琪,曹建社,等.高能同步辐射光源逐束团束流位置测量电子学研制[J].原子能科学技术,2020,54(9):1709-1714.(Zhang Xing'er,Zhang Qi,Cao JianShe,et al. Development of beam position measurement electronics for high energy synchrotron radiation source[J]. Atomic Energy Science and Technology,2020,54(9):1709-1714)
- [2] 中国科学院高能物理研究所. HEPS-TF束测系统初步设计报告[R].北京:中国科学院高能物理研究所,2015.(Institute of High Energy Physics,Chinese Academy of Sciences. Preliminary design report of HEPS-TF beam measurement system[R]. Beijing: Institute of High Energy Physics, Chinese Academy of Sciences,2015)
- [3] 随艳峰,杜焱焱,叶强,等.基于BEPc II数字束流位置测量系统电子学系统的设计与实现[J].原子能科学技术,2020,54(1):172-178.(Sui Yanfeng,Du Yaoyao,Ye Qiang,et al. Design and implementation of electronic system based on BEPC II digital beam position measurement system[J]. Atomic Energy Science and Technology,2020,54(1):172-178)

- [4] 张醒儿, 杜焱焱, 张琪, 等. 基于BEPC II 数据的数字束流位置测量器算法离线分析[J]. *强激光与粒子束*, 2018, 30: 105103. (Zhang Xing'er, Du Yaoyao, Zhang Qi, et al. Offline analysis of digital beam position measurement algorithm based on BEPCII data[J]. *High Power Laser and Particle Beams*, 2018, 30: 105103)
- [5] 赖龙伟, 冷用斌, 阎映炳, 等. 数字BPM信号处理器的研制进展[J]. *原子能科学技术*, 2015, 49(S2): 607-610. (Lai Longwei, Leng Yongbin, Yan Yingbing, et al. Development of digital BPM signal processor[J]. *Atomic Energy Science and Technology*, 2015, 49(S2): 607-610)
- [6] 易星. 加速器束流诊断中数字BPM系统研究[D]. 合肥: 中国科学技术大学, 2012. (Yi Xing. Research on digital BPM system in accelerator beam diagnosis. Hefei: University of Science and Technology of China, 2012)
- [7] 叶强, 马宇飞, 随艳峰, 等. 数字BPM数字采集电子学研制[C]//第十九届全国核电子学与核探测技术学术年会论文集. 2018. (Ye Qiang, Ma Yufei, Sui Yanfeng, et al. Development of digital BPM digital acquisition electronics[C]//Proceedings of the 19th National Annual Conference on Nuclear Electronics and Nuclear Detection Technology. 2018)
- [8] 马宇飞, 曹建社, 杜焱焱, 等. 数字BPM的通道系数获取及幅度自动校准的方法和系统: CN108897034B[P]. 2019-10-25. (Ma Yufei, Cao Jianshe, Du Yaoyao, et al. Method and system of channel coefficient acquisition and gain automatic calibration for digital BPM: CN108897034B. 2019-10-25)
- [9] 马宇飞, 周嘉申, 曹建社, 等. 基于BEPC II 的数字束流位置探测器信号处理算法的FPGA实现[J]. *原子能科学技术*, 2018, 52(10): 1874-1878. (Ma Yufei, Zhou Jiashen, Cao Jianshe, et al. FPGA implementation of signal processing algorithm for digital beam position detector based on BEPCII[J]. *Atomic Energy Science and Technology*, 2018, 52(10): 1874-1878)