



·粒子束及加速器技术·

HIRFL-CSRE 脉冲堆积式 高频数字低电平系统*

周睿怀^{1,2}, 丛岩¹, 许哲¹, 王新宇^{1,2}, 付昕¹, 李世龙¹, 韩小东¹

(1. 中国科学院近代物理研究所, 兰州 730000; 2. 中国科学院大学核科学与技术学院, 北京 100049)

摘要: 为突破传统束流堆积方式瓶颈、提高重离子流强, 兰州重离子加速器冷却储存实验环(HIRFL-CSRe)将采用移动式脉冲堆积方案(Moving Barrier Bucket)。该方案要求高频系统能产生高精度的单正弦电压, 然而由于 Barrier Bucket(BB)电压的宽带特性以及高频系统的非线性, 高频腔内的 BB 电压存在着严重的失真问题。针对此问题, 在全面分析了 BB 电压波形特性以及高频系统的频率响应的基础上, 设计了 BB 电压预失真前馈控制方案, 并详细描述了该方案的原理、仿真、软硬件设计以及实际测试结果。研究成果将应用于 HIRFL-CSRe 的 BB 束流堆积实验以及十二五强流重离子加速器(HIAF)的 BB 堆积模式。

关键词: 移动式脉冲高频; 高频系统; 数字低电平; 前馈控制; 可编程门阵列

中图分类号: TL503.2

文献标志码: A doi: 10.11884/HPLPB202133.200357

Barrier bucket digital low level RF system in HIRFL-CSRe

Zhou Ruihuai^{1,2}, Cong Yan¹, Xu Zhe¹, Wang Xinyu^{1,2}, Fu Xin¹, Li Shilong¹, Han Xiaodong¹

(1. Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, China;

2. School of Nuclear Science and Technology, University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: To overcome the limitation of the traditional beam stacking method and accumulate the heavy ion beam to higher intensity, Heavy Ion Research Facility in Lanzhou (HIRFL) will adopt Moving Barrier Bucket (BB) stacking scheme in Cooling Storage Experimental Ring (CSRe). The amplitude, phase and periodic adjustable BB voltage produced by the Radio Frequency (RF) control system is the core of this accumulation mode. However, due to the wide-band characteristics of BB voltage and the nonlinearity of RF system, there will be serious distortion of BB voltage in RF cavity. Based on the analysis of the characteristics of BB voltage and RF system, the predistortion feedforward control is introduced to eliminate the distortion. This paper describes the mathematical model, simulation, hardware and software design and test results of this method in detail. The results will be helpful to the BB stacking experiment of HIRFL-CSRe and BB stacking mode of High Intensity heavy-ion Accelerator Facility (HIAF).

Key words: moving barrier bucket; RF system; digital low level control; feedforward; FPGA

中国科学院近代物理研究所承担的十二五强流重离子加速器项目(HIAF)将在 SRing 中采用移动式脉冲高频(Moving Barrier Bucket)堆积方案, 该方案克服了传统注入方式由于空间电荷效应所导致的束流损失。Moving Barrier Bucket 电压波形可以让带电粒子在相空间里的分布更趋于平坦从而增大聚束因子、减小束流的不稳定性, 使得束流流强增加^[1]。BB 高频技术首先是在费米国家实验室(Fermilab)发展起来^[2]。J. E. Griffin 提出了采用孤立正弦电压形成 Barrier Bucket 的方法^[3-4]解决了束流从反质子散束器(Antiproton Debuncher)传输到累积环(Accumulator Ring)因两环周长不同而造成的部分束流损失。目前世界上多个在建以及计划建造的重离子加速器都将使用 Barrier Bucket 技术应用于重离子束团的纵向操作(RF manipulation)^[5]。费米国家实验室、布鲁克海文国家实验室(BNL)、德国重离子研究中心(GSI)等都开展了 BB 高频束流堆积实验, 验证了 BB 束流堆积的有效性^[6-8]。

* 收稿日期: 2021-01-31; 修订日期: 2021-02-08

基金项目: 国家自然科学基金项目(11975289)

作者简介: 周睿怀(1992—), 男, 硕士研究生, 从事重离子加速器高频系统方面的研究; zhourh@impcas.ac.cn。

通信作者: 丛岩(1982—), 男, 博士, 从事重离子加速器高频系统方面的研究; congyan@impcas.ac.cn。

目前国内在移动式脉冲高频重离子束堆积领域仍处于探索阶段,但此项技术对于我国重离子加速器迈向强流领域具有非常重要的意义,中国科学院近代物理研究所将首先在兰州重离子加速器冷却储存实验环(HIRFL-CSRe)上开展BB束流累积的研究实验。由于BB束流堆积方法对高频电压波形极其敏感,电压波形的畸变会导致束流的发射度增长、不稳定性、束流损失及非平滑散束^[9],因此高频数字低电平系统对BB电压波形的控制和校正正是其中一项关键技术。本文在HIRFL-CSRe的高频系统上进行了BB波形的校正控制研究,详细介绍BB高频系统、BB波形的失真原因、预失真数字低电平系统设计以及测试结果。

1 BB高频系统介绍

HIRFL-CSRe的BB高频系统由磁合金加载腔、固态功率源以及数字低电平系统构成。如图1所示,磁合金腔体为束流的加速提供能量,其具有的低 Q 值、高阻抗的特性使得腔体在产生BB高频电场上相对于铁氧体腔更具优势^[10],目前该腔体已被安装在CSRe现场高频2#站隧道内。固态功率源的功能是将直流功率转换成射频功率并馈送到磁合金高频腔内。低电平控制系统的功能是实现磁合金腔体电压幅度和相位的稳定并与上位机进行交互,操作人员通过交互界面可以方便快捷地获取系统运行的实时参数、控制系统的运行状态等。

高频系统各个设备的主要参数如表1所示。

表1 HIRFL-CSRe高频系统参数

Table 1 Parameters of HIRFL-CSRe RF system

cavity parameter	value	amplifier parameter	value	LLRF component	version/type
$Q(1.33\sim 15\text{ MHz})$	0.5~0.9	model number	Model600A225A	OS	Windows 10
half-cavity impedance/ Ω	207	rated power/W	600	FPGA	XC5VSX95T
resonance frequency/MHz	5	bandwidth/MHz	0.01~250	ADC	ADS62P49
operating frequency/MHz	1.33~15			DAC	AD9122

Barrier Bucket通过脉冲式高频电压对束流相空间进行操纵,打破前后级同步加速器周长比对于束流累积增益的限制,实现高的束流累积增益。CSRe计划采用 C^{6+} 束流,开展Barrier Bucket束流累积的研究实验,详细实验参数如表2所示。

表2 Barrier Bucket实验参数

Table 2 Experimental parameters of Barrier Bucket

ion species	energy/ ($\text{MeV}\cdot\text{u}^{-1}$)	magnetic stiffness/Tm	single sine frequency/MHz	repetition frequency/MHz	voltage/kV	bucket height
$^{12}C^{6+}$	200	4.3	5.0	1.33	1	9.3×10^{-4}

根据实验环及其所累积束流的特点,HIRFL-CSRe要求高频系统在单正弦工作模式下能在751 ns的回旋周期内产生两个大于5 MHz的独立单正弦波,其电压可达到1 kV且相位幅度连续可调,如图2所示,图中 T_{BB} , T_{rep} , \hat{U} 分别表示波形的单正弦周期、回旋周期和最大幅值。为保证束流的品质,参考相关文献^[11]并结合HIRFL-CSRe自身参数,高频低电平系统需要将BB单正弦波形的正负半周差以及尾部振荡最大值均控制在 $5\%\hat{U}$ 以内且满足稳定度 $|\Delta U/\hat{U}| < 1\%$ 的要求。

由于高频系统的固有特性,实际在BB磁合金腔上加载的标准单正弦波形出现了失真,如图3所示是功率源在65%增益下实测的腔体取样波形。该波形正负半周相差54.4%,尾部振荡最大值为正半周的64.6%,这些失真将严重影响束流的品质。

在高频系统本身固有特性难以改变的情况下需要高性能数字低电平系统,本文将采用预失真前馈控制方式对失真波形进行校正和补偿。

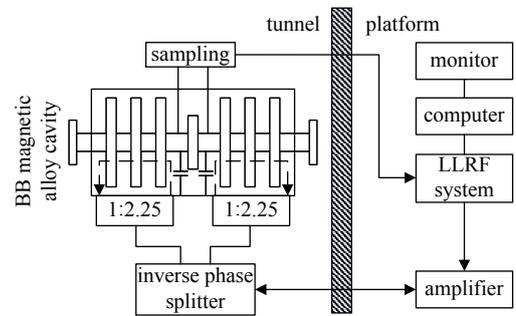


Fig. 1 Diagram of HIRFL-CSRe RF system

图1 HIRFL-CSRe高频系统示意图

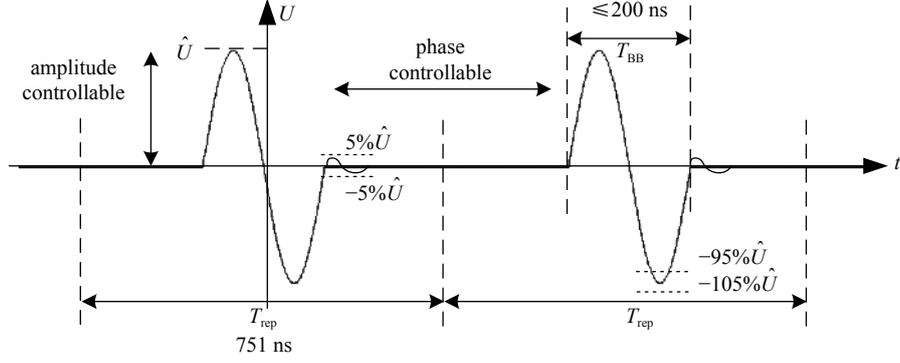


Fig. 2 Desired BB voltage

图2 理想的 BB 波形

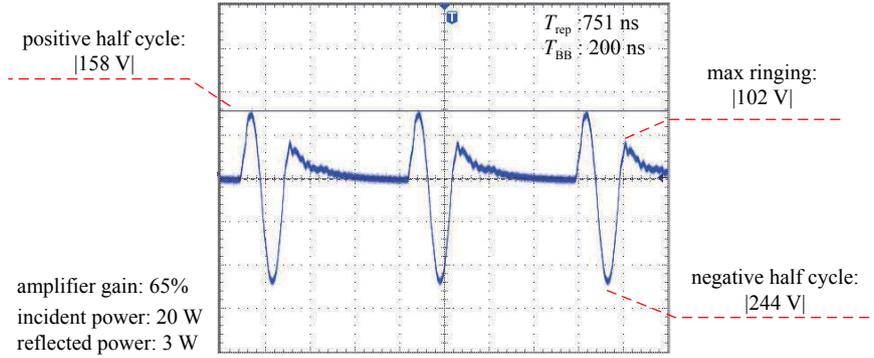


Fig. 3 Measured BB voltage

图3 实测的 BB 波形

2 预失真校正

2.1 波形失真分析

标准单正弦波形在一个回旋周期 T_{rep} 内的数学表达式可以写为^[12]

$$U_{\text{in}}(t) = \begin{cases} -\hat{U} \sin\left(\frac{2\pi}{T_{\text{BB}}}t\right), & -T_{\text{BB}}/2 < t < T_{\text{BB}}/2 \\ 0, & \text{else} \end{cases} \quad (1)$$

式中: T_{BB} 是单正弦周期; \hat{U} 是电压峰值。将(1)式傅里叶级数展开得到

$$U_{\text{in}}(t) = \sum_{n=1}^{\infty} b_n \sin(n\omega_{\text{rep}}t) \quad (2)$$

式中: ω_{rep} 是回旋角频率; b_n 是傅里叶级数谐波系数, 其表达式写为

$$b_n = \hat{U} \frac{T_{\text{BB}}}{T_{\text{rep}}} \left(\text{sa}\left(\pi\left(n\frac{T_{\text{BB}}}{T_{\text{rep}}} + 1\right)\right) - \text{sa}\left(\pi\left(n\frac{T_{\text{BB}}}{T_{\text{rep}}} - 1\right)\right) \right) \quad (3)$$

式中: sa 是抽样函数。由式(2), (3)可知标准单正弦波具有大范围动态多谐波频谱变化特性。在整个高频系统视作 LTI 的前提下, 标准单正弦波形经过高频系统传递函数 $H(\omega)$ 后的输出波形为

$$U_{\text{out}}(t) = \sum_{n=1}^{\infty} b_n |H(n\omega_{\text{rep}})| \sin(n\omega_{\text{rep}}t + \arg(H(n\omega_{\text{rep}}))) \quad (4)$$

式中: $|H(n\omega_{\text{rep}})|$ 是高频系统对应频点的幅频响应; $\arg(H(n\omega_{\text{rep}}))$ 是高频系统对应频点的相频响应。由式(4)可知在理想情况下整个高频系统如果有足够的带宽, 并且在通带范围内有线性的频率响应才能产生较好的单正弦输出波形。

对 BB 高频系统的频域响应进行实测, 由于冷态测试无法得到实际运行状态下的数据, 因此使用信号发生器和示波器进行在线运行测试: 信号发生器保持增益不变, 产生不同频率的正弦波, 用示波器记录各频率下输出波形和输入波形的幅度比和相位差值, 从而得到整个系统的幅频响应和相频响应。测试结果如图 4 所示, 其中图 4(a)

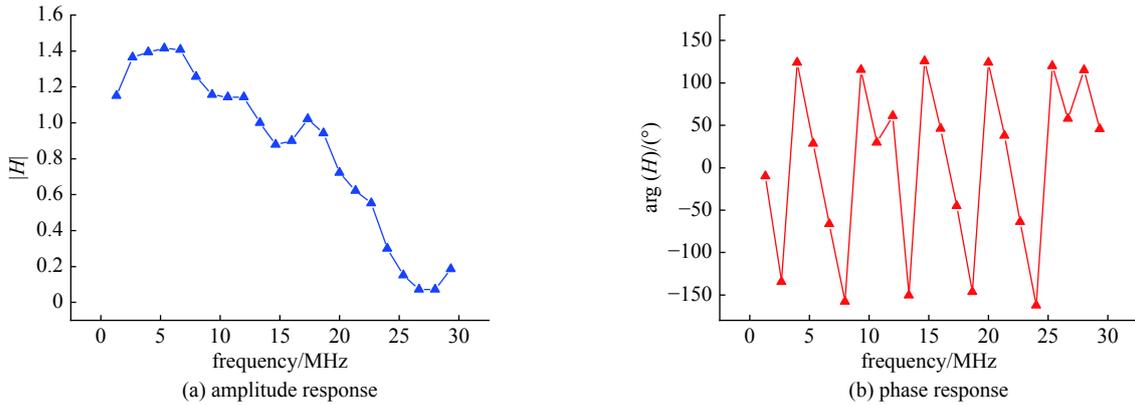


Fig. 4 Measured amplitude response and phase response of BB RF system

图 4 实测的 BB 高频系统幅频响应和相频响应

为幅频响应, 图 4(b) 为相频响应。实测结果表明 BB 高频系统频域响应存在严重的非线性, 这将造成 BB 波形的失真。

将频域响应实测数据代入式(4)可得标准单正弦波形在系统传递函数影响下的仿真输出波形。图 5 所示是回旋频率 1.33 MHz、单正弦宽度 5 MHz 的标准单正弦波形通过高频系统后仿真与实测输出波形的对比图, 图中蓝线所表示的实测结果与红线所表示的仿真结果基本一致。上述结果说明对于 HIRFL-CSRe 磁合金高频系统而言, 波形失真的主要原因来自于高频系统频域响应的非线性。

2.2 预失真校正原理

针对 BB 波形的失真, 校正的重点在于补偿系统频域响应的非线性, 但采用传统的控制方法具有以下难点^[13-14]: (1) BB 电压难以实现脉冲内的反馈控制, 低电平领域常用的反馈控制不能满足系统需求; (2) BB 电压的周期、相位、幅度变化时, BB 电压的频谱也会动态变化, 系统设计难度大。

因此本文采用了预失真前馈控制的方法来校正 BB 波形, 如图 6 所示。整个控制过程分为静态预失真和动态预失真两个部分。静态预失真负责校正系统频域响应所带来的影响, 动态预失真在静态预失真的基础上引入反馈回路, 根据输出结果对静态预失真波形进行动态调整以此进一步提高控制精度和系统稳定度。

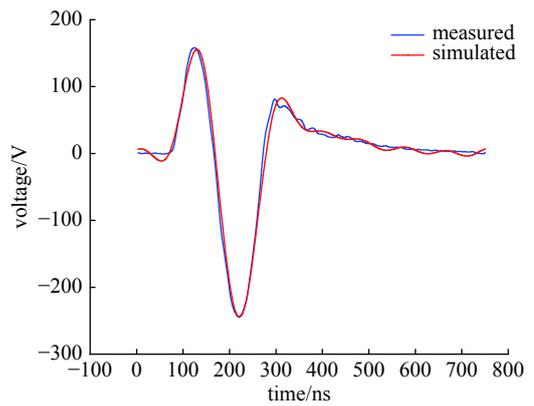


Fig. 5 Comparison of simulated and measured BB voltage

图 5 BB 电压波形的仿真与实测对比

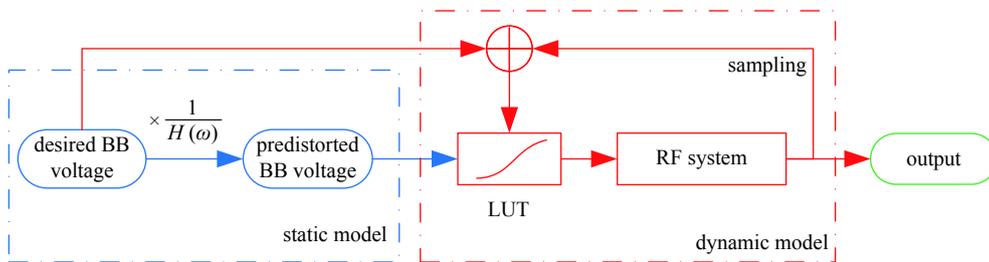


Fig. 6 Block diagram of predistortion control

图 6 预失真控制原理图

2.2.1 静态预失真原理

在 LTI 系统下, 输入、输出信号在频域的表达式可写为

$$U_{out}(\omega) = H(\omega)U_{in}(\omega) \quad (5)$$

为了补偿系统函数所带来的影响, 将标准 BB 波形乘以系统函数的倒数作为预失真输入信号

$$U_{in}(\omega) = \frac{1}{H(\omega)}U_{desiredBB}(\omega) \quad (6)$$

在理想情况下, 预失真波形补偿了系统传递函数的影响, 此时的输出信号为标准 BB 波形

$$U_{\text{out}}(\omega) = H(\omega) \left(\frac{1}{H(\omega)} U_{\text{desiredBB}}(\omega) \right) = U_{\text{desiredBB}}(\omega) \quad (7)$$

由式(2)、式(6)可得静态预失真波形的时域表达式

$$U_{\text{in}}(t) = \sum_{n=1}^{\infty} \frac{b_n}{|H(n\omega_{\text{rep}})|} \sin(n\omega_{\text{rep}}t - \arg(H(n\omega_{\text{rep}}))) \quad (8)$$

低电平系统根据式(8)产生静态预失真波形, 该波形仅取决于初始参数(回旋频率、单正弦宽度、幅值和系统传递函数)而不随系统运行状态而改变。

2.2.2 动态预失真原理

实际中除了系统频域响应的影响, 整个高频系统还存在着未知扰动和其他影响因素, 若将此部分影响统一用函数 f 来描述, 则 f 表示了理想情况下静态预失真输出结果与实际输出结果之间的对应关系

$$U_{\text{out,real}}(t) = f(U_{\text{desiredBB}}(t)) \quad (9)$$

动态预失真的作用是在静态预失真的基础上根据反馈结果对预失真波形进行调整来校正 f 的影响。动态预失真的重点在于得到 f 的信息。采用 N 阶多项式拟合

$$U_{\text{out,real}}(t) = \sum_{n=1}^N a_n [U_{\text{desiredBB}}(t)]^n \quad (10)$$

式中: N 为常数, 工程上一般取 4, 5。 a_n 为特性系数, 其值反映了输入和输出之间的函数关系, 采用最小二乘法求解。

对预失真前的原输入波形取 M 个等间隔采样点 ($M > N$) 得到超定矩阵

$$\mathbf{A} = \begin{bmatrix} U_{\text{desiredBB},1} & U_{\text{desiredBB},1}^2 & \cdots & U_{\text{desiredBB},1}^N \\ U_{\text{desiredBB},2} & U_{\text{desiredBB},2}^2 & \cdots & U_{\text{desiredBB},2}^N \\ \cdots & \cdots & \cdots & \cdots \\ U_{\text{desiredBB},M} & U_{\text{desiredBB},M}^2 & \cdots & U_{\text{desiredBB},M}^N \end{bmatrix} \quad (11)$$

对实际输出波形同样取 M 个等间隔采样点, 记为矩阵

$$\mathbf{B} = [U_{\text{out},1} \quad U_{\text{out},2} \quad \cdots \quad U_{\text{out},M}]^T \quad (12)$$

则式(10)可写为矩阵形式

$$\mathbf{A} [a_1 \quad a_2 \quad \cdots \quad a_n]^T = \mathbf{B} \quad (13)$$

a_n 的最小二乘解为

$$[a_1 \quad a_2 \quad \cdots \quad a_n]^T = (\mathbf{A}^T \mathbf{A})^{-1} (\mathbf{A}^T \mathbf{B}) \quad (14)$$

将 a_n 的最小二乘解代入式(10)可以拟合出函数 f 。低电平系统将 f^{-1} 的数据存入动态预失真查找表中并根据输出结果不断修改 f^{-1} 的值, 该查找表将对静态预失真波形进行动态微调来校正 f 的影响。

3 预失真低电平系统设计

预失真程序整体架构如图 7 所示, 其分为两个部分: 一部分是以 C 语言为主的上位机应用程序, 另一部分是硬件描述语言为主的底层硬件程序。两者通过 CPCI 总线协议进行数据交互。在静态预失真环节中, 预失真波形数据由上位机程序计算并最终存储在硬件 RAM 中, 存储的数据以直接频率合成(DDS)的方式向外输出波形, 上位机负责 RAM 表的维护、波形选择以及波形参数的控制。动态预失真是在静态预失真波形数据送入 DAC 前加入动态预失真查找表, 初始时该查找表相当于直通器件, 上位机程序根据由 ADC 回采结果动态修改查找表的值从而对静态预失真波形进行微调。

3.1 硬件程序部分

采用硬件描述语言编程使 FPGA 实现预失真控制电路的功能, 底层硬件程序的主要结构如图 8 所示。静态预失真波形的数据存储在单端口 RAM 中, 该 RAM 内数据以 16 位二进制结构储存, 总共可存储 32 组波形数据、每组波形数据包含 4096 个取样点。上位机软件通过 CPCI 总线访问地址位高 5 位来选择 32 组波形数据的任意一

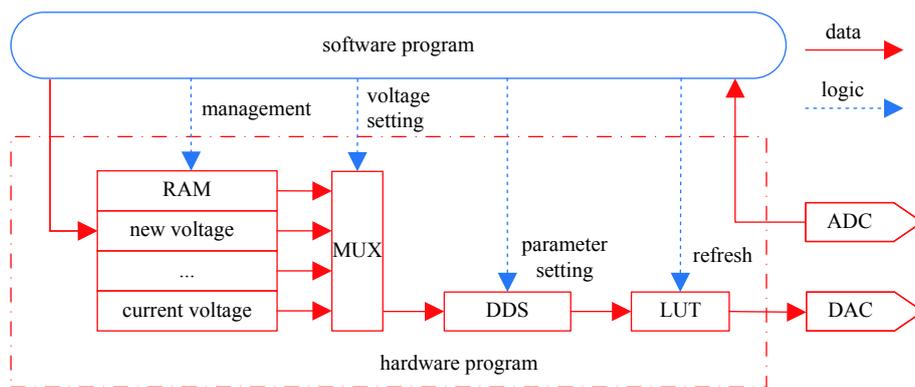


Fig. 7 Block diagram of predistortion program

图 7 预失真程序构架图

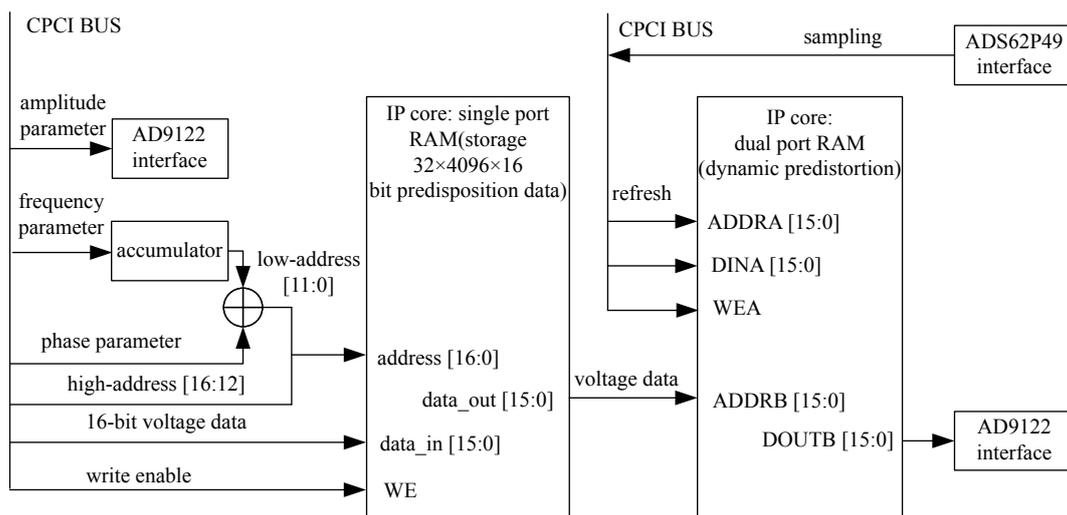


Fig. 8 Main structure of hardware program

图 8 硬件程序主要构架示意图

组,地址位的低12位以一定的时钟频率进行读写,上位机程序通过修改频率、相位控制寄存器可以改变RAM表读写的速度以及初始位置^[15]。

双端RAM查找表实现动态预失真功能,初始时该RAM表每个地址所存数值等于其地址值,即初始时该查找表相当于直通器件。在系统开始工作后,模数转换器(ADS62P49)通过接口模块将回采的数据送入上位机程序中,上位机程序根据回采结果不断修改查找表内的值来动态调节静态预失真波形。

整个硬件程序设计的优点在于:1)采用了查找表的方式以存储空间的代价换取运行速度的提升;2)采用DDS的方式产生波形,并通过修改控制寄存器的值来改变相位和频率,该结构简单可靠。

3.2 软件程序部分

预失真程序软件部分的流程图如图9所示,在静态预失真环节中,上位机程序不直接存储波形数据而是存储波形数据的地址,当用户下发波形参数后,程序首先判断RAM中是否存储该波形,若找到相应的预失真波形数据则向硬件下发波形数据所在地址同时向控制寄存器写入频率、相位和幅度参数;若未找到对应波形,则根据式(8)计算出预失真波形一个周期内的4096个数据点,之后分配一组存储空间将这些数据点依次写入RAM中,若出现所有存储空间均已使用的

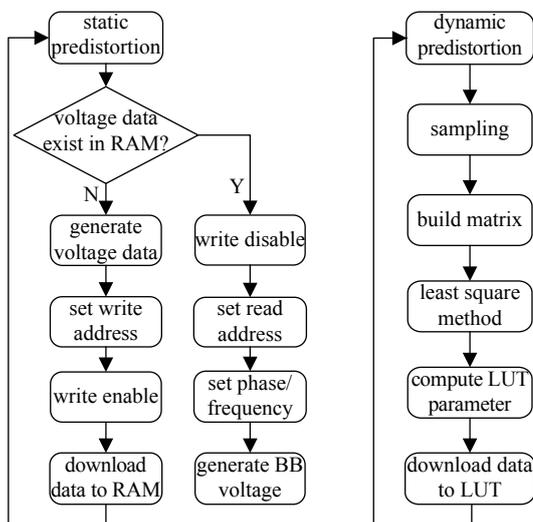


Fig. 9 Diagram of software program

图 9 软件程序流程图

情况,则采用 TLB 页表维护^[16]的方式覆盖写入最少使用的一组数据来解决存储空间的冲突,其优点是该策略最大限度地减少了运算量从而提升了响应速度。

动态预失真程序以一定的周期处理回采数据,通过矩阵运算得到输入输出之间的拟合曲线,以此为基础计算出对静态预失真数据的修正值,将修正值写入动态预失真查找表中完成一次动态预失真过程,整个动态预失真将不断循环此过程以达到控制精度和稳定度的需求。

3.3 低电平硬件设计

预失真低电平系统的硬件主体是以可编程门阵列(FPGA)为核心,高速模数变换器(AD)和数模变换器(DA)为外围的高性能数字信号处理板卡, BB 高频数字低电平系统所使用的板卡结构如图 10 所示。

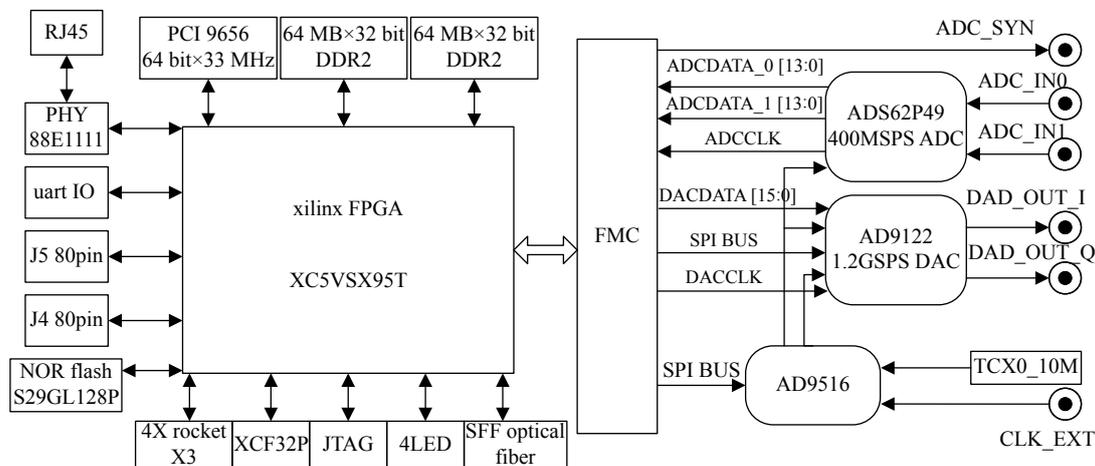


Fig. 10 Structure of LLRF system's hardware board

图 10 低电平系统硬件板卡结构图

整个数字低电平板卡分为主板卡和子板卡两部分,两者通过 FMC 连接器相连。主板卡作为预失真控制的主体负责数据存储、逻辑控制和信息交换等功能,板上搭载有 Xilinx 公司的 FPGA 芯片 XC5VSX95T, 4G 内存的 DDR2, 33 MHz 读取频率 64 位的 CPCI 总线 BUS, 128 MHz 的 flash 存储等。子板负责模数、数模转换,板上搭载有 TI 公司型号 ADS62P49 的 2 通道 14 位的 ADC 模块、ADI 公司型号 AD9122 的 2 通道 16 位的 DAC 模块以及 AD9516 时序控制模块,该模块支持板上时钟和外接时钟。

数字信号处理板卡如图 11 所示,其具有数据吞吐量大、计算速度快、设计灵活等优点。

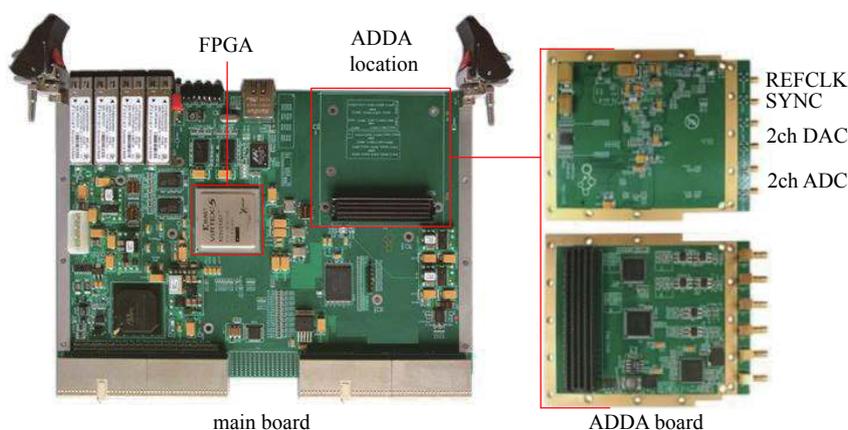


Fig. 11 Digital LLRF hardware board

图 11 高频数字低电平板卡

4 测试结果

在现场实测预失真低电平系统的控制效果。将 600 mV、回旋频率 1.33 MHz、单正弦脉宽 5 MHz 的单正弦波形作为输入信号,记录功率源不同增益下的预失真校正结果并与未校正的原输出结果进行对比。测试结果如表 3 所示,表中左侧数据为原输出结果,中间数据为静态预失真校正结果,右侧数据为动态预失真校正结果。功率源 65% 增益下的校正效果如图 12 所示,图 12(a)为原输出波形,图 12(b)为校正后的输出波形。

表 3 实验结果

Table 3 Results of experiments

gain/%	peak to peak/V (uncorrected/static/dynamic)	positive half cycle/V (uncorrected/static/dynamic)	asymmetric distortion/% (uncorrected/static/dynamic)	ringing distortion/% (uncorrected/static/dynamic)
35	104/100/100	42.0/47.4/49.6	47.6/11.0/1.6	63.1/9.3/4.4
50	202/200/199	80.0/94/99	52.5/12.8/1.0	62.5/8.5/4.6
60	300/305/306	118/142/152	54.2/14.8/1.3	62.7/8.5/4.6
65	402/402/409	158/188/204	54.4/13.8/0.5	64.6/10.6/4.9
70	500/500/500	186/230/247	68.8/17.4/2.4	62.4/11.3/4.7
76	598/596/606	222/266/295	69.4/24.0/5.4	65.8/13.5/8.2
83	694/700/706	256/300/328	71.1/33.3/15.2	70.3/14.0/9.9
100	793/800/799	290/350/362	73.4/28.6/20.7	72.4/17.1/10.6

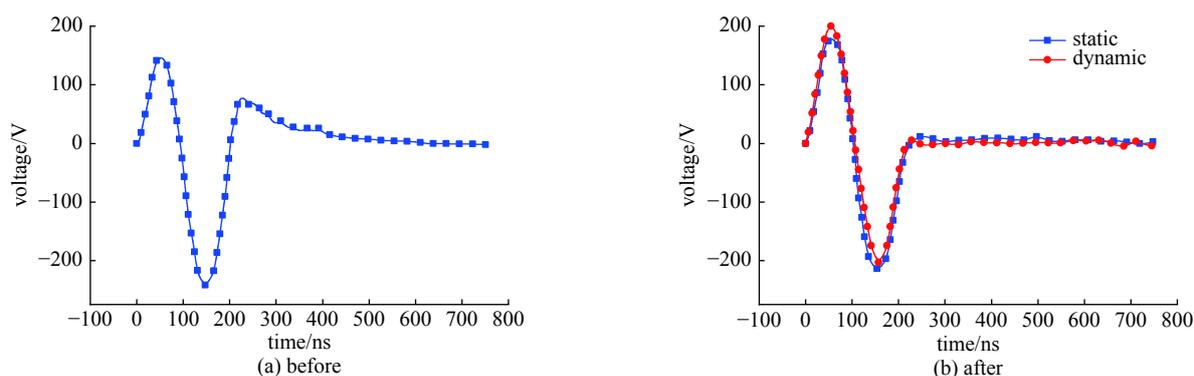


Fig. 12 Test results at 65% gain of amplifier

图 12 功率源 65% 增益下的测试结果

实测结果显示预失真低电平系统有效的校正了单正弦波形的失真, 动态预失真相较静态预失真校正结果具有更小的正负半周差和尾部振荡。最终校正结果在峰峰值低于 600 V 的情况下正负半周失真和尾部振荡均小于 5%。超过 600 V 后, 预失真校正效果大打折扣, 研究分析后发现这是由于目前所采用的功率源余量不足, 在高功率运行下达到饱和所导致的。

5 结论

本文研究分析了 HIRFL-CSRe BB 高频系统的波形失真原因, 提出了预失真前馈控制的方法来校正波形并构建了静态预失真和动态预失真相结合的低电平控制系统。该系统满足可连续调相、调幅的设计要求且具有响应速度快、结构可靠等优点。实测结果显示该预失真低电平系统对波形的控制效果基本满足物理要求且幅度稳定度满足 $|\Delta U/\hat{U}| < 1\%$ 的要求。由于本文所使用的功率源功率余量不足, 导致 BB 波形无法达到 1 kV 电压的要求, 且在高功率运行下功率源达到饱和并严重影响了低电平控制的效果, 因此 HIRFL-CSRe 高频系统计划更换更大功率余量的功率源, 更换功率源后将再次进行测试并对系统进行改进。

在 HIAF 系统的 SRing 中, 束流累积将采用 Moving BB 工作模式, 该模式要求在运行过程中对高频电场在纵向相空间内进行移动, 这将导致 BB 电压频谱的动态变化, 采用本文预失真前馈控制方案将会面临预失真波形数据量庞大、系统结构复杂等难点, 因此为确保 Moving BB 模式下预失真前馈控制方案的有效性, 本文拟采用两块搭载相同预失真程序的板卡, 通过控制两者的触发间隔来达到 BB 电压连续移动的目的, 以此来克服原预失真低电平系统在校正 Moving BB 波形时遇到的难点。本文将在现有的理论和设计基础上对高频低电平系统进行改进和优化以此来满足 Moving BB 工作模式对高频系统的要求。

参考文献:

- [1] Meshkov I N. Method of barrier voltages in cyclic accelerators[J]. *Physics of Particles and Nuclei*, 2014, 45(2): 452-471.
- [2] Bhat C M. Applications of barrier bucket RF systems at Fermilab[R]. FERMILAB-CONF-06-102-AD, 2006.
- [3] Griffin J E, Ankenbrandt C, Maclachlan J A, et al. Isolated bucket RF systems in the Fermilab antiproton facility[J]. *IEEE Transactions on Nuclear Science*,

- 1983, 30(4): 3502-3504.
- [4] Chou W, Griffin J, Ng K Y, et al. Barrier RF stacking at Fermilab[C]//Proceedings of the 2003 Particle Accelerator Conference. Portland: IEEE, 2003.
- [5] Gutbrod H, Augustin I, Eickhoff H. FAIR baseline technical report[R]. GSI, 2006.
- [6] Bhat C M. Recycler barrier RF buckets[R]. FERMILAB-FN-0916-AD, 2012.
- [7] Sidorin A O, Meshkov I N, Seleznev I A, et al. BETACOOOL program for simulation of beam dynamics in storage rings[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2006, 558(1): 325-328.
- [8] Klingbeil H, Laier U, Lens D. Theoretical foundations of synchrotron and storage ring RF systems[M]. Cham: Springer, 2015.
- [9] Nomura M, Yamamoto M, Schnase A, et al. The origin of magnetic alloy core buckling in J-PARC 3 GeV RCS[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2010, 623(3): 903-909.
- [10] 梁路, 许哲, 金鹏, 等. 同步加速器Barrier Bucket高频电压的研究[J]. 强激光与粒子束, 2016, 28: 125104. (Liang Lu, Xu Zhe, Jin Peng, et al. Research on barrier bucket voltage in synchrotron[J]. High Power Laser and Particle Beams, 2016, 28: 125104)
- [11] Harzheim J, Domont-Yankulova D, Groß K, et al. Input signal generation for barrier bucket RF systems at GSI[C]//Proceedings of the 8th International Particle Accelerator Conference. 2017.
- [12] 曾禹村, 张宝俊, 沈庭芝, 等. 信号与系统[M]. 3版. 北京: 北京理工大学出版社, 2010: 104-229. (Zeng Yucun, Zhang Baojun, Shen Tingzhi, et al. Signals and systems[M]. 3rd ed. Beijing: Beijing Institute of Technology Press, 2010: 104-229)
- [13] Czarski T, Pozniak K, Romaniuk R, et al. Cavity control system essential modeling for TESLA linear accelerator[C]//Proceedings of SPIE—The International Society for Optical Engineering. 2003.
- [14] Delayen J R, Harwood L H. Determination of low level RF control requirements for superconducting cavities from microphonics measurements[C]//Proceedings of the 2003 Particle Accelerator Conference. 2003.
- [15] 吴涛, 缪康. Verilog传奇——从电路出发的HDL代码设计[M]. 北京: 电子工业出版社, 2016: 391-421. (Wu Tao, Miao Kang. Snorkeling in Verilog bay[M]. Beijing: Publishing House of Electronics Industry, 2016: 391-421)
- [16] 胡伟武, 汪文祥, 吴瑞阳, 等. 计算机体系结构[M]. 2版. 北京: 清华大学出版社, 2017: 199-212. (Hu Weiwu, Wang Wenxiang, Wu Ruiyang, et al. Computer architecture[M]. 2nd ed. Beijing: Tsinghua University Press, 2017: 199-212)