

基于场路仿真的 PCIe 电磁干扰分析及优化设计

杨 会, 宋 航, 肖 夏

(天津大学 微电子学院成像与传感微电子技术重点实验室, 天津 300072)

摘 要: 采用电磁仿真技术, 提前评估 PCB 的电磁兼容设计是否合理, 当对 PCB 进行电磁兼容测试时, 减少其电磁干扰不满足 GMW 3097 标准的情况出现。首先对 PCB 进行 3D 电磁场仿真, 再与高速串行计算机扩展总线标准模块内芯片的通用模拟电路仿真模型的电路仿真动态链接, 进行场路协同仿真。实验验证表明, 该仿真方法的精度在 $6 \text{ dB}\mu\text{V}$ 之内, 满足 PCB 加工工艺的误差和实验测试的不确定度, 符合仿真精度要求。通过该仿真方法评估 PCB 的电磁干扰强度以及优化 PCB 的设计, 将高速串行计算机扩展总线标准模块上的 33Ω 电阻替换为磁珠后, 该 PCB 在 1.6 GHz 处的电磁干扰强度降低了 13.4 dB 。根据 CISPR 25 标准规定的 1-m 法进行测试, PCB 的电磁干扰变为 $-3.4 \text{ dB}\mu\text{V}$, 低于 GMW 3097 标准要求, 从而验证了该措施的有效性。

关键词: PCIe 模块; 共模辐射; 电磁干扰; 通用模拟电路仿真模型; 电磁仿真

中图分类号: O441.4

文献标志码: A

doi: 10.11884/HPLPB202032.190360

PCIe electromagnetic interference analysis and optimization design based on co-simulation of field and circuit

Yang Hui, Song Hang, Xiao Xia

(Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, School of Microelectronics, Tianjin University, Tianjin 300072, China)

Abstract: In this paper, the rationality of Electromagnetic Compatibility(EMC) design of Printed Circuit Board (PCB) is evaluated in advance through electromagnetic simulation. The purpose of this method is to reduce the chances that the Electromagnetic Interference (EMI) of PCB does not meet GMW 3097 standard in EMC test. Firstly, the 3D electromagnetic field simulation of the Peripheral Component Interconnect express (PCIe) module on the PCB is performed. Then the field simulation is dynamically linked with the circuit simulation of the Simulation Program with Integrated Circuit Emphasis (SPICE) model of chip on the PCIe module, so that the co-simulation of field and circuit is performed. According to the experimental test, the accuracy of this simulation method is within $6 \text{ dB}\mu\text{V}$, which satisfies the deviation of PCB processing technology and the uncertainty of the experimental test. Thus, this simulation method meets the accuracy requirements. Therefore, the EMI of PCB can be evaluated and the PCB design can be optimized by this simulation method. After the 33Ω resistors on the PCIe module was replaced by magnetic beads, the EMI of the PCB at 1.6 GHz is reduced by 13.4 dB . According to the 1-m method specified in the CISPR 25 standard for testing, the EMI of PCB becomes $-3.4 \text{ dB}\mu\text{V}$, which is lower than the GMW 3097 standard requirement. Therefore, the effectiveness of this measure is verified.

Key words: PCIe module; common mode radiation; electromagnetic interference; Simulation Program with Integrated Circuit Emphasis (SPICE) model; electromagnetic simulation

印制电路板 (PCB) 是车载多媒体导航系统中最重要的组成部分, 为了提高该系统的视频、语音、导航等功能, 系统内部的 PCB 设计变得越来越复杂。研究表明, PCB 的 EMI 主要受 PCB 上元器件的位置、过孔、布线、接地性能、电源开关等因素的影响^[1-6]。因此仅凭借工程师的经验, 很难保证如此复杂的 PCB 的电磁兼容 (EMC) 的设计合理性, 不合理的 EMC 设计会给系统带来电磁干扰 (EMI) 问题。EMI 过高会影响系统的正常工作, 因此需要对 PCB 进行调试, 使得 PCB 的 EMI 满足客户要求。但是 PCB 加工后, 后续整改费时且费力, 甚至需要重新设计, 因此需要采用仿真技术评估 PCB 的电磁干扰强度以及优化 PCB 的设计。本文采用场路协同仿真的方法评估 PCB 的 EMI 强度并优化 PCB 的设计。

本研究在电波暗室内按照 CISPR 25 标准的 1-m 法对 PCB 进行 EMC 测试时,发现其在 1.6 GHz 处的 EMI 强度不满足 GMW 3097 标准^[7-9]。分析发现,PCB 上的高速串行计算机扩展总线标准(PCIe)模块产生的 EMI 超标,因此采用场路协同的仿真方法优化 PCB 上 PCIe 模块的 EMI。使用 HFSS 软件对 PCIe 模块建立 3D 仿真模型,进行电磁场仿真。采用 Ansoft Designer 软件导入 PCIe 模块内部芯片的通用模拟电路仿真(SPICE)模型,进行电路仿真,获得芯片的时钟信号。根据快速傅里叶变换(FFT)得到芯片时钟的频域信号,将频域信号动态链接到电磁场仿真中,实现场路协同仿真。采用该仿真方法优化 PCB 上 PCIe 模块的设计。

当增加信号传输路径上高频噪声的阻抗后,该 PCB 在 1.6 GHz 处的 EMI 取得了 13.4 dB 的改善。减小传输线上电流驱动的共模信号的回流面积后^[10],PCB 的 EMI 减少了 2.9 dB。减少过孔所产生的偶极子天线效应,EMI 降低了 5.9 dB。当将 PCIe 模块上的 33 Ω 电阻替换为磁珠后,通过 1-m 法实验测试,电磁干扰强度为 -3.4 dB μ V,小于 GMW 3097 标准要求的 4 dB μ V,符合标准要求。对 PCB 进行场路协同仿真,可以方便地优化 PCB 上 PCIe 模块的设计,最后通过 EMC 实验验证措施的有效性。

1 PCIe 模块产生对外 EMI 的原理及抑制措施

1.1 PCIe 模块产生 EMI 的机理

电磁干扰的本质是:电磁干扰源产生电磁干扰能量,通过传输或耦合路径将发射的能量传输到接收机(敏感设备),发射的能量在接收机处被处理,产生意外动作,影响接收机的正常工作。

PCB 上的 PCIe 模块的电路如图 1 所示,模块内的主芯片 U_1 生成两路 100 MHz 的时钟信号 P_1 和 P_2 ,以电流的形式进入外围电路,其中: R_1 和 R_2 为 33 Ω ,为限流电阻; R_3 和 R_4 为 0 Ω ,为调试位; R_5 和 R_6 为 50 Ω ,并与地连接; C_1 和 C_2 为 100 pF,抑制信号中的噪声。电路的输出端连接其他模块,为其他模块提供参考时钟。时钟信号 P_1 和 P_2 的幅值相等,相位相差 180°,构成由电流源激励的伪差分信号。

根据基尔霍夫定律,所有形式的信号在传输时必须是以闭合回路的形式传输。如图 2 电流驱动信号走向示意图,图中 L_{signal} 和 R 为微带传输线的等效电感和电阻值, L_{return} 为返回路径的寄生电感, C_{CM} 为共模返回路径中电压压降的等效电容值。信号在传输线上正向传输,直接通过传输线下方的“地”返回,即差模信号电流 I_{DM} 。然而共模信号电流 I_{CM} 是从一条完全不能预知的路径返回,因此影响较大。当差模和共模的回流面积越大,所形成的差模压降 V_{DM} 和共模压降 V_{CM} 越大,直接影响信号的传输质量。

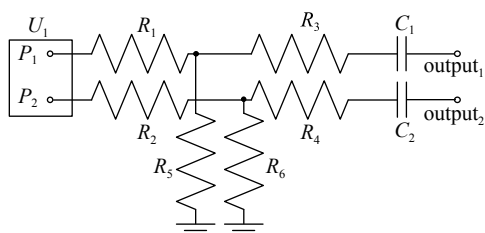


Fig. 1 Circuit diagram of PCIe module on PCB

图 1 PCB 上 PCIe 模块电路图

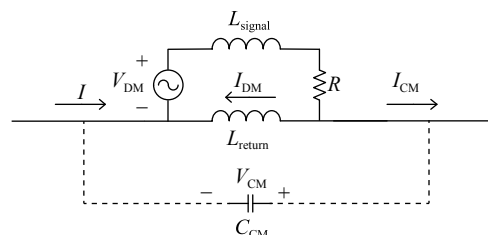


Fig. 2 Schematic diagram of current drive signal transmission on PCB

图 2 PCB 上电流驱动信号传输示意图

差分线传输相比单线传输具有抗干扰能力强、有效抑制 EMI、时序定位准确等优点,在 PCB 设计中被广泛使用^[11-12]。信号分为差模信号和共模信号,当传输差模信号时,差分线和它们各自的返回路径形成两条回路路径。在这两条路径中,形成的电磁场方向相反,达到抑制 EMI 的效果。当传输共模信号时,差分线和它们各自的返回路径,形成的电磁场方向相同,产生的 EMI 相互叠加。因此采用差分线传输信号时,影响信号质量的参数是共模信号和回流面积。

由于 PCIe 芯片内部存在时延和寄生参数等影响因子,时钟可近似为 100 MHz 梯形波。当时钟是理想的梯形波时,其傅里叶级数由式(1)计算

$$F_n = \frac{1}{T} \int_0^T f(t) e^{-jn\omega t} dt \quad (1)$$

式中: T 为信号的周期; ω 为信号的角频率; n 为整数。将理想的梯形波 $f(t)$ 代入式(1),其傅里叶级数为

$$F_n = -j \frac{A}{2\pi n} \cdot e^{-jn\omega(\tau+\tau_r)} \cdot \left(\frac{\sin \frac{n\omega\tau_r}{2}}{\frac{n\omega\tau_r}{2}} e^{\frac{jn\omega\tau}{2}} - \frac{\sin \frac{n\omega\tau_f}{2}}{\frac{n\omega\tau_f}{2}} e^{-\frac{jn\omega\tau}{2}} \right) \quad (2)$$

式中： A 为梯形波 $f(t)$ 的幅值； τ_r 为上升沿时间； τ 为脉冲宽度； τ_f 为下降沿时间。对于 PCIe 模块内部的时钟信号， $\tau_r \approx \tau_f$ ，此时时钟的傅里叶级数为

$$F_n = A \frac{\tau}{T} \frac{\sin \frac{n\pi\tau}{T}}{\frac{n\pi\tau}{T}} \frac{\sin \frac{n\pi\tau_r}{T}}{\frac{n\pi\tau_r}{T}} e^{-\frac{jn\pi(\tau+\tau_r)}{T}} \quad (3)$$

PCIe 模块内部芯片的时钟波形的占空比 $\frac{\tau}{T} \approx 0.5$ ，将该占空比代入式(3)，计算可得，时钟只存在奇数次谐波分量，不存在偶数次谐波分量。但采用近场扫描仪对 PCIe 模块进行近场测试时^[13-14]，发现在 1.6 GHz 处存在电磁场强度。PCIe 模块内芯片的时钟存在抖动，时钟信号 P_1 和 P_2 的电压幅值如图 3(a) 所示，即 PCIe 模块内芯片的 SPICE 模型产生的时钟信号波形图，并根据式(4)计算得到共模信号电压幅值

$$V_{\text{common}} = \frac{V_{P_1} + V_{P_2}}{2} \quad (4)$$

式中： V_{P_1} 为信号 P_1 的电压幅值； V_{P_2} 为信号 P_2 的电压幅值。共模信号如图 3(b) 所示，表明时钟 P_1 和 P_2 不完全对称，存在共模信号。将图 3 中的 P_1 时钟波形通过 FFT 得到频域信号，如图 4 所示，时钟存在偶次谐波分量。主频 100 MHz 处的频谱为 -10 dBV，在 1.6 GHz 处的谐波分量约为 -50 dBV，谐波抑制为 40 dB，谐波没有得到很好的抑制。表 1 列出 GMW 3097 标准对 EMI 的要求，在 1.6 GHz 处的 EMI 限值为 4 dB μ V。根据 CISPR 25 标准的 1-m 法对 PCB 进行测试，实验结果表明，该 PCB 在 1.6 GHz 处的 EMI 为 10.9 dB μ V，因此该 PCB 在 1.6 GHz 处的 EMI 超标，本研究重点关注该频点的 EMI。

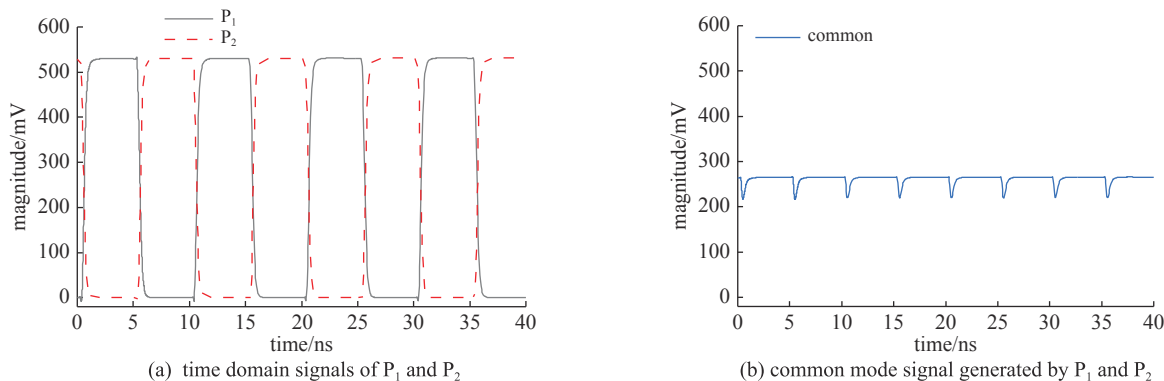


Fig. 3 Schematic diagram of the time domain signals of the clock on the PCIe module

图 3 PCIe 模块上的时钟的时域信号示意图

1.2 PCB 上 EMI 空间辐射的机理

PCB 上的 PCIe 模块的 EMI 辐射问题可以等效为平面分层媒质中的电流源辐射问题，任意电流源都可以分解为无数电偶极子的叠加，即电偶极子向外辐射电磁场。PCIe 模块内差分传输线中的不对称因素会形成偶极子天线，共模信号产生的电磁场会通过偶极子天线辐射出去^[15]。首先考虑一个非常短的线电流源，其长度为 l ，带有时谐电流 I 。这样的线电流称为无限小电偶极子，可以用偶极子矩 $Il(l \rightarrow 0)$ 来描述。如图 5 所示，将电偶极子沿 z 轴方向且中心位于原点 O 处放置，点 P 为空间一点，原点 O 与点 P 的距离为 r ，且 r 与 z 轴的夹角为 θ ，将 r 投影到 xOy 平面后，与 x 轴的夹角为 φ 。

为求点 P 处的辐射场，首先计算其矢量磁位

$$\mathbf{A}(r) = \mu \iiint_V \mathbf{J}(r') G(r, r') dV' \quad (5)$$

式中： $\mathbf{J}(r')$ 为点源的电流密度； $G(r, r')$ 为对应于点源的基本解； r' 为点源距离原点的距离； μ 为自由空间中，介质的

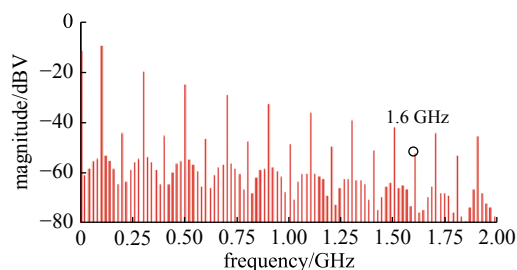


Fig. 4 Schematic diagram of the frequency domain signal of the clock on the PCIe module

图 4 PCIe 模块上的时钟的频域信号示意图

表 1 GMW 3097 标准中对 EMI 的要求

Table 1 The EMI requirements for the GMW 3097 standard

name	frequency/MHz	EMI limit
GPS	1 567 - 1 574	linearly decreased from 44 dBμV to 4 dBμV
	1 574 - 1 576	4 dBμV
	1 576 - 1 583	linearly increased from 4 dBμV to 44 dBμV
GLONASS	1 598 - 1 606	4 dBμV

磁导率。自由空间的变量格林函数为

$$G(r, r') = \frac{e^{-jk|r-r'|}}{4\pi|r-r'|} \quad (6)$$

式中: k 为波数, 与波长 λ 的关系为 $k = \frac{2\pi}{\lambda}$; $|r-r'|$ 为点源与点 P 的距离。将式(6)代入式(5), 得出自由空间内无限小电偶极子的矢量磁位

$$\mathbf{A}(r) = \hat{z} \frac{\mu I l}{4\pi r} e^{-jkr} \quad (7)$$

根据 $\mathbf{H} = \frac{1}{\mu} \nabla \times \mathbf{A}$, 在球坐标系下, 得出磁场强度

$$\mathbf{H} = \hat{\phi} \frac{jkIl \sin\theta}{4\pi r} \left(1 + \frac{1}{jkr} \right) e^{-jkr} \quad (8)$$

根据 $\mathbf{E} = \frac{1}{j\omega\epsilon} \nabla \times \mathbf{H}$, 得出电场强度为

$$\mathbf{E} = \hat{r} \frac{\eta I l \cos\theta}{2\pi r^2} \left(1 + \frac{1}{jkr} \right) e^{-jkr} + \hat{\theta} \frac{jk\eta I l \sin\theta}{4\pi r} \left[1 + \frac{1}{jkr} - \frac{1}{(kr)^2} \right] e^{-jkr} \quad (9)$$

式中: ϵ 为自由空间中, 介质的介电常数; $\eta = \sqrt{\frac{\mu}{\epsilon}}$ 为波阻抗。因 $r=1$ m, 关注远场, $kr \gg 1$, 则保留场的表达式的主要项, 即

$$\begin{aligned} E_{\theta} &\approx \frac{jk\eta I l \sin\theta}{4\pi r} e^{-jkr} \\ H_{\phi} &\approx \frac{jk I l \sin\theta}{4\pi r} e^{-jkr} \end{aligned} \quad (10)$$

根据式(10), 远场的电场强度和磁场强度都与电偶极子的电流 I 成正比, 与辐射场距离原点的距离 r 成反比, 因此减小电流可以降低远场 r 处的场强。

1.3 PCB 产生 EMI 的抑制措施

PCIe 模块的芯片时钟是由电流源激励的伪差分信号, 存在差模信号和共模信号, 因此 PCB 产生辐射发射的主要原因是电流驱动的共模信号^[6], 共模信号产生的电磁场会通过偶极子天线辐射出去。因此可通过三种途径降低对外辐射: 降低共模信号的电流强度、减小信号传输路径中的回流面积以及减小偶极子天线产生的对外辐射效应。

2 PCIe 模块的电磁干扰仿真分析

2.1 建立仿真模型

采用 HFSS 仿真软件对 PCB 的 PCIe 模块建立仿真模型, 模型尺寸为 170 mm×130 mm×1.6 mm, 分为四层, 从上往下依次为顶层、地层、信号层、底层, 如图 6 所示。PCIe 模块内 U₁ 芯片的时钟引脚位于底层, 外围电路位于顶层, U₁ 芯片与外围电路连接的信号线位于信号层。对仿真模型设置求解类型、激励、边界条件和板材等, 进行 3D 电磁场仿真。在电路仿真中, 采用 Ansoft Designer 仿真软件导入芯片的 SPICE 模型参数, 进行仿真计算, 通过 FFT 获取芯片的频域信号, 将电磁场仿真和电路仿真链接起来, 使得电路仿真获取的芯片的频域信号数据链接到电磁场仿真中, 得出 PCB 外 1 m 处的 EMI 的仿真数据。PCB 外 1 m 处的 EMI 的仿真数据与实验数据如图 7 所

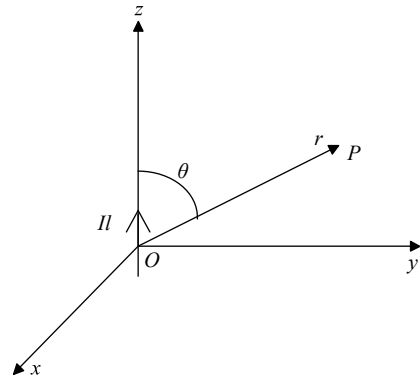


Fig. 5 Radiation of an infinitesimal electric dipole in free space

图 5 自由空间中的无限小电偶极子的辐射

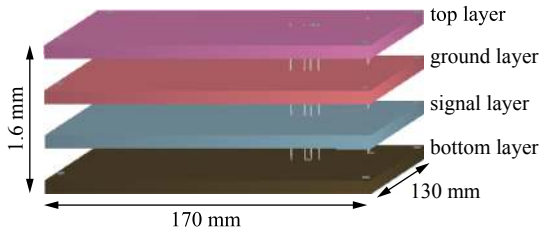


Fig. 6 Simulation model of the PCIe module on the PCB

图 6 PCB 上 PCIe 模块的仿真模型图

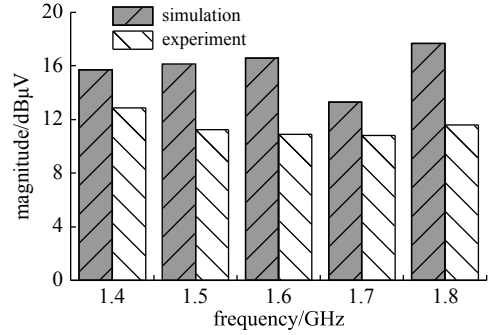


Fig. 7 Comparison of simulation data and experimental data of PCIe module

图 7 PCIe 模块的仿真数据与实验数据对比图

示。仿真数据与实验数据的平均误差为 4.4 dBμV, 其中在 1.8 GHz 的误差最大, 但小于 6 dBμV。在 PCB 加工过程中存在误差, 同时实验测试中也存在误差, 误差在 6 dBμV 之内是可接受的。在 1.6 GHz 处的误差为 5.7 dBμV, 小于 6 dBμV, 下文是基于此种电磁场仿真与芯片的 SPICE 模型的电路仿真的协同仿真方法, 寻找降低 PCIe 模块在 1.6 GHz 频点处 EMI 的措施。

2.2 对 PCB 的 EMI 进行优化

从 PCB 电磁仿真出发, 在没有对 PCB 进行任何优化设计时, 其 EMI 仿真数据为 16.6 dBμV, 超过了标准值。为了降低 PCB 板级的 EMI, 通过仿真对 PCB 进行优化, 具体采取了以下多种措施: 在 PCIe 模块的信号传输线上添加共模电感、磁珠或滤波器; 将外围电路器件放在顶层或底层, 缩短 PCIe 芯片与外围电路的距离, 减小回流面积; 减少信号传输线的过孔数量, 从而减小偶极子天线效应; 移动 PCIe 模块的滤波电容或改变滤波电容的大小; 增加地孔; 增大或减小信号传输线的过孔大小等措施。本研究对能够降低该 PCB 上 EMI 的措施进行分析。

2.2.1 降低 PCB 上共模信号的强度

(1) 共模电感是以铁氧体为磁芯的共模干扰抑制器件, 由两个尺寸相同、匝数相同的线圈对称且反向地绕制在同一个铁氧体环形磁芯上, 形成一个四端器件, 当差模电流流过时, 在同相位绕制的电感线圈中会产生反向的磁场而相互抵消, 且几乎没有电感, 此时差模电流主要受线圈自身电阻的影响。当共模电流流过线圈时, 由于共模电流的同向性, 会在线圈内产生同向的磁场而增大线圈的感抗, 使线圈表现为高阻抗, 产生较强的阻尼特性, 从而抑制共模电流。将图 1 中 R_1 和 R_2 的 33 Ω 电阻换成共模电感进行电磁仿真, 仿真结果如图 8 所示。与优化 PCB 设计前相比, PCB 产生的 EMI 降低了 4.6 dB。

(2) 磁珠具有抑制信号传输线和电源线上的高频噪声和尖峰干扰的特性, 同时也具有吸收静电脉冲的功能。磁珠的主要材料是铁氧体, 这种材料在高频频域上的损耗非常大, 具有很高的导磁率。在高频段, 磁珠随着频率的升高, 磁芯的磁导率降低, 导致电感的电感量降低, 感抗成分降低, 此时磁芯的损耗增加, 电阻占比提升, 即磁珠的阻抗主要由电阻成分构成, 当高频噪声通过铁氧体时, EMI 被吸收并以热能的形式消耗掉。磁珠可以等效为 RLC 电路, 如图 9 所示, 其中: R_{DC} 为磁珠导体的直流电阻; R 、 L 、 C 为磁珠的等效电路值。通过该电路图可以计算出在频率为 f 处的阻抗

$$Z = R_{DC} + \frac{j2\pi fRL}{R + j2\pi fL - (2\pi f)^2RLC} \quad (11)$$

根据式(11)可知, 当频率 $f = \frac{2\pi}{\sqrt{LC}}$ 时, 磁珠等效的电路发生谐振, 在该频点处, 磁珠的电阻最大。因为需抑制 1.6 GHz 的 EMI, 因此在选型时, 需寻找在该频点处能够发生谐振的磁珠。将 PCIe 模块的电路图中的 33 Ω 电阻换成磁珠之后进行电磁仿真, 仿真结果如图 8 所示, PCB 产生的 EMI 降低了 13.4 dB, 抑制效果显著。

2.2.2 减小信号传输回流面积和偶极子天线辐射效应

微带传输线过长, 会使信号传输路径上的回流面积增大。为降低 PCB 产生的 EMI, 尝试减小传输线的长度。如图 8 所示, 保持 PCIe 芯片位置固定不动, 移动外围电路器件, 缩短 PCIe 模块 U_1 芯片和外围电路器件的距离, 仿真后的结果显示, PCB 的 EMI 降低了 2.9 dB。

过孔是连接多层 PCB 上不同层走线的导体, 低频时, 过孔不会影响信号传输, 但是在高频处, 如 1.6 GHz, 过孔

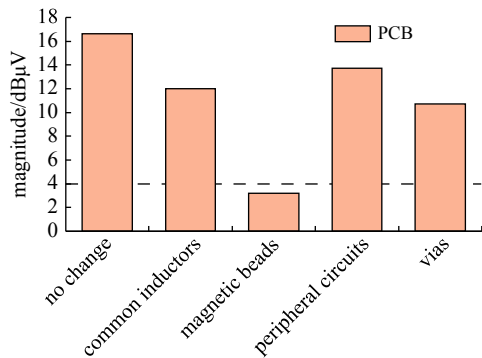


Fig. 8 PCB simulation results

图 8 PCB 仿真结果图

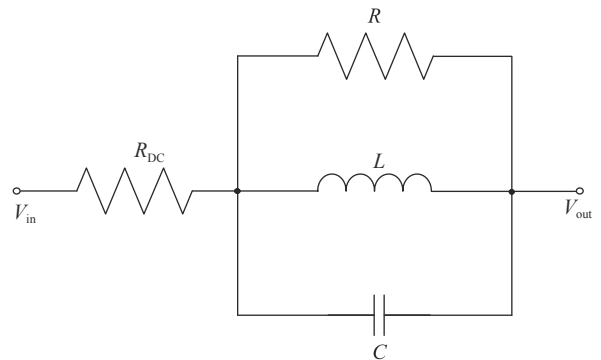


Fig. 9 Equivalent circuit diagram of magnetic bead

图 9 磁珠等效电路图

会影响信号的传输。过孔产生的问题主要由寄生电容和寄生电感引起。过孔会影响信号线的阻抗不连续,导致插入损耗和反射损耗。如图 8 的仿真结果所示,当减少信号传输线上过孔的数量后,PCB 产生的 EMI 降低了 5.9 dB。

通过上文介绍的措施,将信号传输路径的 $33\ \Omega$ 电阻换成共模电感与缩短传输线的长度以及减少过孔数量对降低 EMI 的效果相近。与将 $33\ \Omega$ 电阻换成磁珠的方法相比,其他措施虽然可以降低 PCB 的 EMI,但是效果不够显著。通过比较上述的仿真结果,在信号传输线上添加磁珠是降低此 PCIe 模块上 EMI 最有效的方法,通过 EMC 实验测试,电磁干扰强度为 $-3.4\ \text{dB}\mu\text{V}$,小于 GMW 3097 标准要求的 $4\ \text{dB}\mu\text{V}$,符合标准要求。

3 结 论

本文提出采用电磁仿真技术评估 PCB 上 PCIe 模块产生的 EMI 强度,并优化 PCB 的设计。在 PCB 版图绘制完成后,采用 HFSS 仿真软件对 PCB 的版图建立 3D 模型,进行电磁场仿真。采用 Ansoft Designer 仿真软件导入 PCIe 模块内芯片的 SPICE 模型进行电路仿真,电磁场仿真与电路仿真建立动态链接,实现场和路的协同仿真,得到满足精度要求的仿真结果。本文提出的对 PCB 进行优化的措施,对优化 PCB 的设计具有一定的指导意义。在对 PCB 进行设计时,尽量缩短主芯片和外围电路的距离以减少信号的回流面积,减少信号传输线过孔的数量以降低偶极子天线向外辐射所产生的电磁场效应。对于抑制信号传输路径的高频噪声,磁珠的优化作用显著,PCB 的 EMI 降低了 13.4 dB。通过 EMC 实验验证,电磁干扰强度为 $-3.4\ \text{dB}\mu\text{V}$,与 GMW 3097 标准要求相比,降低了 7.4 dB,使 PCB 上 PCIe 模块产生的 EMI 强度满足 GMW 3097 标准。

参考文献:

- [1] Veropoulos G P, Papakanellos P J, Vlachos C. A probabilistic approach for the susceptibility assessment of a straight PCB trace excited by random plane-wave fields[J]. *IEEE Trans Electromagn Compat*, 2018, 60(1): 258-265.
- [2] Shantala, Sudheer M L. Analysis of electromagnetic interference radiations from the PCB traces[C]//International Conference on Recent Trends in Electrical, Control and Communication. 2018: 74-78.
- [3] Huang C Y, Chen C H, Greene C. Using parametric design to reduce the EMI of electronics products—example of medical-grade touch panel computer[J]. *Prog Electromagn Res C*, 2019, 89(1): 13-26.
- [4] Tang Qiu, Wang Yaonan, Christopoulos C. Simulation and research of the PCB vias effects[C]//International Conference on Natural Computation. 2007: 110-114.
- [5] Pan S, Fan J. Characterization of via structures in multilayer printed circuit boards with an equivalent transmission-line model[J]. *IEEE Trans Electromagn Compat*, 2012, 54(5): 1077-1086.
- [6] Archambeault B, Brench C, Connor S. Review of printed-circuit-board level EMI/EMC issues and tools[J]. *IEEE Trans Electromagn Compat*, 2010, 52(2): 455-461.
- [7] Carobbi C F M, Izzo D. Evaluation and improvement of the reproducibility of CISPR 25 ALSE test method[J]. *IEEE Trans Electromagn Compat*, 2018, 60(4): 1069-1077.
- [8] IEC CISPR 25, Vehicles, boats and internal combustion engines—radio disturbance characteristics—limits and methods of measurement for the protection of on-board receivers[S]. 2015.
- [9] GMW 3097, General specification for electrical/electronic components and subsystems, electromagnetic compatibility[S]. 2015.
- [10] 赵阳, 颜伟, 赵波, 等. 电路辐射干扰机理诊断与特性估计[J]. *电工技术学报*, 2010, 25(10): 6-13. (Zhao Yang, Yan Wei, Zhao Bo, et al. EMI radiated noise diagnosis and estimation for HF circuits[J]. *Transactions of China Electrotechnical Society*, 2010, 25(10): 6-13)
- [11] 邱剑. 差分线对的 PCB 设计要点[J]. *通信技术*, 2010, 43(6): 221-223. (Qiu Jian. Essentials of differential pairs in PCB design[J]. *Communications*

[Technology](#), 2010, 43(6): 221-223)

- [12] 赵志超. 高速差分传输线模型的分析与设计[D]. 西安: 西安电子科技大学, 2012: 19-25. (Zhao Zhichao. Analysis and design of high-speed differential transmission line model. Xi'an: Xidian University, 2012: 19-25)
- [13] Kuehn S, Pfeifer S, Kochali B, et al. A novel automated phasor measurement system for validated and traceable EMC/EMI near-field analysis[J]. *IEEE Electromagn Compat Mag*, 2016, 5(2): 41-47.
- [14] Zhang Jiachen, Wei Xingchang, Yang Rui, et al. An efficient probe calibration based near-field-to-near-field transformation for EMI diagnosis[J]. *IEEE Trans Antennas Propagat*, 2019, 67(6): 4141-4147.
- [15] Mikki S, Sarkar D, Antar Y M M. On localized antenna energy in electromagnetic radiation[J]. *Prog Electromagn Res M*, 2019, 79(1): 1-10.
- [16] Connor S, Archambeault B, Mondal M. The impact of common mode currents on signal integrity and EMI in high-speed differential data links[C]//*IEEE International Symposium on Electromagnetic Compatibility*. 2008: 1-5.