

引用格式: XU Geliang, XING Shiliang, YE Song, et al. Reconfigurable and Storable Chaotic Logic Operations with the Performance of Error Detection and Correction[J]. Acta Photonica Sinica, 2023, 52(11):1106004

许葛亮,幸世亮,叶松,等. 具备检错和纠错性能的可重构可存储的混沌逻辑运算[J]. 光子学报, 2023, 52(11):1106004

具备检错和纠错性能的可重构可存储的 混沌逻辑运算

许葛亮¹, 幸世亮², 叶松¹, 邓加祈¹, 张曼¹

(1 巢湖学院 电子工程学院, 合肥 238000)

(2 景德镇学院 机械电子工程学院, 景德镇 333000)

摘要: 基于混沌同步理论与电光调制理论, 提出一种新颖的可重构可存储的混沌逻辑运算实现方案。通过探索驱动垂直腔表面发射激光器和响应垂直腔表面发射激光器输出偏振光的同步质量随外加电场与归一化注入电流的演变规律, 将外加电场与归一化注入电流分别调制为控制逻辑信号和逻辑输入。通过转换逻辑控制信号与逻辑输入的运算关系, 系统就能重构处理混沌逻辑运算。采用阈值机制获得四个相同的逻辑输出, 实现了混沌逻辑运算的延时存储, 且系统噪声强度在低于 1.84×10^9 情况下逻辑输出具备良好的检错和纠错性能。

关键词: 混沌; 垂直腔表面发射激光器; 混沌同步; 逻辑运算; 抗噪声性能

中图分类号: O436

文献标识码: A

doi: 10.3788/gzxb20235211.1106004

0 引言

激光混沌信号对系统的初始条件和外界干扰极度敏感, 具有非周期性和高度随机性的特点, 这使其在混沌保密通信中有着广泛的应用, 如混沌激光雷达、高速物理随机数发生器、高速密钥分发等^[1-4]。作为产生混沌激光信号的理想光源, 垂直腔表面发射激光器 (Vertical Cavity Surface Emitting Laser, VCSEL) 具有体积小、阈值电流低、动态调制频率高、发散角度小、易于实现二维阵列等优点^[5-7]。由于 VCSEL 的激光腔结构为匀称的圆形, 其内部增益介质的各向异性很弱, 这导致了激光器会产生两个相互正交的线性偏振模, 即横电模和横磁模, 分别用 x 偏振分量 (x Polarization Component, x -PC) 和 y 偏振分量 (y Polarization Component, y -PC) 表示。其在光注入、光反馈或光电反馈的作用下能激射高维混沌态的 x -PC 和 y -PC^[8-9]。并且通过改变泵浦电流, 光注入强度或注入光的频率失谐能诱导 VCSEL 产生丰富的动力学行为如偏振转换以及偏振双稳态^[10-18]。目前, 这些现象普遍适用于一些备受关注的领域, 例如混沌计算。

2010年, MASOLLER C 通过偏振双稳态数值实现了随机逻辑门^[5]; 2012年, 又提出了利用噪声和光注入 VCSEL 的偏振双稳态实现随机逻辑门的方案^[6]; 2013年, 利用可调谐光注入 VCSEL 的方法再次实现了全光随机逻辑门^[7]。钟东洲在混沌计算领域也取得了大量的创新性成果^[19-21]; 2015年, 基于电光效应和偏振双稳态实现了光电复合逻辑门; 2016年, 基于广义混沌同步和偏振双稳态, 实现了全光随机逻辑门及其延时存储; 2017年, 提出了让 VCSEL 受取样光栅分布布拉格反射可调谐激光器的光注入的实验方案, 实现了可重构的全光混沌逻辑门。2021年, 基于电光调制本课题组也实现了可重构的混沌逻辑运算, 运算速率达到皮秒量级, 且系统结构简单易于集成^[22]。

近些年, 激光混沌同步的快速发展也引起了人们的广泛关注。2013年, 颜森林基于激光混沌并联同步

基金项目: 安徽省高等学校科学研究项目 (No. 2022AH051724), 巢湖学院科学研究项目 (No. XLY-202204), 国家级大学生创新创业训练计划项目 (No. 202310380038)

第一作者 (通讯作者): 许葛亮, xugeliang1027@163.com

收稿日期: 2023-04-23; **录用日期:** 2023-05-30

<http://www.photon.ac.cn>

实现了全光非门、或非门以及同或门^[23];2014年,又利用三个混沌激光器的并行同步实现了光电逻辑 NOR 和 XNOR 门^[24]。2021年,李璞等数值分析了在一定的参数失配范围内,两个自由运行的 VCSELs 在平行注入和正交注入两种互耦合结构下实现了高质量混沌同步^[25];2023年,又进一步研究了相互耦合的自由运行 VCSELs 在平行注入和正交注入两种情况下的偏振混沌的超前-滞后同步^[26]。2022年,钟东洲等基于光学储备池实现了高质量的混沌同步^[27]。要获得完全混沌同步,就必须要求驱动系统和响应系统在结构组成上完全对称,并且两系统参数要完全匹配。外界干扰会影响混沌信号,还可能引起系统参数发生漂移,使得驱动系统参数与响应系统参数失配,最终导致系统的混沌同步质量产生剧烈震荡。因此当混沌同步应用于混沌计算时,可能由于混沌同步质量的不稳定导致计算出现差错。

上述大部分方案实现的是静态的混沌逻辑运算,具备检错和纠错性能的可重构可存储功能的混沌逻辑运算发展还比较滞后。基于驱动-响应 VCSELs 的高维混沌系统,不仅具有丰富的模式,还能实现混沌同步的稳定操控,这为实现可重构可存储的混沌逻辑运算创造了可能。然而还有很多基础科学问题需要解决,如混沌同步对系统关键参数的依赖性、VCSEL 输出混沌态激光对系统参数的要求、逻辑控制信号的选择、逻辑运算与 VCSEL 关键参数的约束关系、噪声对混沌同步质量的影响,以及计算出现差错时如何进行有效检错等。受这些问题的激励,在驱动-响应 VCSELs 混沌系统里,基于电光调制理论,本文探索了驱动 VCSEL (Drive VCSEL, D-VCSEL) 和响应 VCSEL (Response VCSEL, R-VCSEL) 的输出偏振光动力学状态和同步质量随外加电场和归一化注入电流参数的演变,并进一步给出了重构和存储混沌逻辑运算如 AND、NAND、OR、NOR、XOR 及 XNOR 的实现步骤,最后阐述了混沌逻辑运算的检错和纠错性能。

1 理论与模型

驱动-响应 VCSELs 混沌系统装置图如图 1。其中 D-VCSEL 和 R-VCSEL 的中心波长均为 1 550 nm,光纤隔离器 (Fiber Isolator, FI) 的作用是保持光的单向传输,中性密度滤光镜 (Neutral density Filter, NDF) 用于控制光的注入强度,平面镜 (Mirror, M) 用于调整光的传输方向,光电探测器 (Photodetector, PD) 用于把光信号转换为电信号。D-VCSEL 输出的光通过 FI₁, 然后被光纤分束器 1 (Fiber Beam Splitter, FBS₁) 分为光束 l_1 和光束 l_2 。光束 l_2 通过 FBS₂ 被分成光束 l_3 和光束 l_4 。光束 l_4 通过光纤偏振分束器 1 (Fiber Polarization Beam Splitter, FPBS₁) 被分离出偏振分量 x -PC_{D2} 和偏振分量 y -PC_{D2}。其中 x -PC_{D2} 直接注入周期性极化铌酸锂 1 (Periodic Poled LiNbO₃, PPLN₁) 晶体中, y -PC_{D2} 通过法拉第旋转器 1 (Faraday Rotator, FR₁) 和半波片 1 (Half Wave Plate, HWP₁) 后被注入到 PPLN₁ 晶体中。

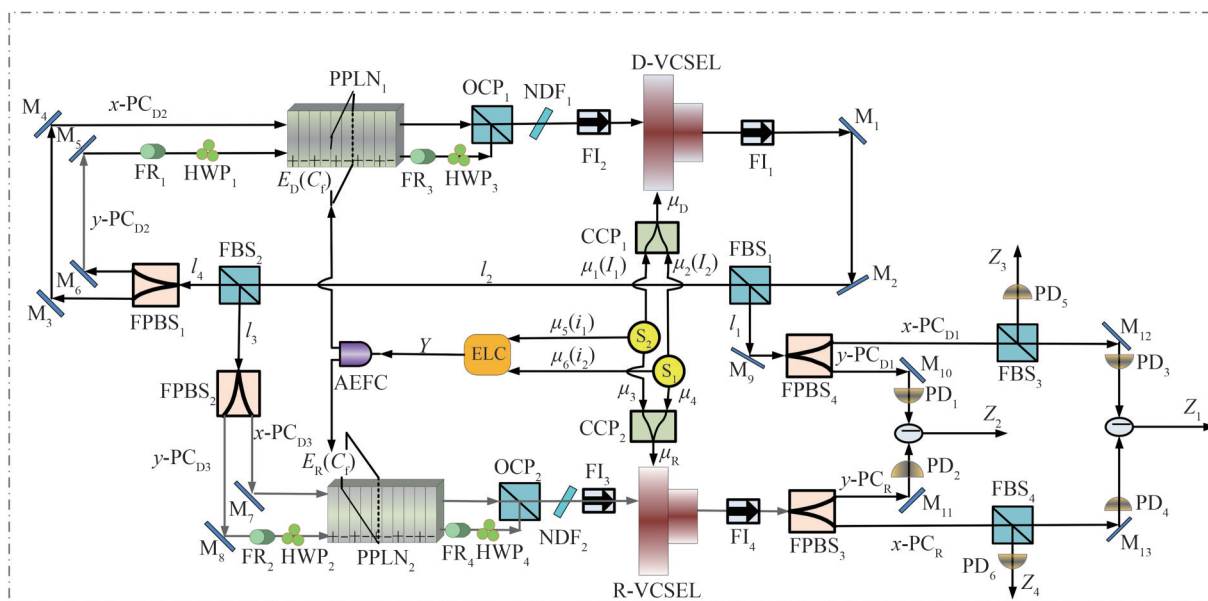


图 1 驱动-响应 VCSELs 混沌系统装置
Fig.1 The setup for chaotic system of drive-response VCSELs

偏振方向至晶体的 z 轴方向。注入到晶体中的 x -PC_{D2}和 y -PC_{D2}分别作为 o 光和 e 光的初始输入。从PPLN₁晶体输出的 x -PC和 y -PC(e 光通过FR3和HWP3转化成 y -PC)被光耦合器1(Optic Coupler, OCP₁)耦合在一起,并过NDF₁和FI₂后被注入到D-VCSEL。光束 l_1 被FPBS₄分离出 x -PC_{D1}和 y -PC_{D1};同理,光束 l_3 被FPBS₂分离出 x -PC_{D3}和 y -PC_{D3}, x -PC_{D3}被注入到PPLN₂中, y -PC_{D3}通过FR₂和HWP₂后也被注入到PPLN₂。从PPLN₂输出的 x -PC和 y -PC(e 光通过FR4和HWP4转化成 y -PC)被光耦合器2(OCP₂)耦合在一起,并通过NDF₂和FI₃后被注入到R-VCSEL中。来自R-VCSEL的光束被FPBS₃分离出 x -PC_R和 y -PC_R。D-VCSEL输出的光在反馈腔往返一次的时间以及传输至R-VCSEL所经历的时间为分别为 τ 和 τ_c ,两时延差 $\tau_f = \tau_c - \tau$ 。

在可重构可存储的混沌逻辑运算的实现方案中,D-VCSEL的归一化注入电流被调制为逻辑输入,外加电场被调制为逻辑控制信号,逻辑输出 Z_1 和 Z_2 根据D-VCSEL输出的偏振光(x -PC_{D1}和 y -PC_{D1})与R-VCSEL输出的偏振光(x -PC_R和 y -PC_R)的同步质量进行解调。值得注意的是,采用阈值机制分别对 x -PC_{D1}和 x -PC_R进行解调也能获得相同的逻辑输出 Z_3 和 Z_4 (如图1)。假设 x -PC_{D1}和 x -PC_R有相同的阈值并用 A^* 表示。每一比特位时间内 x -PC_{D1}强度的均值和 x -PC_R强度的均值分别被定义为 A_{Dx} 和 A_{Rx} 。为了实现混沌逻辑运算的重构和存储操作,提出如下技术步骤:

1)首先,计算偏振光 x -PC_{D1}与 x -PC_R,以及 y -PC_{D1}与 y -PC_R的同步质量在归一化注入电流和外加电场参数空间内的演变。

2)根据同步质量的演变规律,确定归一化注入电流的合适取值用于调制逻辑输入,以及选择外加电场的合适取值用于调制逻辑控制信号。

3)让逻辑控制信号和逻辑输入动态地满足不同的逻辑运算关系,如AND、NAND、OR、NOR、XOR和XNOR。

4)计算每一比特位持续时间内 x -PC_{D1}强度的均值 A_{Dx} 和 x -PC_R强度的均值 A_{Rx} , x -PC_{D1}与 x -PC_R的同步质量以及 y -PC_{D1}与 y -PC_R的同步质量。

5)根据同步质量和阈值机制,解调获得逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 。若 x -PC_{D1}与 x -PC_R达到完全混沌同步, $Z_1=0$,若不完全混沌同步,则 $Z_1=1$;同理若 y -PC_{D1}与 y -PC_R实现完全混沌同步, $Z_2=0$,若同步质量差,则 $Z_2=1$ 。如果 $A_{Dx}-A^*>0$, $Z_3=1$, $A_{Dx}-A^*\leq 0$,则 $Z_3=0$;同理对于 A_{Rx} 若有 $A_{Rx}-A^*>0$, $Z_4=1$;反之,则 $Z_4=0$ 。当 $Z_1(t)=Z_2(t)=Z_3(t)=Z_4(t+\tau_f)$ 时,即实现了混沌逻辑运算的延时存储。

为了实现可重构的混沌逻辑运算,逻辑控制信号与逻辑输入需满足不同的逻辑运算关系。因此逻辑控制信号需随着逻辑输入的变化而变化。如何实现逻辑控制信号和逻辑输入同步变化是一个关键问题。为了克服该问题,提出如下解决方案。时变电流源1(S_1)和 S_2 能输出6路经归一化处理的方波电流 μ_1 、 μ_2 、 μ_3 、 μ_4 、 μ_5 和 μ_6 (如图1),且 $\mu_1=\mu_3=\mu_5$ 、 $\mu_2=\mu_4=\mu_6$ 。此处D-VCSEL的归一化注入电流 $\mu_D=\mu_1+\mu_2$,R-VCSEL的归一化注入电流 $\mu_R=\mu_3+\mu_4$,所以 $\mu_D=\mu_R$, μ_1 和 μ_2 分别被调制为逻辑输入 I_1 和 I_2 ,同时 μ_5 和 μ_6 分别被调制为电子逻辑计算器(Electronic Logic Calculator, ELC)的两电逻辑输入 i_1 和 i_2 ,因此逻辑输入(I_1, I_2)与(i_1, i_2)总保持逻辑同步。ELC的逻辑输出 Y 可通过外加电场控制器(Applied Electric Field Controller, AEFC)来设置外加电场 E_D 和 E_R 的数值,当 $Y=0$ 时, $E_D=E_R=E_{01}$,逻辑控制信号 $C_i=0$,当 $Y=1$ 时, $E_D=E_R=E_{02}$, $C_i=1$, E_{01} 和 E_{02} 是外加电场的两个可能取值。由于使用ELC可以让 Y 与(i_1, i_2)满足不同的逻辑运算关系如AND、NAND、OR、NOR、XOR和XNOR。因此 C_i 可以间接同(I_1, I_2)满足不同的逻辑运算。针对每种逻辑运算,逻辑控制信号 C_i 同逻辑输入发生同步改变。因此通过转换逻辑控制信号和逻辑输入的逻辑关系,可重构的混沌逻辑运算将有望被实现。

基于VCSEL的自旋翻转模型^[15],当D-VCSEL受到来自PPLN1晶体光的延时反馈时,其动力学行为方程可表示为

$$\begin{aligned} \frac{d}{dt} \begin{pmatrix} E_{Dx}(t) \\ E_{Dy}(t) \end{pmatrix} &= k(1+ia) \{ [N_D(t)-1] \} \begin{pmatrix} E_{Dx}(t) \\ E_{Dy}(t) \end{pmatrix} \pm k(1+ia) \text{in}_D(t) \begin{pmatrix} E_{Dy}(t) \\ E_{Dx}(t) \end{pmatrix} \mp \\ &(\gamma_a + i\gamma_p) \begin{pmatrix} E_{Dx}(t) \\ E_{Dy}(t) \end{pmatrix} + k_f \begin{pmatrix} E_{P1x}(t-\tau) \\ E_{P1y}(t-\tau) \end{pmatrix} \times \exp(-i\omega_0\tau) + \begin{pmatrix} \sqrt{\beta_{sp}}\gamma_e N_D \zeta_x \\ \sqrt{\beta_{sp}}\gamma_e N_D \zeta_y \end{pmatrix} \end{aligned} \quad (1)$$

$$\frac{dN_D(t)}{dt} = -\gamma_e \{ N_D(t) - \mu_D + N_D(t)(|E_{Dx}(t)|^2 + |E_{Dy}(t)|^2) + in_D(t)[E_{Dy}(t)E_{Dx}^*(t) - E_{Dx}(t)E_{Dy}^*(t)] \} \quad (2)$$

$$\frac{dn_D(t)}{dt} = -\gamma_s n_D(t) - \gamma_e \{ n_D(t)(|E_{Dx}(t)|^2 + |E_{Dy}(t)|^2) + iN_D(t)[E_{Dy}(t)E_{Dx}^*(t) - E_{Dx}(t)E_{Dy}^*(t)] \} \quad (3)$$

同理,对于R-VCSEL,其受到PPLN₂晶体输出光的延时注入,其速率方程可表示为

$$\frac{dN_R(t)}{dt} = -\gamma_e \{ N_R(t) - \mu_R + N_R(t)(|E_{Rx}(t)|^2 + |E_{Ry}(t)|^2) + in_R(t)[E_{Ry}(t)E_{Rx}^*(t) - E_{Rx}(t)E_{Ry}^*(t)] \} \quad (4)$$

$$\begin{aligned} \frac{d}{dt} \begin{pmatrix} E_{Rx}(t) \\ E_{Ry}(t) \end{pmatrix} &= k(1+ia) \{ [N_R(t) - 1] \} \begin{pmatrix} E_{Rx}(t) \\ E_{Ry}(t) \end{pmatrix} \pm k(1+ia)in_R(t) \begin{pmatrix} E_{Ry}(t) \\ E_{Rx}(t) \end{pmatrix} \mp \\ &(\gamma_a + i\gamma_p) \begin{pmatrix} E_{Rx}(t) \\ E_{Ry}(t) \end{pmatrix} + k_{inj} \begin{pmatrix} E_{P2x}(t - \tau_c) \\ E_{P2y}(t - \tau_c) \end{pmatrix} \times \exp(-i\omega_0\tau_c) + \begin{pmatrix} \sqrt{\beta_{sp}\gamma_e N_R} \zeta_x \\ \sqrt{\beta_{sp}\gamma_e N_R} \zeta_y \end{pmatrix} \end{aligned} \quad (5)$$

$$\frac{dn_R(t)}{dt} = -\gamma_s n_R(t) - \gamma_e \{ n_R(t)(|E_{Rx}(t)|^2 + |E_{Ry}(t)|^2) + iN_R(t)[E_{Ry}(t)E_{Rx}^*(t) - E_{Rx}(t)E_{Ry}^*(t)] \} \quad (6)$$

式(1)~(6)中, E 表示光的复振幅;下标D、R、 x 和 y 分别表示D-VCSEL、R-VCSEL、 x -PC和 y -PC; E_{PLx} 和 E_{PLy} 分别表示PPLN₁晶体输出的 x -PC和 y -PC的复振幅;同理 E_{P2x} 和 E_{P2y} 分别表示PPLN₂晶体输出的 x -PC和 y -PC的复振幅;*表示共轭运算符; N 表示反转载流子数目; μ_D 和 μ_R 分别表示D-VCSEL和R-VCSEL的归一化注入电流; n 为上、下旋通道载流子浓度差; β_{sp} 为自发辐射因子; ζ_x 和 ζ_y 是一对相互独立且服从标准正态分布的高斯白噪声; k 表示场衰减速率; a 为线宽增强因子; γ_s 表示自旋弛豫速率; γ_a 表示二向色性; γ_p 为双折射率; γ_e 表示非辐射载流子弛豫速率; k_i 和 k_{inj} 表示光反馈强度和光注入强度; D 是噪声强度参数且 $D = \sqrt{\beta_{sp}\gamma_e N}$ 。

注入到PPLN₁晶体中的 x -PC和 y -PC,作为晶体中 o 光和 e 光的初始输入,它们的振幅满足

$$E_{o,e}(0, t - \tau) = \sqrt{\frac{\hbar\omega_0 V}{S_A T_L v_c n_{1,2}}} E_{Dx,Dy}(t - \tau) \quad (7)$$

同理,在PPLN₂晶体中有

$$E_{o,e}(0, t - \tau_c) = \sqrt{\frac{\hbar\omega_0 V}{S_A T_L v_c n_{1,2}}} E_{Dx,Dy}(t - \tau_c) \quad (8)$$

晶体的长度为 L ,电光调制过程中PPLN₁和PPLN₂中的 o 光和 e 光的动力学方程分别为

$$E_{o,e}(L, t - \tau) = \lambda_{x,y}(L, t - \tau) \exp(i\beta_0 L) \exp[i\phi_{x,y}(L, t - \tau)] \quad (9)$$

$$E_{o,e}(L, t - \tau_c) = \lambda_{x,y}(L, t - \tau_c) \exp(i\beta_0 L) \exp[i\phi_{x,y}(L, t - \tau_c)] \quad (10)$$

经电光调制后从PPLN₁输出的 x -PC和 y -PC满足

$$E_{PLx,PLy}(t - \tau) = \sqrt{\frac{S_A T_L v_c n_{1,2}}{\hbar\omega_0 V}} E_{o,e}(L, t - \tau) \quad (11)$$

同理从PPLN₂输出的 x -PC和 y -PC满足

$$E_{P2x,P2y}(t - \tau_c) = \sqrt{\frac{S_A T_L v_c n_{1,2}}{\hbar\omega_0 V}} E_{o,e}(L, t - \tau_c) \quad (12)$$

式(7)~(12)中,下标 o/e 分别表示 o 光和 e 光; \hbar 表示普朗克常量; T_L 表示光在激光腔内往返一次的时间,且 $T_L = 2n_g v_c / L$, v_c 表示光在真空中的传播速度, n_g 表示有源层有效折射率, L 表示激光腔长度; S_A 表示光斑有效面积; n_1 和 n_2 分别表示 o 光和 e 光的有效折射率; ω_0 为D-VCSEL和R-VCSEL的中心频率; V 表示有源层体积。

2 分析与讨论

根据表1中的系统参数,采用四阶龙格库塔法来对方程(1)~(12)进行计算。在驱动-响应VCSELs混沌系统中,为了量化 x -PC_{D1}同 x -PC_R,以及 y -PC_{D1}和 y -PC_R间的混沌同步质量,引入相关函数 $\rho_{x,y}$,并定义

表1 系统主要参数
 Table 1 Main system parameters

Parameters	Value	Parameters	Value
Line-width enhancement factor a	3	Duty ratio R	0.5
field decay rate k	300	Polar angle θ/π	1/2
Spin relaxation rate γ_s/ns^{-1}	50	Azimuth $\varphi/(\circ)$	0
Nonradiative carrier relaxation γ_c/ns^{-1}	1	The noise strength D	10^8
Dichroism γ_a/ns^{-1}	-0.1	Poled period of crystal Λ/m^{-1}	5.8×10^5
Birefringence γ_b/ns^{-1}	2	Crystal length L/mm	15
Delay time τ/ns	2	Refractive index of o-light n_1	2.24
Delay time τ_c/ns	5	Refractive index of e-light n_2	2.17
Bit duration time/ ns	10	Differential material gain $g/(\text{s} \cdot \text{m}^{-3})$	2.9×10^{-12}
Effective area of light spot $S_A/\mu\text{m}^2$	38.485	wave length λ_0/nm	1550
Length of the laser cavity $L_V/\mu\text{m}$	10	Field confinement factor to the active region Γ	0.05
Effective refractive index of active layer n_g	3.6	Optical feedback strength k_f/ns^{-1}	1.13
Volume of the active layer $V/\mu\text{m}^3$	384.85	Optical injection strength k_{inj}/ns^{-1}	1.13

$$\rho_{x,y} = \frac{\langle (I_{D_x, D_y}(t - \tau_T) - \langle I_{D_x, D_y}(t - \tau_T) \rangle) (I_{R_x, R_y}(t) - \langle I_{R_x, R_y}(t) \rangle) \rangle}{\left[\langle (I_{D_x, D_y}(t - \tau_T) - \langle I_{D_x, D_y}(t - \tau_T) \rangle)^2 \rangle \langle (I_{R_x, R_y}(t) - \langle I_{R_x, R_y}(t) \rangle)^2 \rangle \right]^{1/2}} \quad (13)$$

式中,下标 D_x, D_y, R_x 和 R_y 分别表示 x -PC_{D1}, y -PC_{D1}, x -PC_R 和 y -PC_R; I 表示光强且 $I_{D_x, D_y}(t) = |E_{D_x, D_y}(t)|^2$, $I_{R_x, R_y}(t) = |E_{R_x, R_y}(t)|^2$, $\tau_T = \tau_c - \tau$; 符号 $\langle \rangle$ 表示求时间均值; x -PC_{D1} 与 x -PC_R 的同步误差用 $SE_x(t)$ 表示, 且 $SE_x(t) = I_{D_x}(t) - I_{R_x}(t + \tau_T)$ 表示; 同理 y -PC_{D1} 与 y -PC_R 的同步误差 $SE_y(t) = I_{D_y}(t) - I_{R_y}(t + \tau_T)$ 表示; $\rho_{x,y}$ 的取值范围均在 0 到 1 之间, 且它们的取值越大表明混沌同步质量越高, 同步误差越小。当 $\rho_{x,y} = 1$ 时, $SE_x(t) = SE_y(t) = 0$, 表明实现了完全混沌同步, 即有

$$I_{R_x, R_y}(t + \tau_T) = I_{D_x, D_y}(t) \quad (14)$$

为了确保 D-VCSEL 和 R-VCSEL 能实现混沌态输出, 即 x -PC_{D1}, y -PC_{D1}, x -PC_R 和 y -PC_R 处于混沌态, 计算了它们在参数空间 E_D 和 μ_D 内的动力学状态演变, 结果如图 2。从图中可看出 x -PC_{D1}, y -PC_{D1}, x -PC_R 和 y -PC_R 在参数空间内演变会呈现出混沌态 (Chaotic State, CS) 和准周期态 (Quasi-Periodic State, QPS)。这里, 我们只关注混沌态参数区域。图 2(a) 中, μ_D 在区间 1~1.49, E_D 在区间 0.04~0.25 kV/mm, 或 0.3~0.53 kV/mm, 或

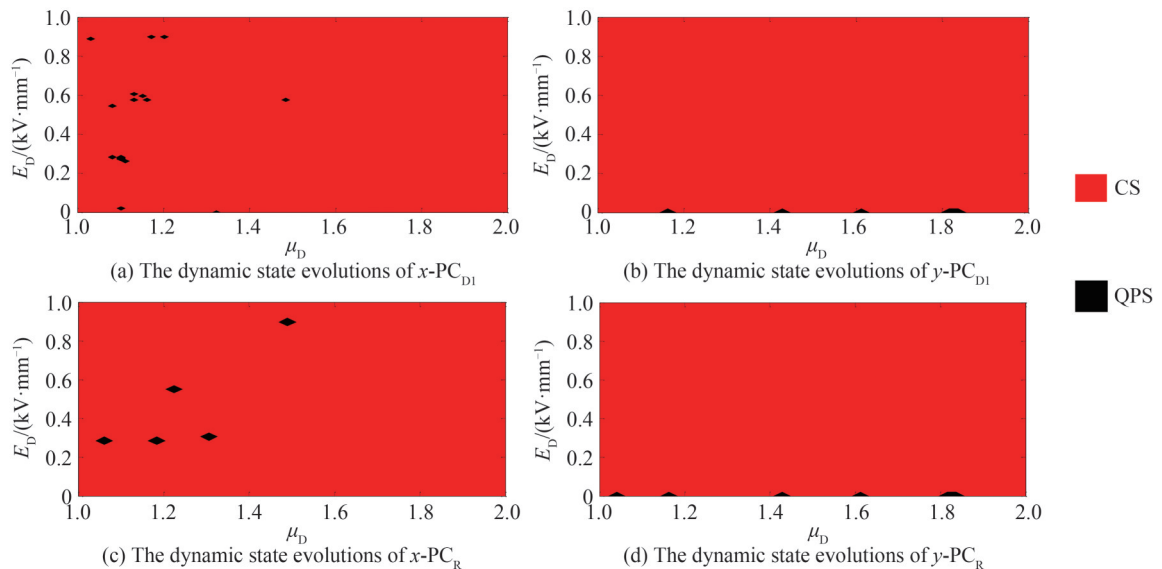

 图2 偏振光 x -PC_{D1}, y -PC_{D1}, x -PC_R 和 y -PC_R 在参数空间 E_D 和 μ_D 内的动力学状态演变

 Fig.2 Dynamic state evolutions of polarized light x -PC_{D1}, y -PC_{D1}, x -PC_R and y -PC_R in the parameter space E_D and μ_D

0.62~0.87 kV/mm, 或 0.91~1 kV/mm 变化时, x -PC_{D1} 均为混沌态。图 2(b) 中, 当 E_D 大于 0.021 kV/mm 时, y -PC_{D1} 均处于混沌态。图 2(c) 中, μ_D 在 1~1.49 区间内变化, 且 E_D 位于区间 0~0.26 kV/mm, 或 0.33~0.53 kV/mm, 或 0.58~0.87 kV/mm, 或 0.92~1 kV/mm 时, x -PC_R 为混沌态。图 2(d) 中, E_D 在区间 0.03~1 kV/mm 变化时, y -PC_R 均处于混沌态。

由于混沌逻辑运算的实现还依赖于偏振分量的混沌同步质量, 因此研究系统关键参数对混沌同步质量的影响很有必要。首先计算了相关函数在参数空间外加电场和归一化注入电流内的演变, 如图 3。从图中可以看出 ρ_x 和 ρ_y 的演变轨迹大致相同, 例如当电流小于 1.2 时, 随着外加电场的逐渐增大, 相关函数 ρ_x 和 ρ_y 较小且在 0~1 间快速振荡, 表明两偏振分量的同步质量差且不稳定; 当电流大于 1.3 时, 两偏振分量的完全混沌同步随外加电场从 0 逐渐增大到 1 而表现出准周期性的变化, 如 E_D 在区间 0.01~0.1 kV/mm, 或 0.21~0.37 kV/mm, 或 0.5~0.68 kV/mm, 或 0.8~0.98 kV/mm 变化时, 相关函数 ρ_x 和 ρ_y 恒为 1。

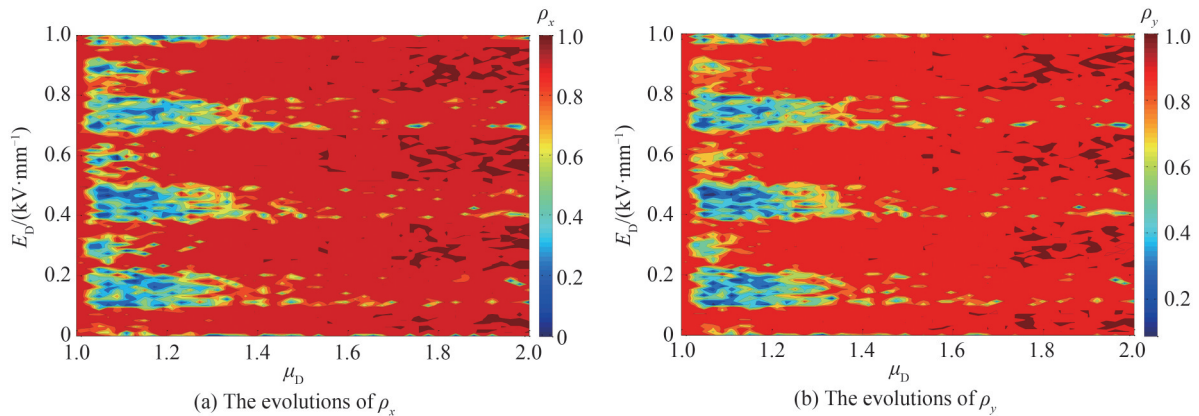


图 3 相关函数在参数空间外加电场和归一化注入电流内的动态演变

Fig.3 Dynamic evolutions of the correlation function within the parameter space of the applied electric field and the normalized injection current

为了找到外加电场和归一化注入电流的合适取值用于调制逻辑控制信号和逻辑输入, 进一步计算了相关函数在图 3 中的局部变化, 结果如图 4。研究了外加电场的几个特殊值如 0.434 3 kV/mm、0.583 kV/mm、0.73 kV/mm 和 1 kV/mm 条件下, 相关函数 ρ_x 和 ρ_y 随归一化注入电流的演变曲线。从图 4 可以看出当外加电场为 0.434 3 kV/mm 或 0.73 kV/mm 或 1 kV/mm 时, ρ_x 和 ρ_y 随归一化注入电流的增大均表现出较为剧烈的振荡, 且外加电场为 0.73 kV/mm 时曲线振荡的幅度更大, 表明同步质量差且更不稳定。如果外加电场固定在 0.583 kV/mm, 归一化注入电流在 1.3~2 范围内变化时, ρ_x 和 ρ_y 的值恒为 1, 此时偏振分量实现了完全混沌同步; 若电流小于 1.3, ρ_x 和 ρ_y 均出现快速波动, 表明偏振分量的同步质量较差。因此根据第 1 节步骤 5) 的

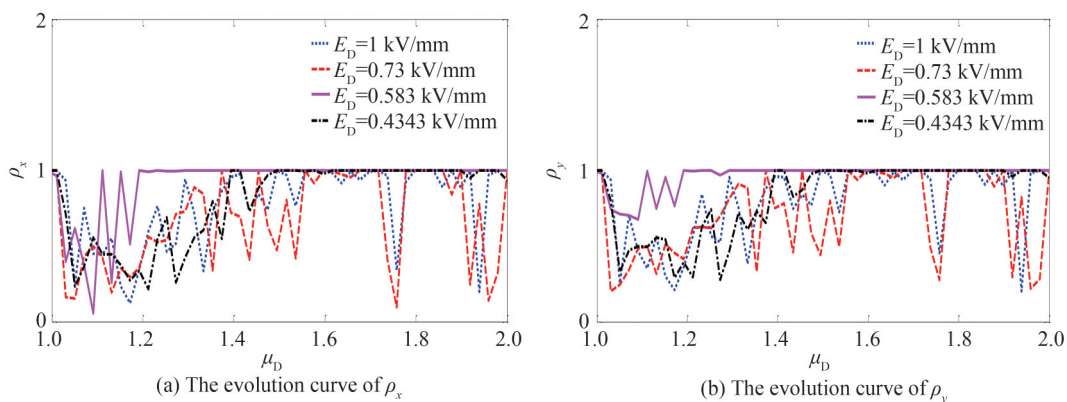


图 4 外加电场分别为 0.434 3、0.583、0.73、1 kV/mm 时, 相关函数随归一化注入电流的演变曲线

Fig.4 The evolution curves of the correlation function with the change of the normalized injection current when the applied electric field is 0.434 3 kV/mm, 0.583 kV/mm, 0.73 kV/mm and 1 kV/mm

解调规则,归一化注入电流应大于1.3,且外加电场可以选取0.583 kV/mm和0.73 kV/mm来实现偏振分量的完全混沌同步和不完全混沌同步两种情形。

假设归一化注入电流 μ_D 等于两方波电流之和即 $\mu_D=\mu_1+\mu_2$, μ_1 和 μ_2 分别被调制为逻辑输入 I_1 和 I_2 。由于逻辑输入 (I_1,I_2) 存在四种组合:(0,0)、(0,1)、(1,0)和(1,1),利用三级信号 μ_{D1} 、 μ_{D2} 和 μ_{D3} 来表示这四种逻辑输入组合,即 μ_{D1} 代表(0,1)和(1,0), μ_{D2} 表示(0,0),以及 μ_{D3} 等同于(1,1)。 μ_D 的三种可能取值,即三级信号 μ_{D1} 、 μ_{D2} 和 μ_{D3} 在一个比特位时间 T 内均为常数。 T 被设定为10 ns。根据混沌态和相关函数在参数空间内的演变规律,设 $\mu_{D1}=1.544$, $\mu_{D2}=1.546$, $\mu_{D3}=1.548$ 。因此当 $\mu_1=\mu_2=0.772$ 时 $I_1=I_2=0$;当 $\mu_1=\mu_2=0.774$ 时 $I_1=I_2=1$ 。外加电场 E_D 被调制为逻辑控制信号 C_f 且假设 $E_D=0.73$ kV/mm时, $C_f=1$;当 $E_D=0.583$ kV/mm时, $C_f=0$ 。

根据步骤5),逻辑输出 Z_3 和 Z_4 依赖于 x -PC_{D1}和 x -PC_R的阈值 A^* 。如何找到 A^* 的合适取值对逻辑输出的判定至关重要。为了解决这个问题,考虑 C_f 与 I_1 和 I_2 能满足不同的逻辑运算关系如AND、NAND、OR、NOR、XOR和XNOR。针对上述各种逻辑运算关系,分别计算出 $C_f=0$ 时偏振分量 x -PC_{D1}和 x -PC_R强度的最大均值 $A_{D_{rmax}}$ 和 $A_{R_{rmax}}$,以及 $C_f=1$ 时 x -PC_{D1}和 x -PC_R强度的最小均值 $A_{D_{rmin}}$ 和 $A_{R_{rmin}}$,具体如表2。从表中不难发现,阈值 A^* 满足条件 $(A_{D_{rmax}}, A_{R_{rmax}})_{\max} < A^* < (A_{D_{rmin}}, A_{R_{rmin}})_{\min}$ 即可。 $(A_{D_{rmax}}, A_{R_{rmax}})_{\max}$ 和 $(A_{D_{rmin}}, A_{R_{rmin}})_{\min}$ 分别表示表2中所有 $A_{D_{rmax}}$ 和 $A_{R_{rmax}}$ 中的最大值,以及所有 $A_{D_{rmin}}$ 和 $A_{R_{rmin}}$ 中的最小值。从表中很容易找到 $(A_{D_{rmin}}, A_{R_{rmin}})_{\min}=0.022$, $(A_{D_{rmax}}, A_{R_{rmax}})_{\max}=0.0064$ 。取 $A^*=0.015$ 。对于逻辑输出 Z_3 和 Z_4 ,可得若均值 A_{D_r} 和 A_{R_r} 均大于0.015,则 $Z_3=Z_4=1$;反之若 A_{D_r} 和 A_{R_r} 均小于0.015,则 $Z_3=Z_4=0$ 。

表2 针对 C_f 与逻辑输入满足不同的逻辑运算, $C_f=0$ 时 $I_{D_r}(t)$ 和 $I_{R_r}(t)$ 均值的最大值以及 $C_f=1$ 时 $I_{D_r}(t)$ 和 $I_{R_r}(t)$ 均值的最小值
Table 2 Maximum of the mean values of $I_{D_r}(t)$ and $I_{R_r}(t)$ for $C_f=0$ and minimum of the mean values of $I_{D_r}(t)$ and $I_{R_r}(t)$ for $C_f=1$ for different logic operations that C_f and the logic inputs satisfy

Logic operations	$(I_1, I_2) = (0, 0)$		$(I_1, I_2) = (0, 1) / (1, 0)$		$(I_1, I_2) = (1, 1)$	
	C_f	A_{D_r}, A_{R_r}	C_f	A_{D_r}, A_{R_r}	C_f	A_{D_r}, A_{R_r}
$C_f = I_1 \cdot I_2$	0	$A_{D_{rmax}} = 1.1 \times 10^{-4}$ $A_{R_{rmax}} = 1.0 \times 10^{-4}$	0	$A_{D_{rmax}} = 0.002$ $A_{R_{rmax}} = 0.002$	1	$A_{D_{rmin}} = 0.028$ $A_{R_{rmin}} = 0.025$
$C_f = \overline{I_1 \cdot I_2}$	1	$A_{D_{rmin}} = 0.029$ $A_{R_{rmin}} = 0.038$	1	$A_{D_{rmin}} = 0.027$ $A_{R_{rmin}} = 0.024$	0	$A_{D_{rmax}} = 7.5 \times 10^{-4}$ $A_{R_{rmax}} = 0.003$
$C_f = I_1 + I_2$	0	$A_{D_{rmax}} = 2.5 \times 10^{-4}$ $A_{R_{rmax}} = 0.0033$	1	$A_{D_{rmin}} = 0.027$ $A_{R_{rmin}} = 0.022$	1	$A_{D_{rmin}} = 0.028$ $A_{R_{rmin}} = 0.033$
$C_f = \overline{I_1 + I_2}$	1	$A_{D_{rmin}} = 0.029$ $A_{R_{rmin}} = 0.028$	0	$A_{D_{rmax}} = 1.07 \times 10^{-4}$ $A_{R_{rmax}} = 0.0064$	0	$A_{D_{rmax}} = 1.1 \times 10^{-4}$ $A_{R_{rmax}} = 1.0 \times 10^{-4}$
$C_f = I_1 \oplus I_2$	0	$A_{D_{rmax}} = 5.3 \times 10^{-4}$ $A_{R_{rmax}} = 0.003$	1	$A_{D_{rmin}} = 0.029$ $A_{R_{rmin}} = 0.024$	0	$A_{D_{rmax}} = 6.2 \times 10^{-4}$ $A_{R_{rmax}} = 0.004$
$C_f = I_1 \odot I_2$	1	$A_{D_{rmin}} = 0.029$ $A_{R_{rmin}} = 0.028$	0	$A_{D_{rmax}} = 0.002$ $A_{R_{rmax}} = 0.005$	1	$A_{D_{rmin}} = 0.029$ $A_{R_{rmin}} = 0.028$

通过执行步骤3)~5),实现了混沌逻辑运算的重构和存储操作,如图5。图5(a)为外加电场 E_D (逻辑控制信号 C_f)与归一化注入电流 μ_D (逻辑输入 I_1 和 I_2)的组合;图5(b)展示了同步误差 SE_x 与逻辑输出 Z_1 的组合;图5(c)展示了同步误差 SE_y 与逻辑输出 Z_2 的组合;图5(d)给出了偏振 x -PC_{D1}的光强 I_{D_r} 与逻辑输出 Z_3 的组合;图5(e)给出了偏振 y -PC_{D1}的光强 I_{R_r} 与逻辑输出 Z_4 的组合。从图5和表2可知,时间 t 在100~200 ns内 C_f 满足逻辑运算 $C_f=I_1+I_2$,当 (I_1, I_2) 分别为(0,1)、(1,0)和(1,1)时, $A_{D_{rmin}}=0.027 > A^*$, $A_{R_{rmin}}=0.022 > A^*$, $SE_x(t)$ 和 $SE_y(t)$ 均恒不为0,因此可得到 $Z_1(t)=Z_2(t)=Z_3(t)=Z_4(t+\tau_T)=1$;当 $(I_1, I_2)=(0, 0)$ 时, $A_{D_{rmax}}=2.5 \times 10^{-4} < A^*$, $A_{R_{rmax}}=0.0033 < A^*$,且 $SE_x(t)=SE_y(t)=0$,所以 $Z_1(t)=Z_2(t)=Z_3(t)=Z_4(t+\tau_T)=0$ 。综上可得,若 $C_f=I_1+I_2$,混沌逻辑OR运算就能成功实现。在200~300 ns内 C_f 满足关系 $C_f=\overline{I_1 \cdot I_2}$,当 $(I_1, I_2)=(1, 1)$ 时, $A_{D_{rmax}}=7.5 \times 10^{-4} < A^*$, $A_{R_{rmax}}=0.003 < A^*$, $SE_x(t)=SE_y(t)=0$,因此可得逻辑输出 $Z_1(t)=Z_2(t)=Z_3(t)=Z_4(t+\tau_T)=0$;当 (I_1, I_2) 为(0,0)、(0,1)或(1,0)时, $A_{D_{rmin}}=0.027 > A^*$, $A_{R_{rmin}}=0.024 > A^*$, $SE_x(t)$ 和 $SE_y(t)$ 均不恒为0,所以 $Z_1(t)=Z_2(t)=Z_3(t)=Z_4(t+\tau_T)=1$,由此获得混沌逻辑NAND运算,即 $Z_1(t)=Z_2(t)=Z_3(t)=Z_4(t+\tau_T)=\overline{I_1 \cdot I_2}$ 。同理在300~400 ns内 $C_f=I_1 \cdot I_2$,混沌逻辑AND运算 $Z_1(t)=Z_2(t)=Z_3(t)=Z_4(t+$

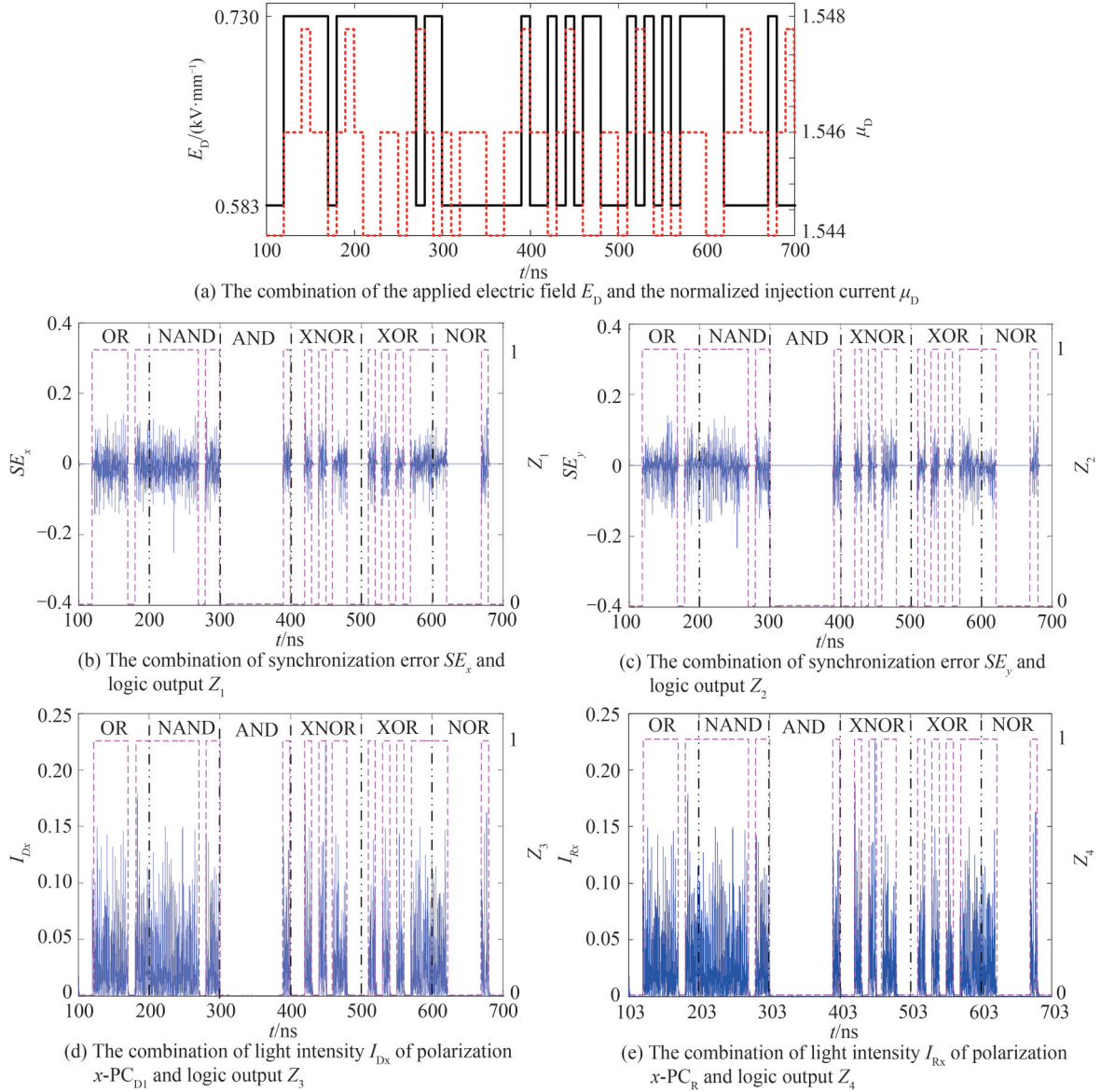


图5 可重构可存储的混沌逻辑计算OR、NAND、AND、XNOR、XOR和NOR

Fig.5 Reconfigurable and storable chaotic logic OR, NAND, AND, XNOR, XOR and NOR operations

$\tau_T = I_1 \cdot I_2$ 被成功实现。在 400~500 ns 内因为 C_i 满足 $C_i = I_1 \odot I_2$, 系统执行了逻辑 XNOR 运算, 即 $Z_1(t) = Z_2(t) = Z_3(t) = Z_4(t + \tau_T) = I_1 \odot I_2$ 。在 500~600 ns 内 $C_i = I_1 \oplus I_2$, 系统切换至混沌逻辑 XOR 运算。最后在 600~700 ns 内由于 $C_i = \overline{I_1 + I_2}$, 逻辑输出与逻辑输入转换成 NOR 运算。

由于激光混沌信号对系统初始条件以及外界干扰极度敏感, 因此当外加干扰如系统噪声较强时, 两混沌偏振分量的同步质量将会受到影响, 最终可能导致解调逻辑输出 Z_1 和 Z_2 时产生误码。为此以图 5 中可重构可存储的混沌逻辑计算 OR、NAND、AND、XNOR、XOR 和 NOR 为例, 探究了噪声强度为 10^9 时对逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 的影响, 结果如图 6。由于采用阈值机制解码的逻辑输出 Z_3 和 Z_4 具有良好的抗噪声性能, 没有产生误码。但是 $x\text{-PC}_{D1}$ 和 $x\text{-PC}_R$, $y\text{-PC}_{D1}$ 和 $y\text{-PC}_R$ 因噪声较大始终无法实现完全混沌同步 (如图 6(a)、(b)), 逻辑输出 Z_1 和 Z_2 均恒为 1, 导致 Z_1 和 Z_2 中存在很多误码。图中用符号 \times 和黑色实线标注了 Z_1 、 Z_2 中错误的码元及其长度, 这也显现出 Z_1 和 Z_2 的抗噪声性能较差。

为了提升 Z_1 和 Z_2 的抗噪声性能, 采取如下的方案: 设同步误差 SE_x 和 SE_y 有相同的阈值 M , 分别用 M_x 和 M_y 表示每一比特位时间内 SE_x 和 SE_y 的均方差。针对 C_i 与 I_1 和 I_2 满足不同的逻辑运算关系, 计算出 $C_i = 0$ 时 SE_x 和 SE_y 的均方差的最大值 $M_{x\max}$ 和 $M_{y\max}$, 以及 $C_i = 1$ 时 SE_x 和 SE_y 的均方差的最小值 $M_{x\min}$ 和 $M_{y\min}$, 如表 3, 噪

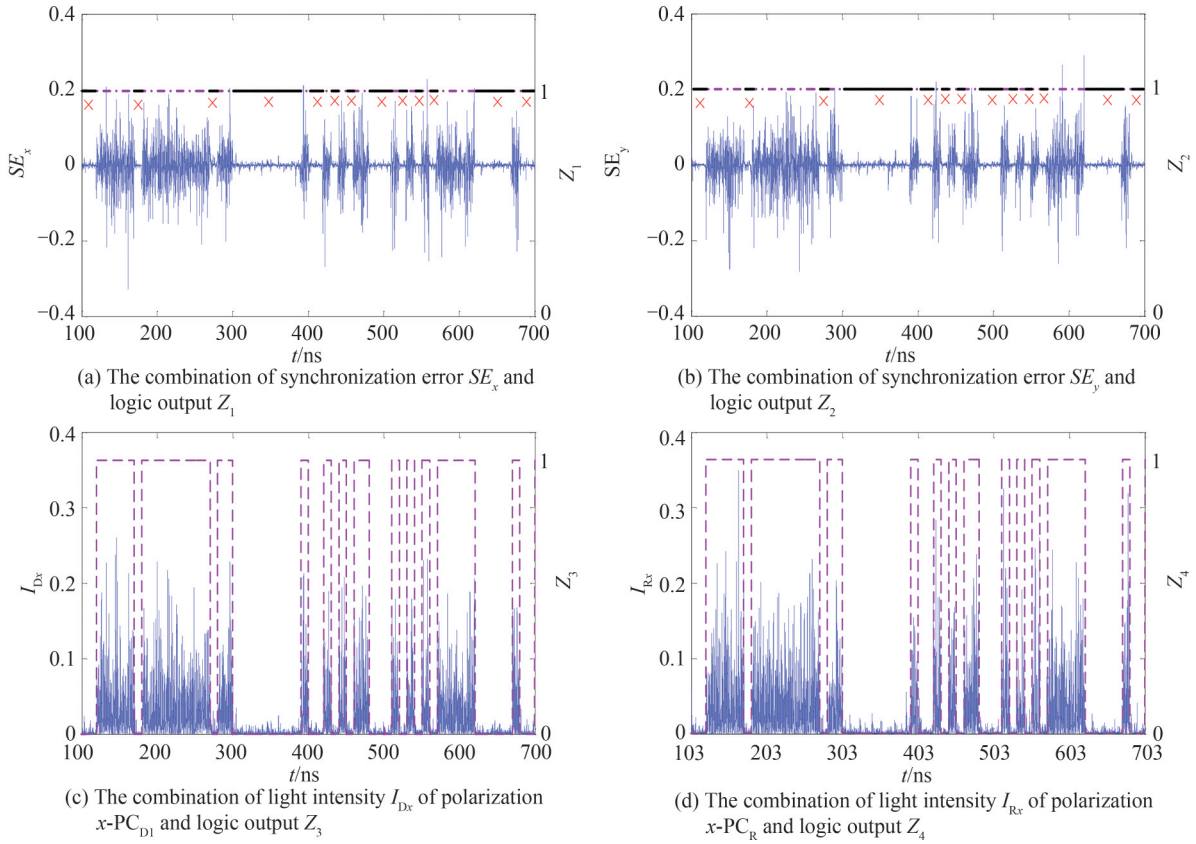

 图6 噪声强度 $D=1 \times 10^9$ 对逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 的影响

 Fig.6 Effect of noise strength $D=1 \times 10^9$ on logic outputs Z_1 , Z_2 , Z_3 and Z_4

声强度取 10^9 。从表中可得所有 $M_{x\max}$ 的最大值为 2.15×10^{-4} , 所有 $M_{y\max}$ 的最大值为 5.38×10^{-4} , 所有 $M_{x\min}$ 的最小值为 7.75×10^{-4} , 以及所有 $M_{y\min}$ 的最小值为 0.0013 。阈值 M^* 满足 $(M_{x\max}, M_{y\max})_{\max} < M^* < (M_{x\min}, M_{y\min})_{\min}$ 即可, $(M_{x\max}, M_{y\max})_{\max}$ 表示表 3 中所有 $M_{x\max}$ 和 $M_{y\max}$ 中的最大值, 即 $(M_{x\max}, M_{y\max})_{\max} = 5.38 \times 10^{-4}$, $(M_{x\min}, M_{y\min})_{\min}$ 表示表 3 中所有 $M_{x\min}$ 和 $M_{y\min}$ 中的最小值, 即 $(M_{x\min}, M_{y\min})_{\min} = 7.75 \times 10^{-4}$, 阈值 M^* 取值为 6.6×10^{-4} 。因此逻辑输出 Z_1 和 Z_2 的译码规则调整为若 $M_x > M^*, M_y > M^*, Z_1 = Z_2 = 1$; 反之若 $M_x < M^*, M_y < M^*, Z_1 = Z_2 = 0$ 。

表 3 针对 C_i 与逻辑输入满足不同的逻辑运算, $C_i=0$ 时 SE_x 和 SE_y 均方差的最大值以及 $C_i=1$ 时 SE_x 和 SE_y 均方差的最小值
 Table 3 Maximum of the mean square errors of SE_x and SE_y when $C_i=0$ and minimum of the mean square errors of SE_x and SE_y when $C_i=1$ for different logic operations that C_i and the logic inputs satisfy

Logic operations	$(I_1, I_2) = (0, 0)$		$(I_1, I_2) = (0, 1) / (1, 0)$		$(I_1, I_2) = (1, 1)$	
	C_i	M_x, M_y	C_i	M_x, M_y	C_i	M_x, M_y
$C_i = I_1 \cdot I_2$	0	$M_{x\max} = 2.67 \times 10^{-5}$ $M_{y\max} = 3.75 \times 10^{-4}$	0	$M_{x\max} = 2.15 \times 10^{-4}$ $M_{y\max} = 1.46 \times 10^{-4}$	1	$M_{x\min} = 0.0017$ $M_{y\min} = 0.0014$
$C_i = \overline{I_1 \cdot I_2}$	1	$M_{x\min} = 0.0025$ $M_{y\min} = 0.0013$	1	$M_{x\min} = 0.0017$ $M_{y\min} = 0.003$	0	$M_{x\max} = 4.13 \times 10^{-5}$ $M_{y\max} = 5.38 \times 10^{-4}$
$C_i = I_1 + I_2$	0	$M_{x\max} = 1.35 \times 10^{-4}$ $M_{y\max} = 1.01 \times 10^{-4}$	1	$M_{x\min} = 0.0025$ $M_{y\min} = 0.0026$	1	$M_{x\min} = 7.75 \times 10^{-4}$ $M_{y\min} = 0.0021$
$C_i = \overline{I_1 + I_2}$	1	$M_{x\min} = 0.0013$ $M_{y\min} = 0.0019$	0	$M_{x\max} = 1.58 \times 10^{-4}$ $M_{y\max} = 5.91 \times 10^{-5}$	0	$M_{x\max} = 7.26 \times 10^{-5}$ $M_{y\max} = 1.48 \times 10^{-5}$
$C_i = I_1 \oplus I_2$	0	$M_{x\max} = 1.36 \times 10^{-5}$ $M_{y\max} = 2.08 \times 10^{-5}$	1	$M_{x\min} = 0.0029$ $M_{y\min} = 0.0026$	0	$M_{x\max} = 1.4 \times 10^{-5}$ $M_{y\max} = 1.77 \times 10^{-5}$
$C_i = I_1 \odot I_2$	1	$M_{x\min} = 9.99 \times 10^{-4}$ $M_{y\min} = 0.002$	0	$M_{x\max} = 4.34 \times 10^{-5}$ $M_{y\max} = 1.01 \times 10^{-4}$	1	$M_{x\min} = 9.92 \times 10^{-4}$ $M_{y\min} = 0.0016$

进一步研究了噪声强度为 1.77×10^9 对逻辑运算的影响,结果如图 7。从图 7(a)、(b)可以看出 x -PC_{D1} 和 x -PC_R, y -PC_{D1} 和 y -PC_R 因噪声无法实现完全混沌同步,但是由于采用阈值机制,逻辑输出 Z_1 和 Z_2 进行解码时没有产生误码。逻辑输出 Z_3 和 Z_4 依然保持良好的抗噪声性能,实现正确解码。

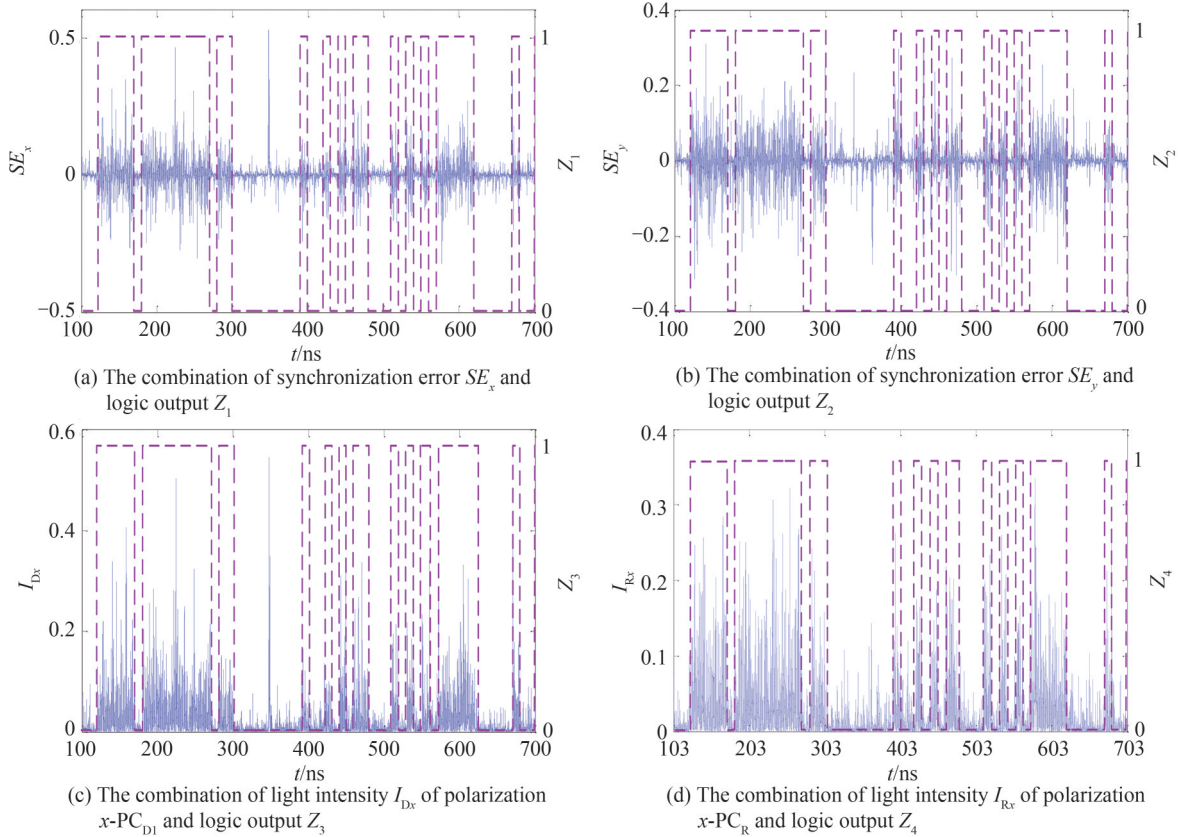


图 7 噪声强度 $D=1.77 \times 10^9$ 对逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 的影响

Fig.7 Effect of noise strength $D=1.77 \times 10^9$ on logic outputs Z_1 , Z_2 , Z_3 and Z_4

当噪声强度增至 1.84×10^9 时,逻辑运算受噪声的影响如图 8。从图中可以看出逻辑输出 Z_1 产生了两处解码错误,逻辑输出 Z_2 产生了四处解码错误,且均是“0”码误译成“1”码。产生解码错误的主要原因是噪声使得同步误差发生剧烈振荡,在比特位持续时间内同步误差的均方差大于阈值,导致逻辑输出译为“1”码。逻辑输出 Z_3 和 Z_4 依然没有产生误码,由此可以得出逻辑输出 Z_3 和 Z_4 的抗噪声要优于 Z_1 和 Z_2 的抗噪声性能。

图 9 展示了噪声强度为 1.89×10^9 对逻辑运算的影响。从图中可以看出逻辑输出 Z_1 和 Z_2 分别有两处误码, Z_3 和 Z_4 分别有一处误码,所以在此噪声强度下逻辑运算失效。

综上可得通过采用阈值机制来解调逻辑输出,能有效地增强逻辑运算的抗噪声性能。噪声强度在 1.77×10^9 范围内对逻辑运算不会产生影响。噪声强度在 1.84×10^9 范围内不会对逻辑输出 Z_3 和 Z_4 产生影响,在这种情况下将 Z_3 、 Z_4 分别同 Z_1 、 Z_2 比较就能实现对 Z_1 、 Z_2 的检错和纠错处理。当噪声强度超过 1.89×10^9 时逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 均会产生误码,逻辑运算失效,逻辑输出也丧失了检错和纠错的性能。

最后探讨不同的时延 τ_c 对逻辑输出 Z_4 的成功概率的影响。成功概率的定义为正确的码元数目与总的码元数目的比值,这里的噪声强度为 10^9 。数值仿真结果如图 10。结果表明时延 τ_c 在 ~ 120 ns 范围内变化时,逻辑输出 Z_4 的成功概率恒为 1,即逻辑输出 Z_4 不会产生误码。逻辑输出 Z_4 能正确输出的原因在于外加电场为 0.583 kV/mm 时,系统实现了完全混沌同步,此时时延 τ_c 不会影响同步质量^[28],因此逻辑输出 Z_4 可以成功地延时存储逻辑输出 Z_3 中的“0”码。当外加电场为 0.73 kV/mm 时, τ_c 在一定范围内变化时,系统始终处于不完全混沌同步状态^[28],根据阈值机制能成功解调出 Z_4 中的“1”码。因此时延 τ_c 在 $3 \sim 120$ ns 范围内变化时不会对逻辑运算的延时存储产生影响。

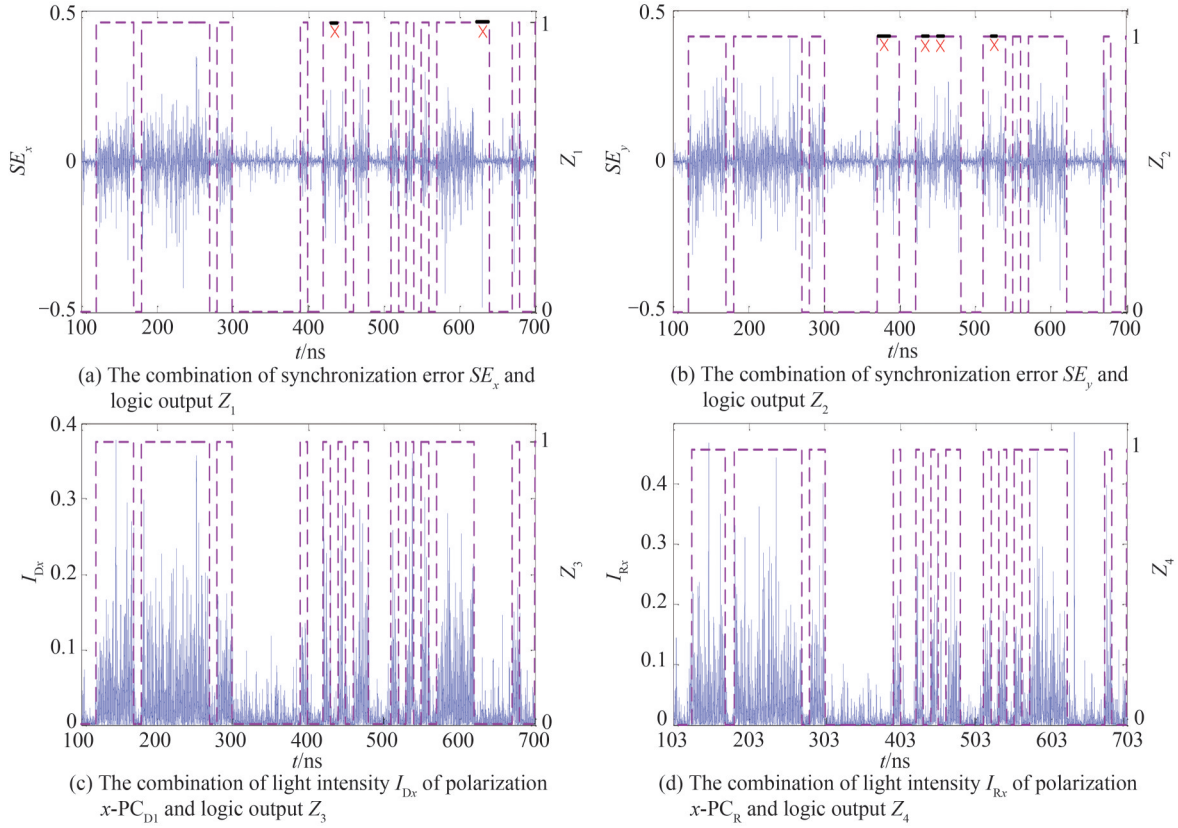


图8 噪声强度 $D=1.84 \times 10^9$ 对逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 的影响
 Fig.8 Effect of noise strength $D=1.84 \times 10^9$ on logic outputs Z_1 , Z_2 , Z_3 and Z_4

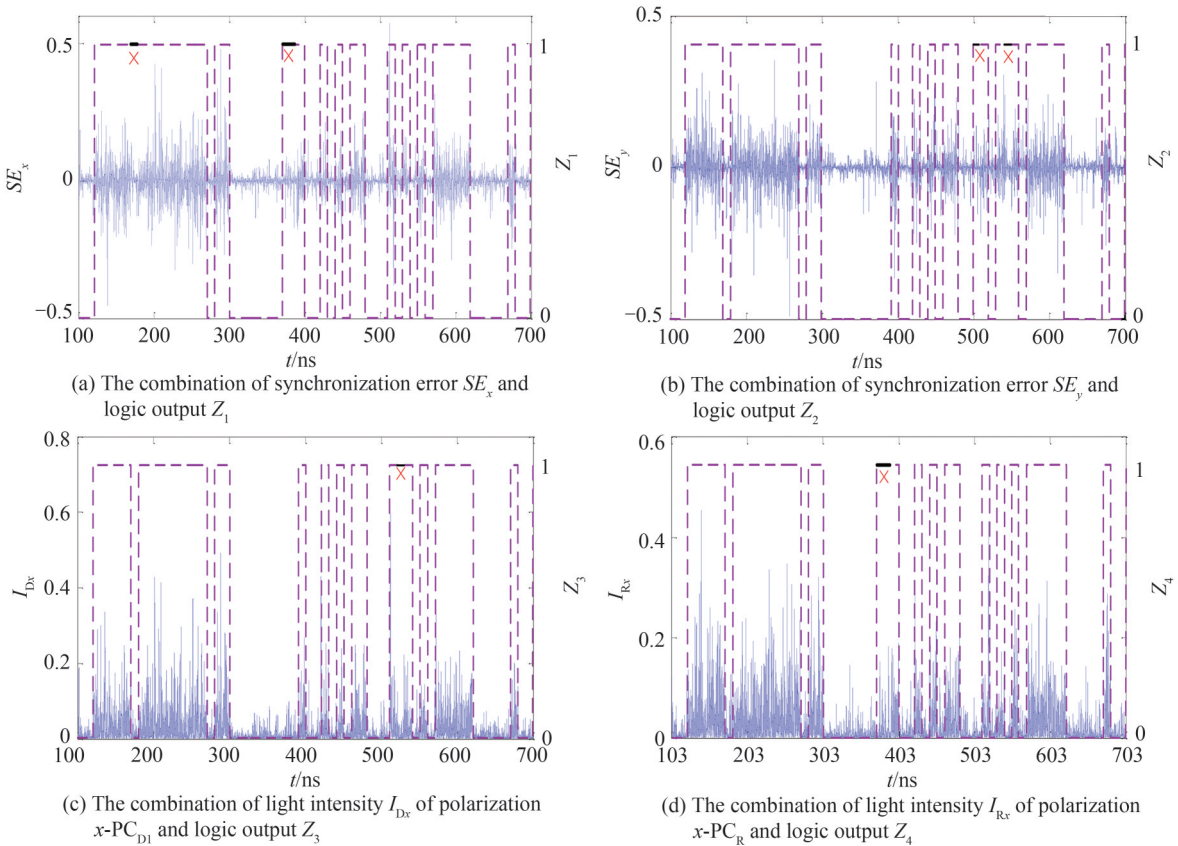
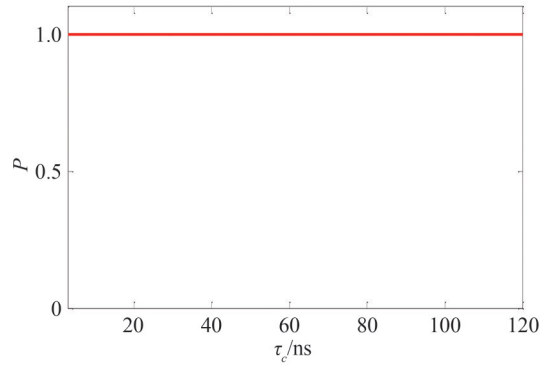


图9 噪声强度 $D=1.89 \times 10^9$ 对逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 的影响
 Fig.9 Effect of noise strength $D=1.89 \times 10^9$ on logic outputs Z_1 , Z_2 , Z_3 and Z_4

图10 成功概率 P 随时延 τ_c 的演变Fig.10 The evolution of the success probability P with the time delay τ_c .

3 结论

本文提出了一种具备检错和纠错性能的可重构可存储的混沌逻辑运算的实现方案。利用驱动-响应垂直腔面发射激光器混沌系统,系统参数外加电场和归一化注入电流分别被调制为逻辑控制信号和逻辑输入,逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 均采用阈值机制进行解调。转换逻辑控制信号和逻辑输入的运算关系,系统就能实现混沌逻辑运算如AND、NAND、OR、NOR、XOR和XNOR的重构和存储操作。研究发现当噪声强度在 1.77×10^9 范围内时,逻辑输出不会产生误码。当噪声强度达到 1.84×10^9 时,逻辑输出 Z_1 、 Z_2 产生误码,但逻辑输出 Z_3 和 Z_4 保持正确地输出。如果噪声强度达到 1.89×10^9 ,逻辑输出 Z_1 、 Z_2 、 Z_3 和 Z_4 均出现误码,逻辑运算失效。因此 Z_3 和 Z_4 的抗噪声性能要优于 Z_1 和 Z_2 的抗噪声性能。且若噪声强度在 1.84×10^9 范围内,逻辑输出 Z_1 、 Z_2 可通过同 Z_3 和 Z_4 校对实现检错和纠错处理。并且在一定的噪声强度下,时延 τ_c 在3~120 ns范围内变化时不会对逻辑运算的延时存储产生影响。

参考文献

- [1] ZHONG Dongzhou, XU Geliang, LUO Wei, et al. Real-time multi-target ranging based on chaotic polarization laser radars in the drive response VCSELs [J]. Optics Express, 2017, 25(18): 21684-21704.
- [2] ZHONG Dongzhou, XIAO Zhenzhen, YANG Guangze, et al. Real-time ranging of the six orientational targets by using chaotic polarization radars in the three-node VCSEL network [J]. Optics Express, 2019, 27(7): 9857-9867.
- [3] TANG Xi, XIA Guangqiong, RAN Can, et al. Fast physical random bit generation based on a broadband chaotic entropy source originated from a filtered feedback WRC-FPLD [J]. IEEE Photonics Journal, 2019, 11(2): 7800710.
- [4] TANG Xi, XIA Guangqiong, JAYAPRASATH E, et al. Multi-channel physical random bits generation using a vertical-cavity surface-emitting laser under chaotic optical injection [J]. IEEE Access, 2018, 6: 3565-3572.
- [5] ZAMORA-MUNTAND J, MASOLLER C. Numerical implementation of a VCSEL-based stochastic logic gate via polarization bistability [J]. Optics Express, 2010, 18(16): 16418-16429.
- [6] PERRONE S, VILASECA R, MASOLLER C. Stochastic logic gate that exploits noise and polarization bistability in an optically injected VCSEL [J]. Optics Express, 2012, 20(20): 22692-22699.
- [7] SALVIDE M F, MASOLLER C, TORRE M S. All-optical stochastic logic gate based on a VCSEL with tunable optical injection [J]. IEEE Journal of Quantum Electronics, 2013, 49(10): 886-893.
- [8] ZHONG Dongzhou, CAO Wenhua, WU Zhengmao, et al. Vector polarization mode switch mechanism of the vertical-cavity surface-emitting laser with anisotropic optical feedback injection [J]. Acta Physica Sinica, 2008, 57(3): 1548-1556.
钟东洲, 曹文华, 吴正茂, 等. 各向异性光反馈注入的垂直腔面发射激光器的矢量偏振模转换机理[J]. 物理学报, 2008, 57(3): 1548-1556.
- [9] ZHONG Dongzhou, XIA Guangqiong, WANG Fei, et al. Vectorial chaotic synchronization characteristics of unidirectionally coupled and injected vertical-cavity surface-emitting lasers based on optical feedback [J]. Acta Physica Sinica, 2007, 56(6): 3279-3291.
钟东洲, 夏光琼, 王飞, 等. 基于光反馈的单向耦合注入垂直腔面发射激光器的矢量混沌同步特性研究[J]. 物理学报, 2007, 56(6): 3279-3291.
- [10] QIU Haiying, WU Zhengmao, DENG Tao, et al. Polarization switching characteristics in a 1 550 nm VCSEL subject to circularly polarized optical injection [J]. Chinese Optics Letters, 2016, 14(2): 021401.
- [11] GUO Peng, YANG Weijian, PAREKH D, et al. Experimental and theoretical study of wide hysteresis cycles in 1 550 nm

- VCSELs under optical injection [J]. *Optics Express*, 2013, 21(3): 3125–3132.
- [12] CHEN Jianjun, XIA Guangqiong, WU Zhengmao. Power-induced polarization switching and bistability characteristics in 1550-nm VCSELs subjected to orthogonal optical injection [J]. *Chinese Physics B*, 2015, 24(2): 024210.
- [13] MASOLLER C, TOME M S. Influence of optical feedback on the polarization switching of vertical-cavity surface-emitting lasers [J]. *IEEE Journal of Quantum Electronics*, 2005, 41(4): 483–489.
- [14] XIANG Shuiying, PAN Wei, YAN Lianshan, et al. Variable-polarization optical feedback induced hysteresis of the polarization switching in vertical-cavity surface-emitting lasers [J]. *Journal of the Optical Society of America B*, 2010, 27(12): 2512–2517.
- [15] ZHANG Weili, PAN Wei, LUO Bin, et al. Polarization switching and hysteresis of VCSEL with time-varying optical injection [J]. *IEEE Journal of Quantum Electronics*, 2008, 14(3): 889–894.
- [16] HONG Y, JU R, SPENCER P S, et al. Investigation of polarization bistability in vertical-cavity surface-emitting lasers subjected to optical feedback [J]. *IEEE Journal of Quantum Electronics*, 2005, 41(5): 619–624.
- [17] KAWAGUCHI H. Polarization-bistable vertical-cavity surface-emitting lasers: application for optical bit memory [J]. *IEEE Journal of Quantum Electronics*, 2009, 17(4): 265–274.
- [18] ZHONG Zhuqiang, LI Songsui, CHAN Szechun, et al. Polarization resolved time-delay signatures of chaos induced by FBG-feedback in VCSEL [J]. *Optics Express*, 2015, 23(12): 15459–15468.
- [19] ZHONG Dongzhou, LUO Wei, XU Geliang. Optoelectronic composite logic gates controlled by the logic operation in a VCSEL with external optical injection [J]. *International Journal of Bifurcation and Chaos*, 2016, 26(12): 1650210.
- [20] ZHONG Dongzhou, LUO Wei, XU Geliang. Controllable all-optical stochastic logic gates and their delay storages based on the cascaded VCSELs with optical-injection [J]. *Chinese Physics B*, 2016, 25(9): 094202.
- [21] ZHONG Dongzhou, XU Geliang, LUO Wei. Reconfigurable dynamic all-optical chaotic logic operations in an optically injected VCSEL [J]. *Chinese Physics B*, 2017, 26(12): 261–271.
- [22] XU Geliang, XU Jian, KONG Lingli, et al. Reconfigurable optical chaotic logic operations with fast rate for picosecond scale [J]. *Acta Photonica Sinica*, 2021, 50(5): 0506008.
许葛亮, 徐健, 孔令立, 等. 皮秒量级的快速可重构光混沌逻辑运算[J]. *光子学报*, 2021, 50(5): 0506008.
- [23] YAN Senlin. Chaotic laser parallel synchronization and its application in all-optical logic gates [J]. *Acta Physica Sinica*, 2013, 62(23): 230504.
颜森林. 激光混沌并联同步及其在全光逻辑门中的应用研究[J]. *物理学报*, 2013, 62(23): 230504.
- [24] YAN Senlin. Synchronous implementation of optoelectronic NOR and XNOR logic gates using parallel synchronization of three chaotic lasers [J]. *Chinese Physics B*, 2014, 23(9): 138–142.
- [25] WANG Ziruo, LI Pu, JIA Zhiwei, et al. Synchronization of polarization chaos in mutually coupled free-running VCSELs [J]. *Optics Express*, 2021, 29(12): 17940–17950.
- [26] ZHANG Xiaomai, LI Pu, JIA Zhiwei, et al. Leader-laggard synchronization of polarization chaos in mutually coupled free-running VCSELs [J]. *Optics Express*, 2023, 31(2): 2414–2425.
- [27] ZHONG Dongzhou, XU Zhe, ZHAO Keke, et al. Exploring of chaotic secure communications with high-speed using optical reservoir computers [J]. *Acta Photonica Sinica*, 2022, 51(4): 0406005.
- [28] XU Geliang, KONG Lingli, XU Jian, et al. Research on synchronization quality in chaotic polarization multiplexing system of cascaded VCSELs with optical feedback [J]. *Journal of Changchun Normal University*, 2021, 40(4): 13–20.
许葛亮, 孔令立, 徐健, 等. 光反馈级联 VCSELs 混沌偏振复用系统的同步质量研究[J]. *长春师范大学学报*, 2021, 40(4): 13–20.

Reconfigurable and Storable Chaotic Logic Operations with the Performance of Error Detection and Correction

XU Geliang¹, XING Shiliang², YE Song¹, DENG Jiaqi¹, ZHANG Man¹

(1 *School of Electronic Engineering, Chaohu University, Hefei 238000, China*)

(2 *School of Machinery and Electronics Engineering, Jingdezhen University, Jingdezhen 333000, China*)

Abstract: In the digital chaotic secure communication network, the dynamic packet switching technology of digital chaotic signal plays an important role in improving the switching and transmission capacity of the optical chaotic network. In the optical chaotic packet switching node, the processing of optical chaotic signals involves multiplexing, demultiplexing, switching, regeneration, storage and so on. However, the

premise of realizing the optical chaotic signal processing mentioned above is to have optical chaotic logic gates (such as logic NOT, AND, NAND, OR, NOR, XOR, XNOR) and digital chaotic bit computing devices (chaotic combinational logic operation devices and chaotic sequential logic operation devices) with low power, low loss and high speed. Therefore, in order to realize the digital chaotic signal dynamic packet switching technology, it is necessary to explore the low-loss and high-speed digital chaotic logic operation. Compared with traditional logic devices (such as digital circuit logic devices, optoelectronic logic devices, all-optical logic devices), chaotic logic operation devices have the characteristics of more security, more flexibility, lower power cost and so on. However, at present, most of the schemes implement the static chaotic logic operation, and the development of reconfigurable chaotic logic operation, chaotic combinational and sequential logic operation is still lagging behind. The external interference will not only affect the chaotic signal, but also may cause the system parameters to drift, change the output polarization state of the laser, resulting in the instability of the chaotic logic operation, and even errors. Therefore, it is of great value and significance to study the reconfigurable and storable chaotic logic operation with strong robustness and the ability of error detection and correction.

In the implementation scheme of reconfigurable and storable chaotic logic operation, the normalized injection current of D-VCSEL is modulated as a logic input, and the applied electric field on PPLN₁ is modulated as a logic control signal. The logic outputs Z_1 and Z_2 are demodulated by a threshold mechanism for synchronization errors between the polarizations (x -PC_{D1} and y -PC_{D1}) from the D-VCSEL and those (x -PC_R and y -PC_R) from R-VCSEL. The logic outputs Z_3 and Z_4 are obtained by demodulating the x -PC_{D1} and the x -PC_R, respectively, based on threshold mechanism. The system can reconstruct and store the chaotic logic operations by transforming the logic operation relationship between the logic control signal and the logic input. It is found that when the noise intensity is 1×10^9 , the logic outputs Z_1 and Z_2 demodulated by the complete chaotic synchronization mechanism have more errors, but Z_3 and Z_4 have no errors. In order to improve the anti-noise performance of Z_1 and Z_2 , the threshold mechanism is used to demodulate the synchronization error. When the noise intensity reaches 1.77×10^9 , the logic output will not generate bit errors. When the noise intensity reaches 1.84×10^9 , the logic outputs Z_1 and Z_2 generate bit errors, but the logic outputs Z_3 and Z_4 remain correct. If the noise intensity reaches 1.89×10^9 , the logic outputs Z_1 , Z_2 , Z_3 and Z_4 all have bit errors, and the logic operation fails. Therefore, the anti-noise performance of Z_3 and Z_4 is better than that of Z_1 and Z_2 . And if the noise intensity is in the range of 1.84×10^9 , the logic outputs Z_1 and Z_2 can be checked with Z_3 and Z_4 to realize error detection and correction processing.

Key words: Chaos; Vertical cavity surface emitting laser; Chaos synchronization; Logic operations; Anti-noise performance

OCIS Codes: 200.4660; 200.4560; 060.4510; 140.1540