

“西光所建所六十周年暨《光子学报》创刊五十周年”专辑

引用格式: YIN Yuexin, XU Xinru, DING Yingzhi, et al. Progress and Challenge of 3D Photonic Integrated Circuit (Invited) [J]. Acta Photonica Sinica, 2022, 51(7):0751416

尹悦鑫, 许馨如, 丁颖智, 等. 三维光子集成芯片的进展与挑战(特邀)[J]. 光子学报, 2022, 51(7):0751416

三维光子集成芯片的进展与挑战(特邀)

尹悦鑫, 许馨如, 丁颖智, 姚梦可, 曾国宴, 张大明

(吉林大学 电子科学与工程学院 集成光电子学国家重点实验室, 长春 130012)

摘 要:以光子为信息传输媒介的光子集成芯片, 具有高带宽、高速率、高灵敏度等优点, 在光通信、光互联、光学传感等领域得到了广泛的研究与应用。为了进一步提高光子集成芯片的集成度、扩展光子集成芯片的功能, 在原本二维平面的光子集成芯片的基础上, 通过晶圆键合、气相沉积、磁控溅射等方法, 制备三维集成光子芯片。利用多层堆叠的方式, 使光子集成芯片在厚度上进行拓展, 在紧凑的尺寸上, 实现大规模集成光子芯片的制备。本文介绍了几种三维光子集成芯片的材料平台与制备工艺, 包括单晶硅(c-Si)键合、SiN-on-SOI、非晶硅(a-Si)沉积、多晶硅(p-Si)沉积和聚合物三维光子集成芯片制造平台, 结合关键器件与在光互连、光通信、激光雷达等领域的应用, 介绍了不同工艺平台的发展现状与挑战。

关键词:光子集成芯片; 三维集成; 光通信; 光交叉; 激光雷达

中图分类号: TN256

文献标识码: A

doi:10.3788/gzxb20225107.0751416

0 引言

以光为媒介的通信系统在光纤器件上得到了广泛的应用, 随着 5G 网络、物联网、数据中心的提出, 对短距离通信提出了更大的容量与更低的功耗的要求^[1-4]。光子集成芯片(Photonic Integrated Circuits, PICs)具有高度集成化的特点, 可实现复杂片上光网络、拓展通信带宽、降低通信成本^[4-6]。不同的材料平台, 如硅光子平台(Silicon Photonics, SiPh)^[7, 8]、氮化硅平台(Silicon Nitride, SiN)^[9, 10]、III-V 族材料平台^[11, 12]、二氧化硅平台^[13, 14]和聚合物平台^[15, 16], 均已实现了多种功能的光子集成芯片。例如, 硅光子平台由于其高折射率差、互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺兼容的特点, 是实现紧凑器件和大规模生产的光子平台。然而, 受限于光刻窗口, 目前可以实现的最大规模的光交叉仅为 64×64 ^[17], 不能满足日益增长的通信容量与互联端口数目的需求。为了进一步提高集成光子集成芯片的集成度, 拓展光子集成芯片的功能, 人们将目光放在了三维光子集成芯片(Three Dimensional Photonics Integrated Circuits, 3D-PICs)上^[18-21]。三维光子集成芯片的概念起源于三维电子集成芯片, 在集成电路中将电路进行多层堆叠, 通过硅通孔(Through-Silicon-Vias, TSVs)实现层间的控制, 多层堆叠的集成电路不仅可以实现高密度的集成电路芯片, TSV 的引入还可以极大降低走线的复杂度和长度, 降低由于连接线所引入的功耗、延时, 进而扩大通信容量带宽, 降低噪声^[21]。在光子集成芯片领域, 通过光通孔(Through-Silicon-Optical-Via, TSOV), 即层间转换器, 实现多层光子器件之间的互联。层间的波导交叉相比层内的波导交叉呈现出更低的损耗和串扰, 为实现更大规模光子集成器件提供了可能。除了集成度的提高, 通过晶圆键合、气相沉积、旋涂、磁控溅射方式, 可以实现多种材料体系光子器件的单片混合集成, 对光子集成芯片功能的拓展也提供了可能, 为实现片上光源、传输、路由、探测提供了可选方案。

本文将围绕近年三维光子器件的发展与应用展开讨论, 包括三维光子集成芯片的起源与其优势、制备

基金项目: 国家重点研发计划(No. 2019YFB2203001)

第一作者: 尹悦鑫(1995—), 男, 博士研究生, 主要研究方向为三维混合集成芯片。Email: yxyin20@jlu.edu.cn

导师(通讯作者): 张大明(1970—), 男, 教授, 博士, 主要研究方向为平面集成光路器件及其集成技术。Email: zhangdm@jlu.edu.cn

收稿日期: 2022-05-05; 录用日期: 2022-06-07

<http://www.photon.ac.cn>

三维光子集成器件的方法、三维光子集成芯片的材料选择与发展经过,结合制备的器件与应用,阐述了三维光子集成芯片的优点以及面临的挑战。

1 三维光子集成芯片的制备方法

三维光子集成芯片的制备,要确保引入的工艺与已有的工艺兼容。以硅光子平台为例,高温工艺步骤的引入使得原本的掺杂区形成横向扩散,引起有源器件的失效,因此三维光子集成芯片的材料与工艺需要经过严格的选择与优化。到目前为止,已有的三维光子集成芯片的材料选择主要包括硅光子平台^[19-32]、氮化硅^[33-42]、聚合物^[43-56]、 Al_2O_3 ^[57-61]、III-V族化合物^[62-64]等,根据材料不同,制备工艺也有区别,目前主流的方案是晶圆键合方法和气相沉积方法。

1.1 键合方式

晶圆键合是指两块同质或者异质的晶圆,通过化学和物理的作用,紧密结合在一起的制备方法。在硅光子平台中,通过晶圆键合的方式制备三维光子器件的流程如图1所示。在完成如图1(a)~(c)所示的第一层工艺之后,通过化学机械抛光(Chemical Mechanical Polishing, CMP)将二氧化硅层减薄到所需的厚度,再经过晶圆键合(图1(e)),将经过处理的另一张晶圆与第一张制备好光子器件的晶圆键合在一起,经过腐蚀方式除去硅衬底和埋氧层(Buried Oxide, BOX),如图1(f)所示。接下来在第二层硅上制备波导器件,如图1(f)~(h)。最后,CMP磨平二氧化硅上包层到指定厚度,制备到达不同波导层的金属通孔实现控制,如图1(i)。键合的方式适用于晶圆级生产,在大规模生产、降低单元器件成本上,有显著优势。除此之外,还可以将集成电路芯片和集成光路芯片分别在不同晶圆上制备,再通过键合实现光电混合集成芯片的制备。III-V化合物^[64]也可以通过键合的方式与硅光芯片实现单片集成,为片上光源提供解决方案。

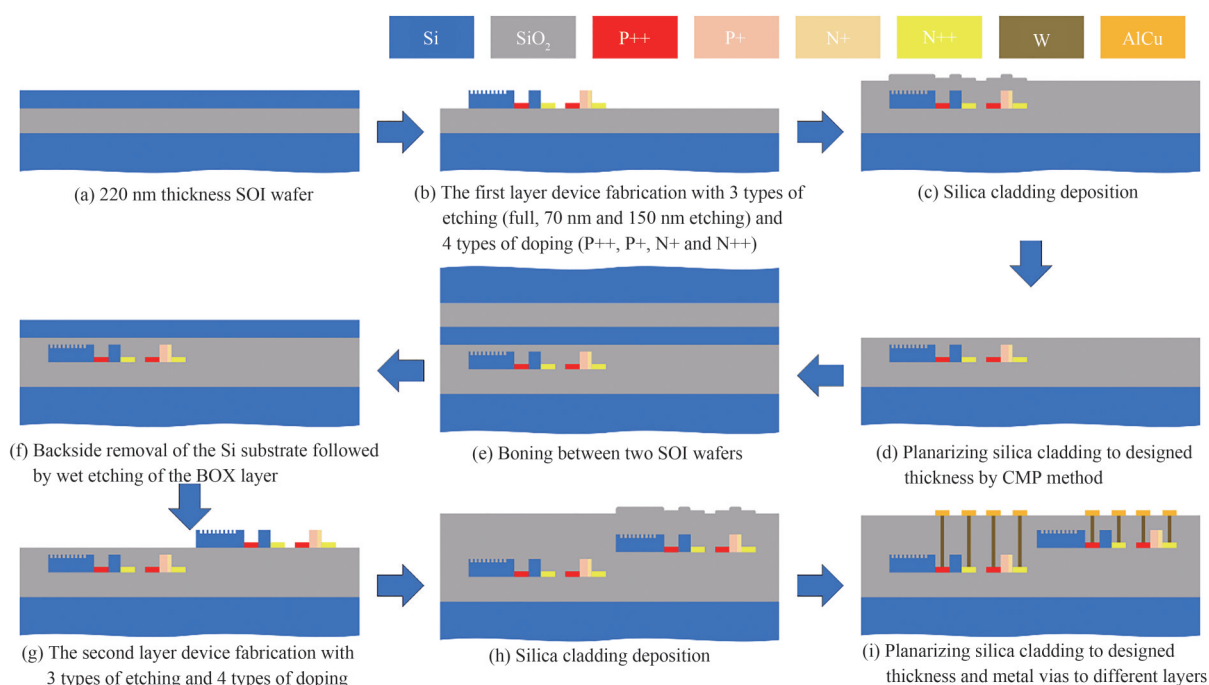


图1 硅光子平台晶圆键合制备三维器件的流程示意图

Fig.1 Overview of bonding fabrication for 3D PIC on SiPh

1.2 沉积方式

制备三维光子集成器件的气相沉积方式分为等离子体增强化学气相沉积(Plasma Enhanced Chemical Vapor Deposition, PECVD)和低压化学气相沉积(Low Pressure Chemical Vapor Deposition, LPCVD),通常该方法用于氮化硅、非晶硅(Amorphous Silicon, a-Si)和多晶硅(Polycrystalline Silicon, poly-Si)波导的制备,这些材料都可以实现在低温下沉积,制备第二层波导的过程中,对第一层器件没有影响。在硅光子平台中,通过气相沉积方式制备三维光子器件的流程如图2所示。在完成了如图2(a)~(c)所示的第一层工艺之

后,通过CMP将二氧化硅层减薄到所需的厚度,如图2(d)所示。之后沉积用于制备第二层波导器件的薄膜如图2(e),此处以Si材料为例,通常沉积的厚度高于设定的厚度,通过一步CMP的工艺如图2(f),将第二层波导层抛光到想要的厚度,并且降低表面粗糙度和波导损耗。在制备第二层波导后,如图2(g)~(h),在如图2(i)中平整化上包层并制备到达不同波导层的金属通孔实现控制。

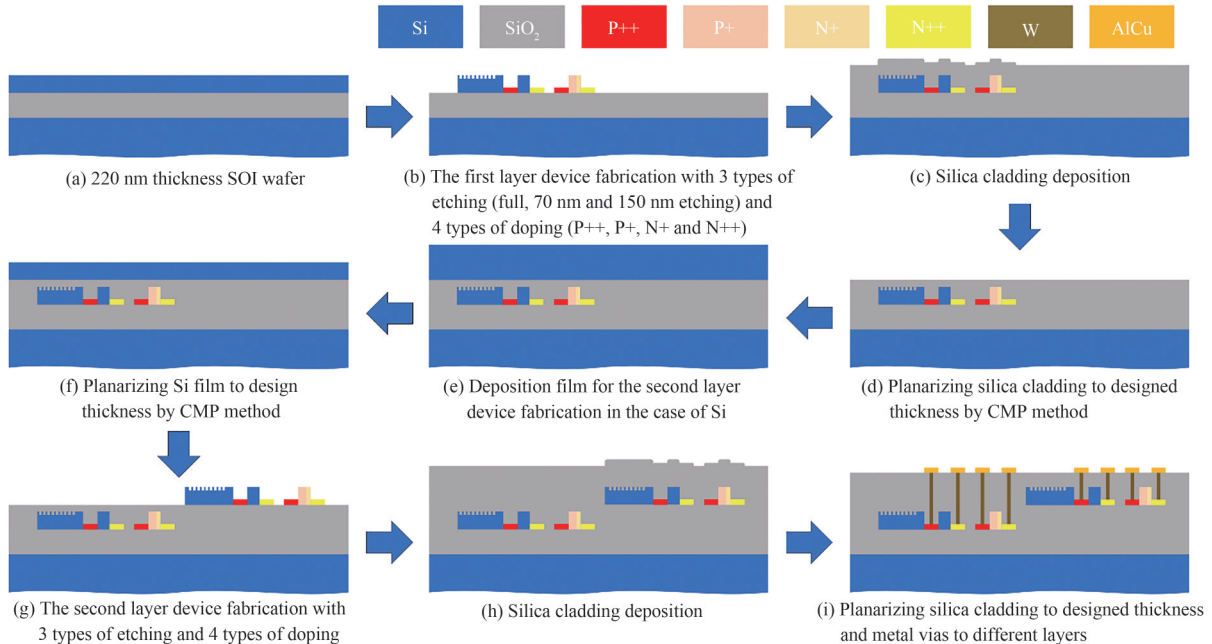


图2 硅光子平台气相沉积制备三维器件的流程示意图
Fig.2 Overview of deposition fabrication for 3D PIC on SiPh

2 三维集成光子芯片的开发与应用

1999年,CHU S T等报道了三维结构二氧化硅非对称定向耦合器^[65]、微环谐振器^[66-68]等。受限于成本和工艺水平,制备的微环谐振器^[67]的Q值(Quality Factor)仅为800。同年,GARNER S M等在聚合物平台上,利用灰度光刻和反应离子刻蚀的方法,制备了用于三维集成的聚合物斜坡波导^[69],通过垂直互连的斜坡波导制备了空间1×4的分路器。随着硅光子学的迅猛发展,硅光子的三维集成也提上了日程,2006年,KOONATH P等提出了氧注入分裂(Separation by Implantation of Oxygen, SIMOX)制备三维硅光子芯片^[70],然而该方法需要~1 300 °C的高温退火,形成二氧化硅包层和治愈硅波导,使得硅中的掺杂完全失效,因此该方法仅可用于多层无源光子芯片的制备。实际上,光网络中必然存在光路由、光调制等器件,多功能、高灵活度、高度集成化的光子芯片是亟待解决的问题。如表1所示,目前比较成熟的三维光子集成平台包括晶圆键合平台、非晶硅平台、多晶硅平台、氮化硅平台、聚合物平台,由于材料不同,每种平台有自己的优点和缺点。本节将介绍面向三维光子集成芯片工艺平台的发展情况和本身独特的优势及缺点。

表1 三维光子集成芯片平台进展

Table 1 Progress of 3D photonics integrated circuits

Platform	Cost	Fabrication complexity	Integration	Degree
SOI bonding	High	High	High	Active
A-Si-on-SOI	Medium	Medium	High	Passive
P-Si-on-SOI	Medium	Medium	High	Passive
SiN-on-SOI	Medium	Medium	High	Active
Polymers	Low	Low	Low	Active

2.1 单晶硅三维集成光子芯片

单晶硅材料具有优秀的光学、电学特性,是大规模光子集成的候选者。通过沉积法制备多层单晶硅三

维光子集成芯片时,需要超过 1 000 °C 的高温退火,使得有源器件失效,晶圆键合的方法可以在低温下制备单晶硅的三维集成,晶圆级加工工艺易于实现大容量生产,对降低单元器件的成本、芯片的产业化有显著作用。2014年,乔治亚理工学院的 ADIBI A 团队,实现了基于键合工艺的双层 Si 波导器件,基于键合工艺开发了双层绝缘体上硅(Double-Layer Crystalline Silicon on Insulator, DLSOI)平台^[22]。该工艺首先将 SOI 的顶硅层减薄到 110 nm,再沉积 30 nm 厚的高质量二氧化硅层,将两片经过上述工艺的 SOI 片键合在一起,实现 DLSOI 器件的制备,层间距为 60 nm。图 3(a)是通过键合方式制备的双层 SOI 器件的截面扫描电子显微镜(Scanning Electron Microscope, SEM)图。图 3(b)是半径为 2 μm 的双层 SOI 微环谐振器的俯视图,与直波导是临界耦合的状态。在该实验中,分别制备了半径为 2 μm 和 20 μm 的微环谐振器,其中 2 μm 半径的微环谐振器的 Q 值可达 25 000,20 μm 的微环谐振器的 Q 值可达 3.5×10^5 。

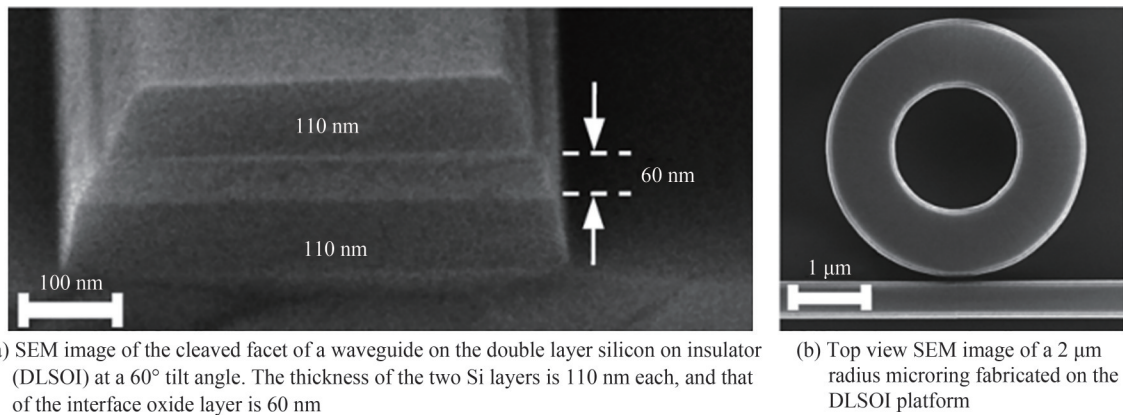


图 3 DLSOI 微环谐振器 SEM 照片^[22]

Fig.3 SEM image of microring resonator on the DLSOI platform^[22]

2019年,加州大学伯克利分校和麻省理工学院的合作团队报道了通过晶圆键合工艺制造三维集成光学相控阵列(Optical Phase Array, OPA)^[23]。分别在不同制造精度的工艺线上制备光学相控阵列和驱动,再通过晶圆键合的方式,制备了三维光电混合芯片,避免了单片制备光电混合芯片时,由于器件尺寸、工艺条件不同引入复杂工艺程序的问题。制备的工艺流程如图 4 所示,光芯片、电芯片分别制备之后再通过晶圆键合,实现三维集成,通过穿孔互联的方式,实现驱动对 OPA 的直接控制,最后进行切片、封装,实现单片三维光电混合集成 OPA 的制备。该 OPA 可以实现 $18.5^\circ \times 16^\circ$ 的 2D 扫描。阵列规模可以拓展到 125 个端口,孔径尺寸达 $0.5 \text{ mm} \times 0.5 \text{ mm}$,波束宽度达 $0.15^\circ \times 0.25^\circ$,平均每个通道实现 π 相位变化的功耗为 20 mW。

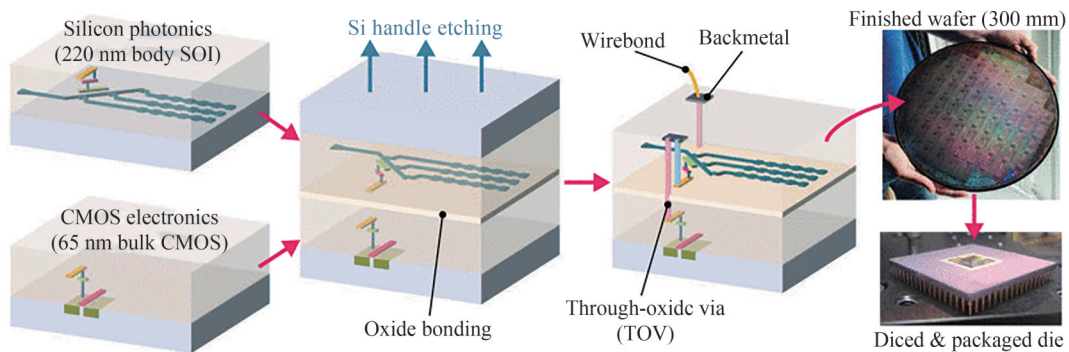


图 4 单片三维异质集成 OPA 的工艺流程图^[23]

Fig.4 Overview of the 3-D heterogeneous integration platform used to construct the single-chip OPA^[23]

晶圆键合可用于三维光子集成器件、光电混合集成器件的制备,实现单晶硅的多层堆叠,除此之外,还可用于 III-V 族材料与 SOI/SiN 晶圆的键合^[71, 72],实现片上光源的加工。晶圆键合是 CMOS 工艺兼容的晶圆级加工方式,可以实现大规模、高容量的生产制造,很大程度降低单元器件的成本,实现商用需求。然而晶圆键合需要高昂的设备成本和开发成本,高精度的晶圆对准也非常具有挑战性,这限制了晶圆键合的推广。

2.2 非晶硅、多晶硅

低损耗的氢化非晶硅(Hydrogenated Amorphous Silicon, a-Si:H)可以在低于300 °C的环境沉积,通过调整沉积条件,可以实现非线性系数的自由调节,a-Si也用于多层堆叠的芯片互连和三维光子集成芯片的制备^[24-26]。

层间距是三维光子集成芯片的重要参数之一,层间距越大意味着层间波导交叉之间的串扰越小,但会导致层间转换器尺寸增大。2014年,东京工业大学的KANG J H等提出了一种双层光栅型的层间转换器^[24],其结构示意图如图5(a)所示,为了在较大层间距的情况下,实现紧凑的高效层间耦合器,在两层耦合光栅的上下两侧引入了两层金属反射膜,通过优化尺寸,光栅区宽度为5 μm ,每层波导厚度为220 nm,刻蚀为70 nm,光栅占空比为50%,周期为640 nm,耦合区共20个周期单元,金属反射镜距离最近的波导800 nm,层间距为1 μm 。制备的层间耦合截面示意图如图5(b)所示,测量结果如图5(c)所示,在1590 nm处最大的耦合效率达到了83%。采用金属反射膜与光栅型的层间耦合器,在较大的层间距实现了结构紧凑的高效层间转换,该层间转换器的长度仅为 $\sim 12.8 \mu\text{m}$,在层间距为1 μm 时,定向耦合器型层间转换器很难实现如此紧凑的尺寸。

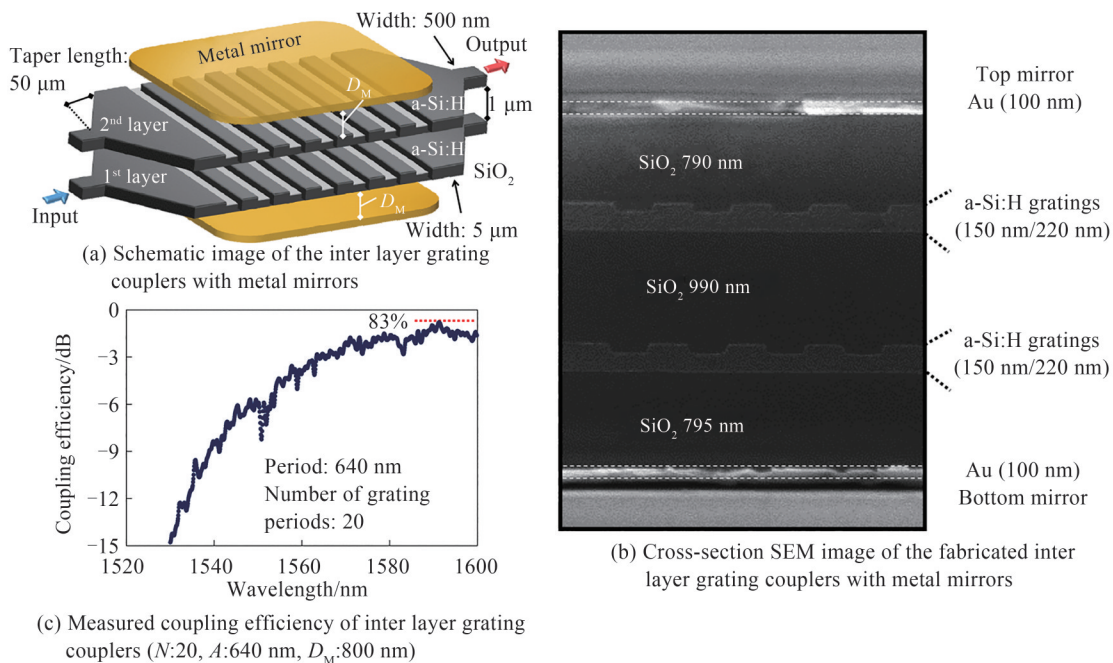


图5 光栅型高效层间耦合器^[24]

Fig.5 Grating based interlayer transition^[24]

虽然a-Si具有低损耗、可调谐非线性系数的特点,但是较低的热光系数和几乎没有的电光效应使得有源器件的制备无法实现。人们将目光转向了多晶硅(Polycrystalline Silicon, poly-Si),poly-Si相比a-Si具有更加优良的迁移率特性,低温沉积的制备工艺使得用poly-Si制备多层光子器件成为了可能^[27-29]。2006年,LIPSON M团队报道了用于三维集成光网络的多晶硅微环谐振器^[27],该器件的制备过程是首先生长了一层非晶硅薄膜,在 N_2 中,经过600 °C的退火形成多晶硅薄膜,再经过1100 °C的高温退火,进一步降低了多晶硅的损耗,实现了Q值为20000的微环谐振器的制备,表明当前损耗为18 dB/cm。根据上述工艺,在已经制备好波导的SOI晶圆上,制备低损耗单晶硅微环谐振器,结构如图6所示,最终测得临界耦合的谐振峰Q达到了4000。

但是1000 °C的高温退火与CMOS工艺并不兼容,激光退火制备多晶硅是一个更加有效提高迁移率的方法,通过激光退火制备的多晶硅兼具低损耗和高迁移率的特性,并且该工艺后端兼容,在三维光子集成制造领域具有重大前景^[30-32]。2019年,南安普顿大学的FRANZ Y等通过激光退火工艺制备了低损耗的多晶硅波导^[30],a-Si经过455 nm的激光进行激光退火处理,原始a-Si与不同处理条件的a-Si拉曼光谱图如图7(a)所示,经过激光退火的a-Si,已经形成了明显的多晶硅的吸收峰,插图与c-Si进行对比,说明在

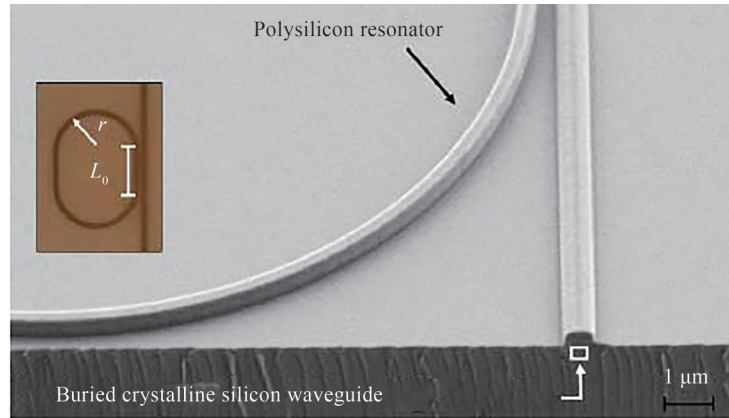


图6 多晶硅跑道型微环耦合进入单晶硅波导的SEM图,插图定义了跑道型微环半径 r 和耦合区长度 L_0 ^[27]
 Fig.6 Cross section SEM of polysilicon racetrack resonators coupled to crystalline silicon waveguides before oxide cladding. Inset shows the definition of r and coupling length L_0 ^[27]

230 mW 激光功率下,0.1 mm/s扫描生成的多晶硅其拉曼光谱与单晶硅几乎一致。在不同激光功率下制备的多晶硅如图7(b)~(d)所示,通过优化激光功率,高质量的多晶硅基本看不到晶粒与晶界。通过截断法测试得到230 mW激光功率制备的多晶硅损耗仅有5.31 dB/cm。激光退火制备多晶硅波导具有低损耗、高迁移率的特性,非常适合用于三维光子集成芯片的制备,但是激光退火工艺对激光的匀光性有极高的要求,为了实现晶圆级加工,稳定的扫描系统也需要被开发,这些问题一旦被解决,激光退火的方案将有很大的潜力和应用市场。

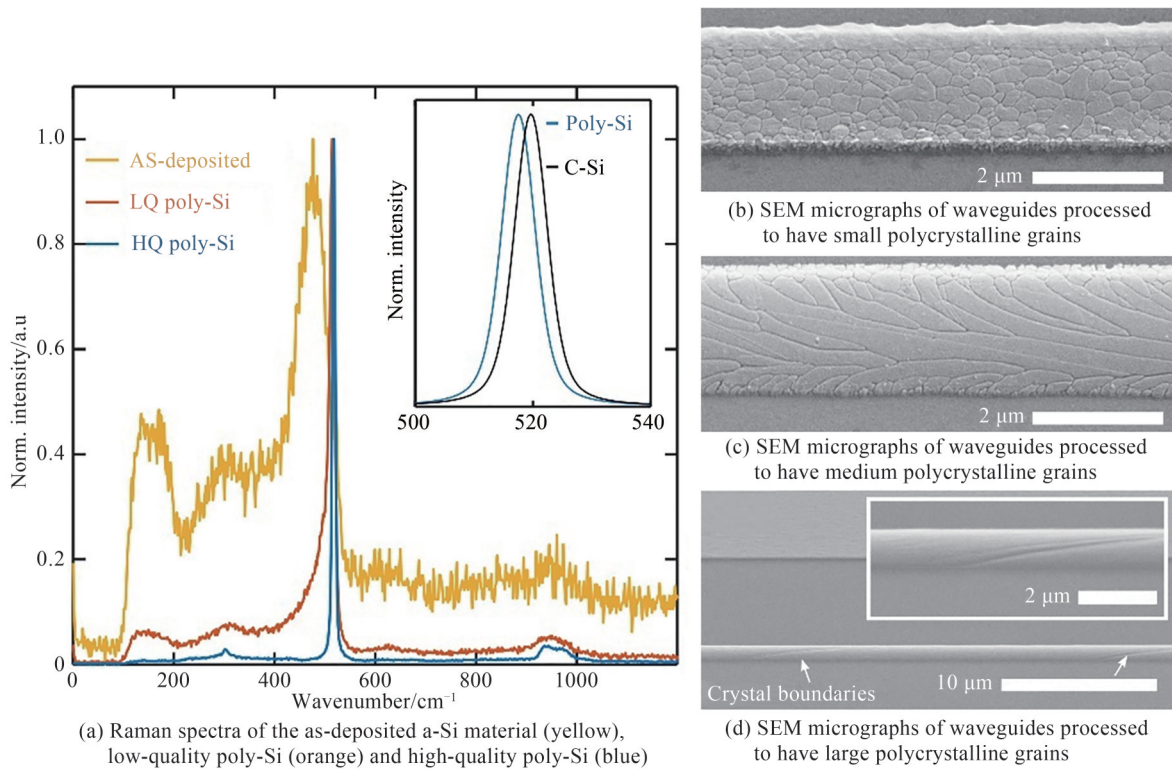


图7 激光退火加工波导的拉曼光谱和SEM图^[30]
 Fig.7 Raman spectra and SEM micrographs of poly-Si waveguide after laser crystallized^[30]

2.3 SiN 三维集成光子芯片

SiN从400 nm可见光波段到2 350 nm中红外波段都展现出很低的传输损耗(0.1 dB/cm)^[9, 10]。不仅如此, SiN还展现出良好的非线性效应,在通信波段不存在双光子吸收和自由载流子吸收效应,因此被广泛用

于片上非线性研究^[73, 74]。SiN材料表现出更高的工艺容差,且可通过PECVD或LPCVD制备,与CMOS工艺兼容。SiN-on-SOI三维集成工艺兼容了SiN和Si平台两种材料平台的优势,是很多科研平台都在开发的一种方案。2015年,YOO S J B团队提出了基于SiN的三维光子集成平台^[36],通过多次沉积SiN制备了损耗低、结构紧凑的多层光子器件。该多层光子器件的结构示意图如图8所示,光在底层传输的过程中,会在空间上遇到第二层波导,此时会产生反射、散射、透射,进入到第二层的光称为串扰,当光进入耦合区之后,会进入第二层传输,实现了层间信号的通信。为了实现高效、紧凑的层间转换,需要降低层间距,但是随着层间距的减小,层间交叉也会引入更大损耗和串扰,为了平衡两者,层间距选择为700 nm,层间转换器选择了绝热型定向耦合器,耦合区从2 μm 宽的波导通过线性锥形结构转换为0.25 μm ,层间转换器长度为100 μm 。对制备的器件进行测试,在中心波长1550 nm处,层间转换器的损耗为0.01 dB,90°层间交叉的损耗为0.167 dB,层间串扰低于-52 dB。图9(a)展示了基于上述SiN三维光子集成平台的多层光子集成芯片。在该多层光芯片中,27个输入端口耦合进入了9个3 \times 2耦合器,并分别连接进入了分布在两层的9 \times 32的星型耦合器。通过优化多层设计,实现了部分重叠的设计,器件尺寸从原来的单层80 mm²缩小到了40 mm²。图9(b)为层间距为300 nm时,输出传输口从#15到#32,每条路径上多层交叉的个数从1个增加到18个,使得每个输出端口功率降低了2 dB,最终导致信道之间的传输功率最大大于25 dB。这说明较小的层间距将会引入很大的层间损耗。图9(c)为层间距为800 nm的两层32个端口的输出光功率,信道间的功率差别约为5 dB,因为层间交叉引入的损耗很小,所以认为功率差主要来自星形耦合器部分。

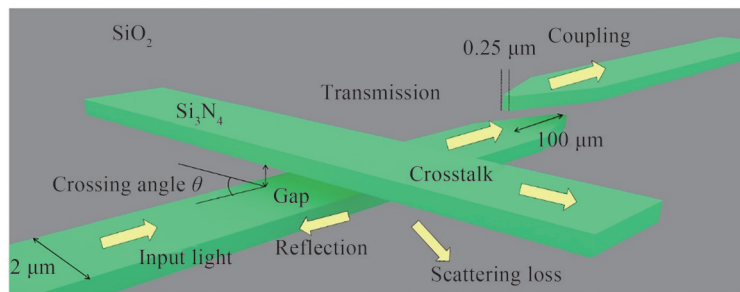


图8 包括绝热型垂直耦合器和波导交叉的多层光子平台结构示意图^[36]

Fig.8 Schematic of multilayer platform including tapered vertical coupler and waveguides crossing^[36]

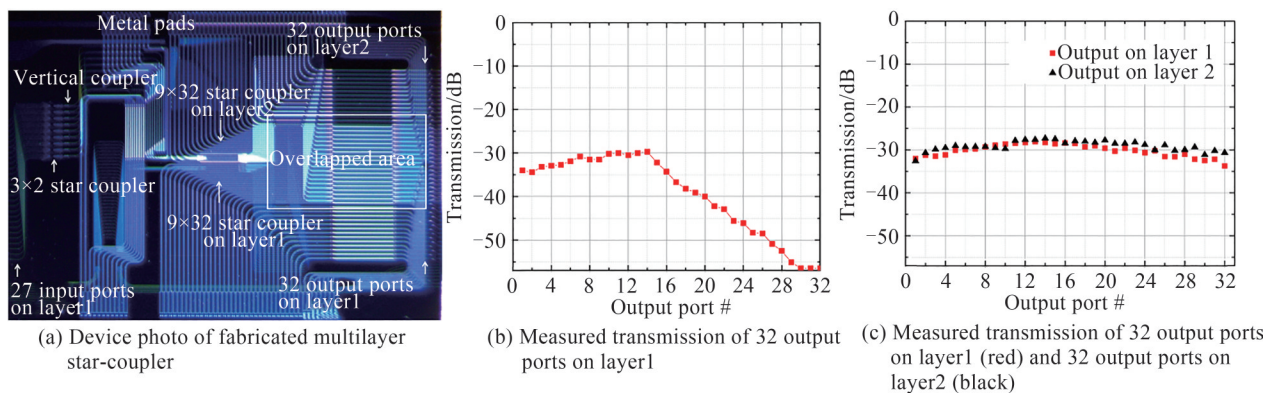


图9 制备的多层星型层间耦合器及其测试结果^[36]

Fig.9 Fabricated multilayer star-coupler and its test results^[36]

尽管SiN展现出超低损耗的无源特性,但是较低的热光效应和几乎没有的电光特性,使得该材料在有源器件的制备领域严重受限,因此人们提出了SiN-on-Si的三维集成光子芯片方案,在SOI的基础上,第二层制备低损耗的SiN波导,该平台可以综合Si波导的高效电光、热光的调制能力,与SiN波导低损耗的传输特性。2017年,多伦多大学的SACHER W D等提出了三层SiN-on-Si的三维光子平台^[37]。如图10(a)所示,中间层(SiN1)为最底层(Si),与最顶层(SiN2)提供了一个传递层,通过该方法,在250 nm间距的两层间实现高效层间转换,而在850 nm(250+400+200)间距的两层实现低损耗的层间交叉,如图10(b)~(c)所示。

图 10(d)~(e)分别是在 Si 层波导之上制作 SiN1 层波导和在 SiN1 层波导上制备 SiN2 层波导的截面透射电子显微镜照片(Cross-section Transmission Electron Micrographs (XTEMs))。通过显微镜照片可以看出 Si 层、SiN1 层、SiN2 层的波导宽度分别为 217 nm、385 nm 和 385 nm, Si 层与 SiN1 层、SiN1 层与 SiN2 层的层间距分别为 305 nm 和 204 nm。制备器件的尺寸基本与设计相符。在 TE 偏振下,该平台在 1 480~1 620 nm 波段进行测试与表征。通过截断法得到 Si 层到 SiN1 层的层间转换损耗<107 mdB, SiN1 层到 SiN2 层的层间转换损耗<69 mdB;层间交叉的最低损耗达到了 0.28 mdB。该平台的提出对于实现光子大规模集成具有指导意义。

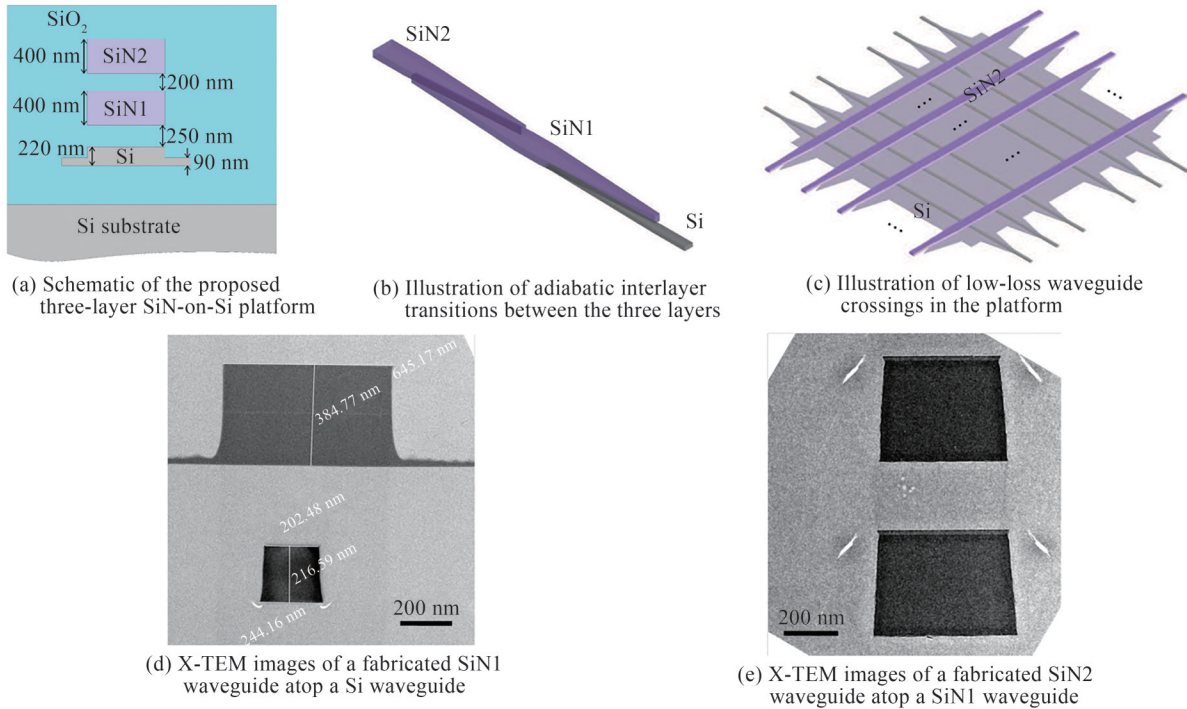
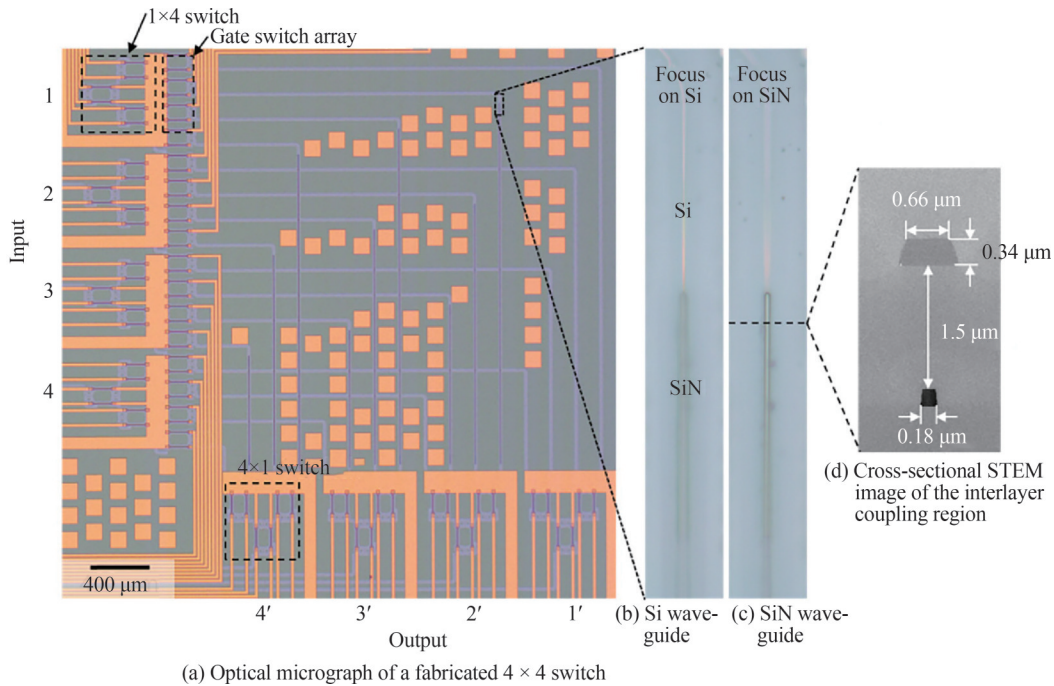


图 10 三层 SiN-on-Si 平台结构示意图及其端面显微镜照片^[37]

Fig.10 Schematic of the proposed three layer SiN-on-Si platform and its X-TEM images^[37]

在 SiN-on-Si 平台上,日本国立产业技术综合研究所的研究人员开发了多种双层光交叉阵列^[38, 39]。2017 年,提出并制备了双层 Switch & Select (S&S) 光开关^[38]。图 11(a)是基于 SiN-on-Si 双层平台的 S&S 架构的显微镜照片,光交叉规模为 4×4 ,该架构的特点是每条路径上的波导交叉个数会相差很多,在单层 SOI 晶圆上制备时,由于波导交叉损耗较大,每条路径上的非均匀性变得十分显著,当规模逐渐扩大,非均匀性进一步提高,最终导致光交叉无法工作。将该架构应用在 SiN-on-Si 的多层平台上,以层间交叉取代层内交叉,可以极大降低波导交叉引入的损耗和非均匀性,从而制备更多端口、更大规模的光开关。图 11(b)(c)是该器件的层间耦合结构器,图 11(d)为层间耦合结构的截面示意图,层间距达到了 $1.5 \mu\text{m}$,最终制备的双层器件,在 C 波段,层间耦合结构(Si→SiN→Si)的损耗<1 dB,层间波导交叉损耗<0.005 dB,而层内的损耗通常在 0.023~0.2 dB 范围内。对该 4×4 规模的光交叉进行测试,结果表明光纤到光纤平均损耗约为 12 dB,其中包括耦合损耗 4.2 dB,片上 Si 波导损耗约 1 dB,根据路径不同, SiN 波导的损耗为 0~10 dB,层间耦合结构的损耗为 1 dB,层间交叉的损耗可以忽略不计(最多的路径 9 个层间交叉,小于 0.05 dB),开关的串扰低于 -50 dB。最后该工作进一步将规模拓展至 16×16 和 32×32 ,在 C 波段 16×16 的串扰水平低于 -45 dB,如果采用优化的门开关结构,在 32×32 的规模下串扰低于 -50 dB 也可以实现。

同样是基于 SiN-on-Si 双层平台,文献[39]中提出了路径无重复的偏振分离插损路径无相关(Path-independent Insertion-loss, PILOSS)架构,架构是在单层 SOI 晶圆上提出的^[75],为了实现完全无阻塞,

图 11 双层 S&S 架构 4×4 光交叉的显微镜照片^[38]Fig.11 Optical micrograph of a fabricated S&S 4×4 switch^[38]

PILOSS 架构本身会空余一组端口,造成了大量的开关冗余。在该架构中引入偏振分离的概念,两组端口分别传输 TE、TM 两种偏振,使通信容量扩大一倍,而在单层晶圆上,为了避免路径重复,需要复杂的布线与尺寸的扩大,将该架构移植在 SiN-on-Si 双层平台上, SiN-on-Si 双层光子平台示意图如图 12(a)所示,通过第二层 SiN 波导的引入,大幅降低了芯片的尺寸与布线的复杂性,层间交叉的损耗远低于层内交叉的损耗,使得提高该架构的规模成为可能。该 4×4 规模的路径无重复的偏振分离 PILOSS 架构的示意图如图 12(b)所示,在同样的波长下, SiN 上层波导和 Si 下层波导分别连接偏振分离旋转器(Polarization Splitter-Rotator, PSR)的两端,其中 PSR 对准 TE 模没有作用,会将经过 PSR 的 TM 模转换成高阶 TE 模,并通过锥形波导与定向耦合器转换成基模在波导中传输。图 12(b)将输入端口 1 到输出端口 4' 做了标注。光从输入端口 1 输入,经过 PSR 转换 TE 基模,并分别进入 X 和 Y 路径。原本 TE 模式(X 路径)的光经过 PSR,会通过层间转换器进入 SiN 层传输,到达光交叉右端时,再次转换进入 Si 层传输。原本 TM 模式(Y 路径)经过 PSR 转换成 TE 基模,进入 Si 波导层传输,到达右侧的层间转换器之后转移进入 SiN 层传输,最后两束光再次进入输出端口 4' 的 PSR,将 X(Y) 路径的光转换成 TM(TE) 模进行传输。该器件在 8 寸 SOI 晶圆上制备, SiN 层通过 PECVD 沉积制备,图 12(c)为制备的 32×32 光交叉的显微镜照片。对芯片的插损进行了表征,如图 12(d)所示,测量了 32 条路径的光纤到光纤损耗,分别是输入端口 1 到输出端口 1', 输入端口 2 到输出端口 2' 等 32 条光路,平均损耗为 35 dB,最低损耗为 27 dB,包括两端光纤耦合损耗共 $10 \times 2 = 20$ dB,输入输出端模板转换器与 PSR 连接损耗共 $0.6 \times 2 = 1.2$ dB,输入输出端 PSR 损耗共计 $3 \times 2 = 6$ dB, Si 光交叉损耗为 6.1 dB,层间转换器损耗为 1.6 dB, SiN 波导损耗 8.5 dB, SiN 波导交叉产生的损耗 $0.06 \times 64 = 3.8$ dB。平均偏振相关损耗为 3.5 dB,最低偏振相关损耗为 0.32 dB。从输入端口 30 到输出端口 31' 共经过了 29 个马赫曾德尔(Mach-Zehnder, MZ)光开关、30 个 Si 交叉和 64 个 SiN 交叉,对该端口最大串扰为 -8.8 dB,最小串扰为 -3.7 dB。在 $22.5 \text{ mm} \times 10 \text{ mm}$ 的尺寸上,实现了 32×32 规模的光交叉,同样的架构,在单层 SOI 上,在 $7 \text{ mm} \times 10 \text{ mm}$ 的尺寸上仅可以实现 8×8 规模的光交叉,该芯片纤到纤损耗为 $50.9 \text{ dB} \pm 3 \text{ dB}$,每个端口的耦合损耗都是 10 dB。其损耗远大于多层光交叉,规模远小于多层光交叉,由此可以验证,三维集成在规模拓展和功能拓展方面具有明显的优势。

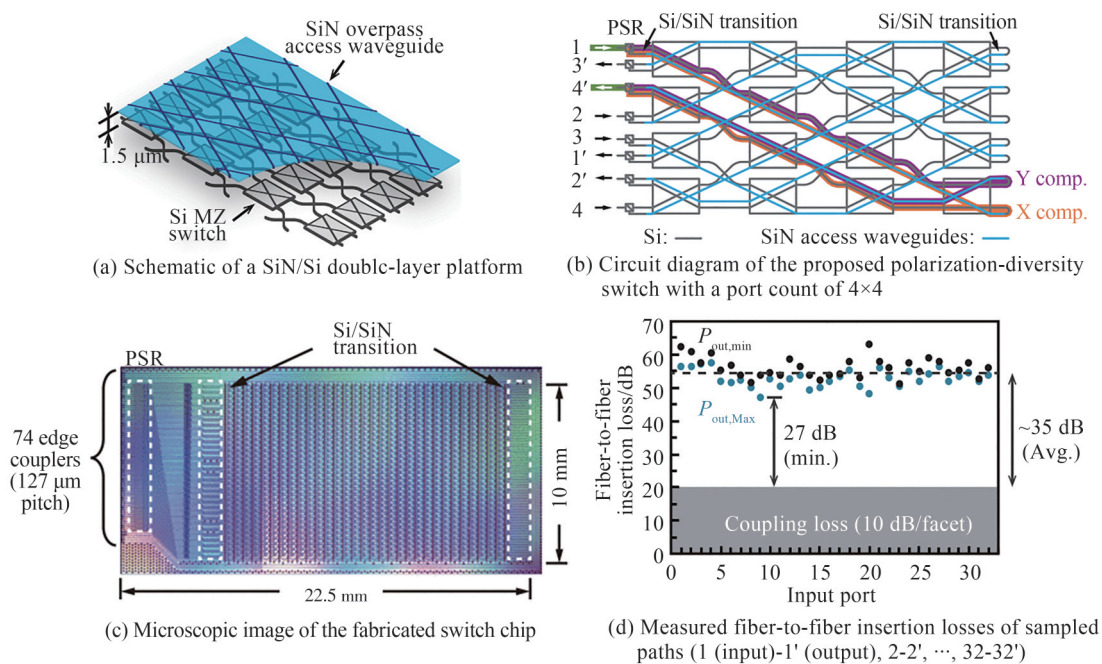


图 12 路径无重复的偏振分离 PILOSS 架构开关示意图、实物图及其测试结果^[39]

Fig.12 Circuit diagram, microscopic image and the measured losses of the proposed polarization-diversity PILOSS switch^[39]

2.4 聚合物

聚合物光波导器件成本低、光学性能良好、制备工艺简单,仅通过旋涂、光刻、刻蚀即可完成制备,在低于 200°C 的条件下,可实现器件的加工,因此使用聚合物材料制备三维光子集成芯片具有明显的优势,近年有大量的相关报道^[44-53]。除了传统的光刻工艺外,聚合物还可以应用于激光直写制备三维光子器件当中,对于扩展器件的功能和提高制备的灵活性有极大帮助^[54-56]。

当层间间距进一步扩大时,多层器件之间可以完全避免干扰,独立传播。2021 年,西湖大学 ZHANG Ziyang 团队提出了一种三维集成波导波分复用器^[47],结构示意图如图 13(a)所示,单模光纤(Single Mode Fiber, SMF)连接进入自制的 1 分 4 方形光纤(Square-Core Fiber, SCF),层间距达到了 33.3 μm,通过 SCF 分光,分别进入双层的 4 个阵列波导光栅(Array Waveguide Grating, AWG),如图 13(a)左下放大图所示。每个 AWG 可以覆盖 75 个通道,在该设计中,引出 40 个通道,最终只有 18 个通道会拿来构建波分复用器,通过该方法可以提高通道的均匀性,每个使用的通道的中心波长表示在图 13(a)右下放大图中。AWG 被设计工作在 4 个不同的中心波长,器件材料为 ZPU 系列的聚合物材料,芯层尺寸为 3 μm × 3 μm。图 13(b)为制备的不同宽度的双层波导的显微镜图,图 13(c)为制备的三维集成波导波分复用器的显微镜俯视图,芯片尺寸仅为 1 cm × 3 cm。测量得到 72 个端口的输出波长如图 13(d)所示,器件覆盖了从 1 500 nm 到 1 612 nm,共 112 nm 的波长,器件插损从 3.26 dB 变化至 4.65 dB,变化量最大为 1.4 dB。三维集成的波分复用器覆盖波长范围大,通道数目多,结构远比单个 AWG 紧凑。

OPA 的二维扫描有两种方案,一种是采用一维线性排列天线,在一个维度上通过调节相邻天线相位差改变发射角度,实现扫描,在另一个维度上,通过改变天线部分的有效折射率(例如输入不同波长、不同偏振模式、采用多个不同周期的光栅),从而改变发射角度实现扫描;另外一种方案是采用二维排布天线,通过改变每个天线之间的相位差实现扫描。在端耦合系统中,想实现二维排列的端发射天线,必然采用三维集成的方案。2021 年, RAPTAKIS A 等首次提出了一种基于三维集成结构的聚合物二维 OPA^[48],在理论、实验上验证了概念的提出。图 14(a)为基于三维集成结构的聚合物二维 OPA 结构示意图,端面发射端规模为 4 × 4,规模可以进一步拓展为 8 × 8、16 × 16、32 × 32。在该三维集成平台中,采用了多模干涉器的层间转换器,该结构可以在较大层间距的情况下,实现高效耦合,缺点是需要重复的旋涂、刻蚀工艺,比较复杂。在仿真上,利用场等效原理对于平台的单模波导进行建模发现,在单波长 1 550 nm 下,波导产生的波束宽度预期为 12.7°。对于间距为 6 μm、端口数为 4 × 4 的 OPA,最大转向角为 14.0°,其中主瓣比任意栅瓣至少高出 3 dB、6 dB 和 10 dB

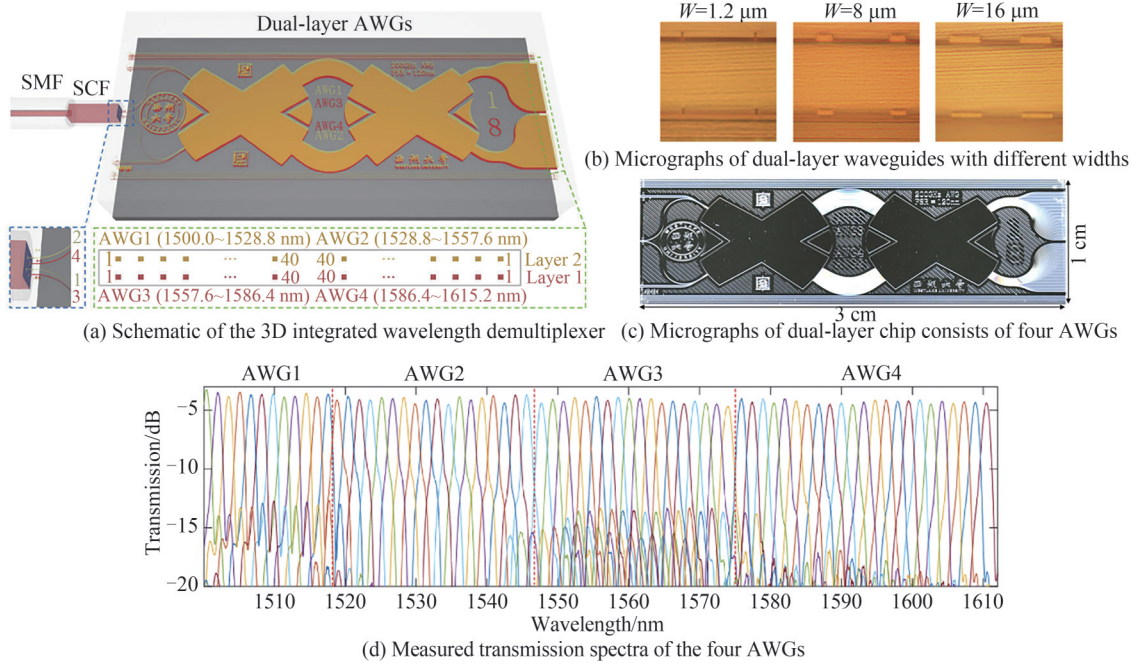


图 13 三维集成波导波分复用器^[47]

Fig.13 3D integrated wavelength demultiplexer^[47]

的角间隙预期分别为 10.8° 、 7.6° 和 2.8° 。在实验上,该工作实现了 2×4 OPA的制作与测试,图 14(b)~(d)展示了 2×4 OPA的版图、制备器件的俯视图和截面显微镜图。该器件的输出端水平距离为 $10 \mu\text{m}$,垂直距离为 $7.2 \mu\text{m}$ 。当输出端水平距离为 $10 \mu\text{m}$ 时,半波宽(Full Width at Half Maximum, FWHM)为 $2.1^\circ \times 5.8^\circ$ 。实现 π 的相位变化上层波导需要 16 mA 的电流,下层需要 20 mA 的电流。实验的结果与仿真结果一致。

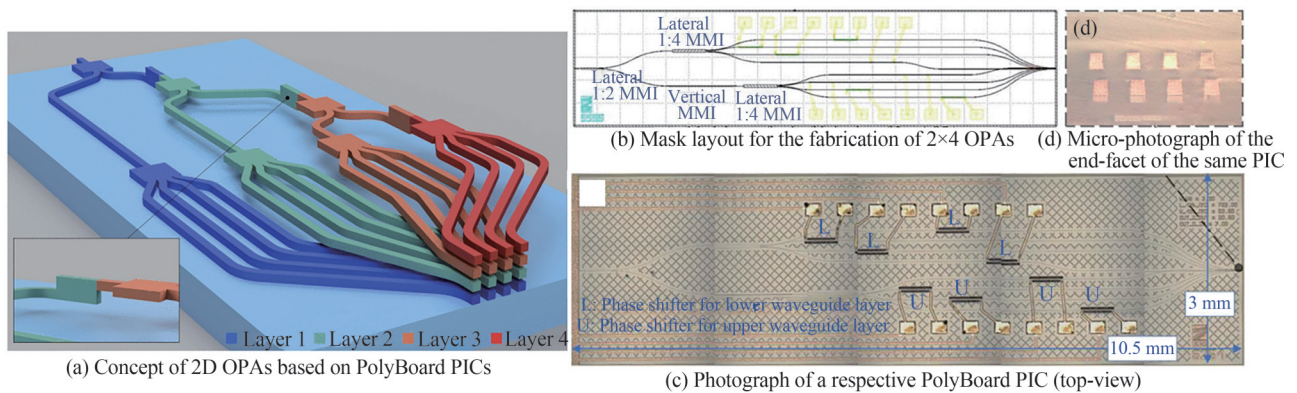


图 14 基于三维集成结构的聚合物二维 OPA^[48]

Fig.14 2D OPAs based on PolyBoard PICs^[48]

模分复用技术是进一步提高通信容量的又一关键技术,然而在同层的波导器件只能实现水平方式的模式扩展,为了实现更多模式,以及垂直高阶模的拓展,需要水平或者垂直的定向耦合器结构^[44, 50],由于波导位置的限制,复用模式的个数会受到限制,为了增加模式的复用/解复用,2018年,香港城市大学 CHIANG K S 团队提出了一种只有垂直定向耦合器结构构成的三维聚合物模分复用器^[51],耦合器分布在不同层,在芯层尺寸、位置上可以完全不受约束,其结构示意图如图 15(a)所示,波导分布在两层,波导 1 是一根由三根锥形波导连接的少模波导,第二层波导包括波导 2~6 共 5 根单模波导,通过锥形波导调整少模波导的宽度,满足定向耦合器之间模式匹配与剥离多余的残余高阶模。该器件可以实现 6 个模式的复用与解复用,模式包括 E_{11} 、 E_{21} 、 E_{12} 、 E_{22} 、 E_{31} 和 E_{13} 。该器件还可以拓展实现更多模式之间的复用/解复用。该器件采用 EpoCore 和 EpoClad 作为波导的芯层和包层,制备的模分复用器的复用、解复用端如图 15(b)所示。将 E_{11} 模式的光在解

复用端分别耦合进入波导1~6,在复用端观测波导1的近场光斑,记录在图15(c)中,可以观测到明显的模式改变,改变输入光波长和偏振,依然可以观测到明显的模式改变。

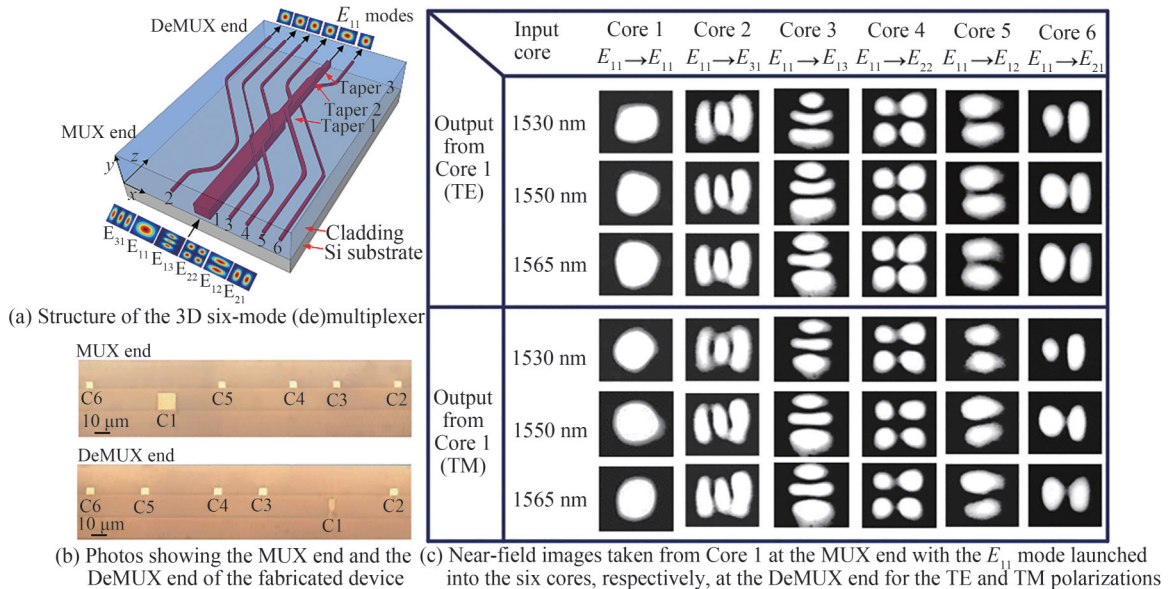


图15 三维六个模式复用\解复用器^[51]
Fig.15 3D six-mode (de)multiplexer^[51]

3 结论

三维光子集成芯片通过多层光子器件的堆叠,突破了二维平面集成的限制,提高了光子芯片的集成度,拓展了光子芯片的功能。目前比较成熟的三维光子集成平台,由于材料不同都有自己的优点和缺点。SOI晶圆键合可以制备多层有源光子器件、光电混合集成芯片,但是开发成本、设备成本、芯片制造成本都相对较高;A-Si-on-SOI和P-Si-on-SOI是可以低温沉积制备的三维硅光子平台,集成度很高,但是a-Si的迁移率很低,无法制备有源器件,p-Si的损耗很大,无法大量采用p-Si互连,因此两种平台都处于无源器件的制备阶段;激光退火处理a-Si制备p-Si可以有效地降低波导损耗、提高迁移率,但是激光的均匀性和晶圆加工的能力仍需要探索;SiN-on-SOI是目前比较成熟的三维集成平台,在多家科研院所均有代工,但是SiN只能实现无源器件的替代,并不能实现有源器件的制备;聚合物平台制备成本较低,三维集成的工艺简单,但是受限于芯包折射率差,器件尺寸是在几个微米级别,集成度远低于硅光子平台。除了几个普遍的三维集成平台外,还有基于晶圆键合的III-V族材料、溅射掺铟离子 Al_2O_3 等三维集成器件,其目的或是实现片上光源,或是实现片上光放大,在三维集成平台上,实现了多种功能的拓展。总结来说,三维光子集成不仅提供了一种提高集成度的方案,更提供了多种材料单片混合集成的可能,实现片上功能的拓展。片上光源、高性能调制器、光交叉、光探测器实现单片集成是必然的趋势,三维光子集成芯片的研发将为实现多功能、多材料体系、高密度的光子集成芯片提供一种极有可能实现的平台。

参考文献

- [1] WINZER P J, NEILSON D T, CHRAPLYVY A R. Fiber-optic transmission and networking: the previous 20 and the next 20 years (Invited)[J]. Optics Express, 2018, 26(18): 24190-24239.
- [2] CHENG Q, BAHADORI M, GLICK M S, et al. Recent advances in optical technologies for data centers: a review[J]. Optica, 2018, 5(11): 1354-1367.
- [3] SABELLA R. Silicon photonics for 5G and future networks[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2020, 26(2): 1-11.
- [4] SHI W, TIAN Y, GERVAIS A, et al. Scaling capacity of fiber-optic transmission systems via silicon photonics[J]. Nanophotonics, 2020, 9(16): 4629-4663.
- [5] ABRAMS N C, CHENG Q, GLICK M, et al. Silicon photonic 2.5D multi-chip module transceiver for high-performance data centers[J]. Journal of Lightwave Technology, 2020, 38(13): 3346-3357.
- [6] KOOS C, LEUTHOLD J, FREUDE W, et al. Silicon-organic hybrid (SOH) and plasmonic-organic hybrid (POH)

- integration[J]. *Journal of Lightwave Technology*, 2016, 34(2): 256-268.
- [7] SIEW S Y, LI B, GAO F, et al. Review of silicon photonics technology and platform development [J]. *Journal of Lightwave Technology*, 2021, 39(13): 4374-4389.
- [8] FAHRENKOPF N M, MCDONOUGH C, LEAKE G L, et al. The AIM photonics MPW: a highly accessible cutting edge technology for rapid prototyping of photonic integrated circuits [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2019, 25(5): 1-6.
- [9] ROELOFFZEN C G H, HOEKMAN M, KLEIN E J, et al. Low-loss Si₃N₄ triplex optical waveguides: technology and applications overview[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2018, 24(4): 1-21.
- [10] BUCIO T D, LACAVA C, CLEMENTI M, et al. Silicon nitride photonics for the near-infrared [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2020, 26(2): 1-13.
- [11] RAMIREZ J M, MALHOUITRE S, GRADKOWSKI K, et al. III-V-on-silicon integration: from hybrid devices to heterogeneous photonic integrated circuits[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2020, 26(2): 1-13.
- [12] SOGANCI I M, TANEMURA T, NAKANO Y. Integrated phased-array switches for large-scale photonic routing on chip[J]. *Laser & Photonics Reviews*, 2012, 6(4): 549-563.
- [13] TAKAHASHI M, YAMASAKI S, UCHIDA Y, et al. Compact and low-loss ZrO₂-SiO₂ PLC-based 8×8 multicast switch for CDC-ROADM application[J]. *Journal of Lightwave Technology*, 2016, 34(8): 1712-1716.
- [14] LIU L, CHANG L, KUANG Y, et al. Low-cost hybrid integrated 4 × 25 GBaud PAM-4 CWDM ROSA with a PLC-based arrayed waveguide grating de-multiplexer [J]. *Photonics Research*, 2019, 7(7): 722-727.
- [15] de FELIPE D, KLEINERT M, ZAWADZKI C, et al. Recent developments in polymer-based photonic components for disruptive capacity upgrade in data centers [J]. *Journal of Lightwave Technology*, 2017, 35(4): 683-689.
- [16] Han X Y, Wu Z L, Yang S C, et al. Recent progress of imprinted polymer photonic waveguide devices and applications [J]. *Polymers*, 2018, 10:603.
- [17] SEOK T J, QUACK N, HAN S, et al. Large-scale broadband digital silicon photonic switches with vertical adiabatic couplers[J]. *Optica*, 2016, 3(1): 64-70.
- [18] YOO S J B, GUAN B, SCOTT R P. Heterogeneous 2D/3D photonic integrated microsystems [J]. *Microsyst Nanoeng*, 2016, 2:16030.
- [19] ITOH K, HAYASHI Y, SUZUKI J, et al. Crystalline/amorphous Si integrated optical couplers for 2D/3D interconnection[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2016, 22(6): 255-263.
- [20] ZHANG Y, LING Y C, ZHANG Y, et al. High-density wafer-scale 3-D silicon-photonic integrated circuits[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2018, 24(6): 1-10.
- [21] ZHANG Y, SAMANTA A, SHANG K, et al. Scalable 3D silicon photonic electronic integrated circuits and their applications[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2020, 26(2): 1-10.
- [22] MORADINEJAD H, ATABAKI A H, HOSSEINIA A H, et al. Double-layer crystalline silicon on insulator material platform for integrated photonic applications[J]. *IEEE Photonics Journal*, 2014, 6(6): 1-8.
- [23] KIM T, NGAI T, TIMALSINA Y, et al. A single-chip optical phased array in a wafer-scale silicon photonics/CMOS 3D-integration platform[J]. *IEEE Journal of Solid-State Circuits*, 2019, 54(11): 3061-3074.
- [24] JOONHYUN K, ATSUMI Y, HAYASHI Y, et al. Amorphous-silicon inter-layer grating couplers with metal mirrors toward 3-D interconnection[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(4): 317-322.
- [25] CHILES J, BUCKLEY S, NADER N, et al. Multi-planar amorphous silicon photonics with compact interplanar couplers, cross talk mitigation, and low crossing loss[J]. *APL Photonics*, 2017, 2: 116101.
- [26] PETRA R, OO S Z, TARAZONA A, et al. HWCVD a-Si:H interlayer slope waveguide coupler for multilayer silicon photonics platform[J]. *Optics Express*, 2019, 27(11): 15735-15749.
- [27] PRESTON K, SCHMIDT B, LIPSON M. Polysilicon photonic resonators for large-scale 3D integration of optical networks[J]. *Optics Express*, 2007, 15(25): 5118-5124.
- [28] FANG Q, SONG J F, TAO S H, et al. Low loss (approximately 6.45dB/cm) sub-micron polycrystalline silicon waveguide integrated with efficient SiON waveguide coupler[J]. *Optics Express*, 2008, 16(9): 6425-6432.
- [29] PRESTON K, MANIPATRUNI S, GONDARENKO A, et al. Deposited silicon high-speed integrated electro-optic modulator[J]. *Optics Express*, 2009, 17(7): 5118-5124.
- [30] FRANZ Y, RUNGE A F J, OO S Z, et al. Laser crystallized low-loss polycrystalline silicon waveguides [J]. *Optics Express*, 2019, 27(4): 4462-4470
- [31] LEE Y H, THOMPSON M O, LIPSON M. Deposited low temperature silicon GHz modulator [J]. *Optics Express*, 2013, 21(22): 26688-26692.
- [32] CHEN X, MILOSEVIC M M, THOMSON D J, et al. Post-fabrication phase trimming of Mach-Zehnder interferometers by laser annealing of germanium implanted waveguides[J]. *Photonics Research*, 2017, 5(6): 578-582.
- [33] BAUTERS J F, DAVENPORT M L, HECK M J, et al. Silicon on ultra-low-loss waveguide photonic integration

- platform[J]. *Optics Express*, 2013, 21(1): 544-555.
- [34] HUANG Y, SONG J, LUO X, et al. CMOS compatible monolithic multi-layer Si_3N_4 -on-SOI platform for low-loss high performance silicon photonics dense integration[J]. *Optics Express*, 2014, 22(18): 21859-21865.
- [35] SODAGAR M, POURABOLGHASEM R, EFTEKHAR A A, et al. High-efficiency and wideband interlayer grating couplers in multilayer Si/SiO₂/SiN platform for 3D integration of optical functionalities[J]. *Optics Express*, 2014, 22(14): 16767-16777.
- [36] SHANG K, PATHAK S, GUANG B, et al. Low-loss compact multilayer silicon nitride platform for 3D photonic integrated circuits[J]. *Optics Express*, 2015, 23(16): 21334-21342.
- [37] SACHER W D, MIKKELSEN J C, DUMAIS P, et al. Tri-layer silicon nitride-on-silicon photonic platform for ultra-low-loss crossings and interlayer transitions[J]. *Optics Express*, 2017, 25(25): 30862-30875.
- [38] KONOIKE R, SUZUKI K, TANIZAWA K, et al. SiN/Si double-layer platform for ultralow-crosstalk multiport optical switches[J]. *Optics Express*, 2019, 27(15): 21130-21141.
- [39] SUZUKI K, NAMIKI S, KAWASHIMA H, et al. Nonduplicate polarization-diversity 32×32 silicon photonics switch based on a SiN/Si double-layer platform[J]. *Journal of Lightwave Technology*, 2020, 38(2): 226-232.
- [40] WANG P, LUO G, XU Y, et al. Design and fabrication of a SiN-Si dual-layer optical phased array chip[J]. *Photonics Research*, 2020, 8(6): 912-919.
- [41] LI Y, CHENG B, NA Q, et al. Wide-steering-angle high-resolution optical phased array[J]. *Photonics Research*, 2021, 9(12): 2511-2518.
- [42] ZHANG L, LI Y, CHENG B, et al. Two-dimensional multi-layered SiN-on-SOI optical phased array with wide-scanning and long-distance ranging[J]. *Optics Express*, 2022, 30(4): 5008-5018.
- [43] KEIL N, YAO H H, ZAWADZKI C, et al. Hybrid polymer/silica thermo-optic vertical coupler switches[J]. *Applied Physics B*, 2014, 73(5-6): 469-473.
- [44] DONG J, CHIANG K S, JIN W. Compact three-dimensional polymer waveguide mode multiplexer[J]. *Journal of Lightwave Technology*, 2015, 33(22): 4580-4588.
- [45] KHAN M U, JUSTICE J, PETAJA J, et al. Multi-level single mode 2D polymer waveguide optical interconnects using nano-imprint lithography[J]. *Optics Express*, 2015, 23(11): 14630-14639.
- [46] HUANG Q, CHIANG K S. High-order-mode-pass mode (de)multiplexer with a hybrid-core vertical directional coupler[J]. *Journal of Lightwave Technology*, 2019, 37(16): 3932-3938.
- [47] JIANG X, YANG Z, LIU Z, et al. 3D integrated wavelength demultiplexer based on a square-core fiber and dual-layer arrayed waveguide gratings[J]. *Optics Express*, 2021, 29(2): 2090-2098.
- [48] RAPTAKIS A, GUONARIDIS L, WEIGEL M, et al. 2D optical phased arrays for laser beam steering based on 3D polymer photonic integrated circuits[J]. *Journal of Lightwave Technology*, 2021, 39(20): 6509-6523.
- [49] ZHANG Z, KLEINERT M, MAESENNOVO A, et al. Multicore polymer waveguides and multistep 45° mirrors for 3D photonic integration[J]. *IEEE Photonics Technology Letters*, 2014, 26(19): 1986-1989.
- [50] HUANG Q, CHIANG K S, JIN W. Thermo-optically controlled vertical waveguide directional couplers for mode-selective switching[J]. *IEEE Photonics Journal*, 2018, 10(6): 1-14.
- [51] HUANG Q, WU Y, JIN W, et al. Mode multiplexer with cascaded vertical asymmetric waveguide directional couplers[J]. *Journal of Lightwave Technology*, 2018, 36(14): 2903-2911.
- [52] IM C S, KIM S M, LEE K P, et al. Hybrid integrated silicon nitride-polymer optical phased array for efficient light detection and ranging[J]. *Journal of Lightwave Technology*, 2021, 39(13): 4402-4409.
- [53] JIANG M, ZHANG D, LIAN T, et al. On-chip integrated optical switch based on polymer waveguides[J]. *Optical Materials*, 2019, 97: 109386.
- [54] XU X, MA L, HE Z. 3D polymer directional coupler for on-board optical interconnects at 1550 nm[J]. *Optics Express*, 2018, 26(13): 16344-16351.
- [55] NESIC A, BLAICHER M, HOOSE T, et al. Photonic-integrated circuits with non-planar topologies realized by 3D-printed waveguide overpasses[J]. *Optics Express*, 2019, 27(12): 17402-17425.
- [56] GASO P, PUDIS D, SEYRINGER D, et al. 3D Polymer based 1×4 beam splitter, [J]. *Journal of Lightwave Technology*, 2021, 39(1): 154-161.
- [57] BRADLEY J D, HOSSEINI E S, PURNAWIRMAN, et al. Monolithic erbium- and ytterbium-doped microring lasers on silicon chips[J]. *Optics Express*, 2014, 22(10): 12226-12237.
- [58] LI N, VERMEULEN D, SU Z, et al. Monolithically integrated erbium-doped tunable laser on a CMOS-compatible silicon photonics platform[J]. *Optics Express*, 2018, 26(13): 16200-16211.
- [59] MU J, DIJKSTRA M, GARCIA-BLANCO S M. Resonant coupling for active-passive monolithic integration of Al_2O_3 and Si_3N_4 [J]. *IEEE Photonics Technology Letters*, 2019, 31(10): 771-774.
- [60] MU J, DIJKSTRA M, YONG Y S, et al. Monolithic integration of Al_2O_3 and Si_3N_4 toward double-layer active-passive

- platform[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2019, 25(5): 1-11.
- [61] MU J, DIJKSTRA M, KORTERIK J, et al. High-gain waveguide amplifiers in Si₃N₄ technology via double-layer monolithic integration[J]. *Photonics Research*, 2020, 8(10): 1634-1641.
- [62] DE BEECK COP, HAQ B, ELSINGER L, et al. Heterogeneous III-V on silicon nitride amplifiers and lasers via microtransfer printing[J]. *Optica*, 2020, 7(5): 386-393.
- [63] KOU R, HIRATANI T, YAGI H, et al. Inter-layer light transition in hybrid III-V/Si waveguides integrated by micro-transfer printing[J]. *Optics Express*, 2020, 28(13): 19772-19782.
- [64] GUANGHUA D, JANY C, LE LIEPVRE A, et al. Hybrid III-V on silicon lasers for photonic integrated circuits on silicon [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(4): 158-170.
- [65] CHU S T, PAN W, SATO S, et al. ARROW-type vertical coupler filter: design and fabrication [J]. *Journal of Lightwave Technology*, 1999, 17(4): 652-658.
- [66] LITTLE B E, CHU S T, PAN W, et al. Vertically coupled glass microring resonator channel dropping filters[J]. *IEEE Photonics Technology Letters*, 1999, 11(2): 215-217.
- [67] CHU S T, PAN W, SATO S, et al. Wavelength trimming of a microring resonator filter by means of a UV sensitive polymer overlay, [J]. *IEEE Photonics Technology Letters*, 1999, 11(6): 688-690.
- [68] CHU S T, WUGAN P, SUZUKI S, et al. Temperature insensitive vertically coupled microring resonator add/drop filters by means of a polymer overlay[J]. *IEEE Photonics Technology Letters*, 1999, 11(9): 1138-1140.
- [69] GARNER S M, SANG-SHIN L, CHUYANOV V, et al. Three-dimensional integrated optics using polymers, [J]. *IEEE Journal of Quantum Electronics*, 1999, 35(8): 1146-1155.
- [70] KOONATH P, INDUKURI T, JALALI B. Monolithic 3-D silicon photonics[J]. *Journal of Lightwave Technology*, 2006, 24(4): 1796-1804.
- [71] XIANG C, JIN W, HUANG D, et al. High-performance silicon photonics using heterogeneous integration [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2022, 28(3): 1-15.
- [72] HU Y, LIANG D, MUKHERJEE K, et al. III/V-on-Si MQW lasers by using a novel photonic integration method of regrowth on a bonding template[J]. *Light: Science & Applications*, 2019, 8:93.
- [73] MOSS D J, MORANDOTTI R, GAETA A L, et al. New CMOS-compatible platforms based on silicon nitride and Hydex for nonlinear optics[J]. *Nature Photonics*, 2013, 7(8): 597-607.
- [74] YE Z, FULOP A, HELGASON O B, et al. Low-loss high-Q silicon-rich silicon nitride microresonators for Kerr nonlinear optics[J]. *Optics Letters*, 2019, 44(13): 3326-3329.
- [75] TANIZAWA K, SUZUKI K, IKEDA K, et al. Non-duplicate polarization-diversity 8×8 Si-wire PILOSS switch integrated with polarization splitter-rotators[J]. *Optics Express*, 2017, 25(10): 10885-10892.

Progress and Challenge of 3D Photonic Integrated Circuit (Invited)

YIN Yuexin, XU Xinru, DING Yingzhi, YAO Mengke, ZENG Guoyan, ZHANG Daming
*(State Key Laboratory of Integrated Optoelectronics, College of Electronic Science and Engineering,
 Jilin University, Changchun 130012, China)*

Abstract: The ever-increasing demand for high bandwidth is continued to grow in the forthcoming era of the Internet of Things (IoT) and 5G. Photonic Integrated Circuit (PIC), especially Silicon Photonics (SiPh), compatible with Complementary Metal-Oxide-Semiconductor (CMOS) technologies, is a solution for a high capacity and low power consumption communication. However, the scale of PIC is limited by optical loss and reticle size of Ultraviolet (UV) lithography, which is far from meeting the requirements of high-speed data communication and networking in Data Centers (DCs) and High Performance Computers (HPCs). Three dimensional integration Photonic Integrated Circuits (3D PICs), like the 3D integrated electronics, overcome many limitations of 2D photonic devices where all photonic components are on the same plane. Till now, several 3D PICs have been designed, proposed and experimentally demonstrated on different materials platforms, including SOI, SiN-on-SOI and polymer platforms. Wafer bonding and low temperature deposition are two general methods to fabricate 3D PICs. Wafer bonding is an effective way to achieve multilayer SOI devices for 3D PICs and photonic electronic integrated circuits. Also, bonding offers a method for 3D heterogeneous integration between III-V on silicon, which is an on-chip source solution. However, the cost of bonding equipment and fabrication is too expensive. Besides, several

materials, including silicon nitride (SiN), amorphous silicon (a-Si) and polycrystalline silicon (poly-Si), have been deposited on SOI wafer to conduct 3D PICs. Although SiN has some unique advantages, such as extremely low propagation loss, the large fabrication tolerance, SiN itself has no active effect (low thermal tuning). Therefore, SiN-on-SOI platform has been provided by many CMOS pilot lines, leveraging on both advantages of Si and SiN platform. However, multi active layers are still required in many applications such as optical switch and Optical Phase Array (OPA). A-Si is a similar material like SiN. And A-Si is possible turned to poly-Si with an order higher mobility by high temperature annealing or laser crystallizing. Laser crystallizing is a potential method for low loss and high mobility poly-Si, but lots of efforts are still needed to achieve wafer scale fabrication. Benefiting from low cost and simple fabrication, several optical devices have been experimentally demonstrated on polymer-based Planar Lightwave Circuits (PLCs) platform. The low index difference between the cores and cladding leads the core size of polymer to several micrometers, which is hard to achieve high dense PICs. The 3D integration polymer PLC could improve the integration degree effectively, and lots of 3D polymer-based devices have been proposed, including wavelength division multiplexer/demultiplexers, mode division multiplexer/demultiplexers and OPAs. In summary, to develop 3D devices, this study widely researched the design, fabrication method and measurement methods. Till now, several 3D devices based on different materials platforms have been carefully analyzed and demonstrated experimentally. In this review, we overview the origin, development, recent progress of 3D PICs along with the applications of these devices. In our opinion, the 3D integration offers a platform not only a denser integration but also a multi-functional or multi-materials integration platform, which contains sources, modulators, optical routers, photodetectors and their drivers on one chip.

Key words: Photonics integrated circuit; 3D integration; Optical communications; Optical interconnections; LiDAR

OCIS Codes: 250.5300; 130.3120; 060.4510; 200.4650; 280.3640