

引用格式: YAO Chunhe, YANG Xu, ZHAO Mingxin, et al. An Ultra High-speed Object Location Processor for SPAD Spike Image Sensors[J]. Acta Photonica Sinica, 2022, 51(11):1104001

姚春赫,杨旭,赵明心,等. 面向 SPAD 图像传感器的超高速目标定位处理器[J]. 光子学报, 2022, 51(11):1104001

面向 SPAD 图像传感器的超高速 目标定位处理器

姚春赫^{1,2}, 杨旭¹, 赵明心^{1,2}, 刘剑^{1,2}, 吴南健^{1,2,3}, 刘力源^{1,2}

(1 中国科学院半导体研究所 半导体超晶格国家重点实验室, 北京 100083)

(2 中国科学院大学 材料与光电研究中心, 北京 100049)

(3 中国科学院脑科学与智能技术卓越创新中心, 北京 100083)

摘要:提出了一种用于单光子雪崩二极管图像传感器的超高速目标定位处理器。它由一个处理阵列, 一个 Y 特征向量生成器和一个位置计算器组成, 能够进行噪声减除和目标定位处理。设计了一种省略了乘法和减法运算的高斯滤波和背景减除法, 降低了计算复杂度和硬件资源消耗, 并显著地提高了处理速度。整个处理器在 FPGA 开发板上实现, 实验结果表明, 该处理器能够以 100 000 帧/s 的速度实时处理 128×128 分辨率的脉冲图像, 并定位其中的运动物体。本文提出的处理器架构同样可用于其他脉冲图像传感器。

关键词:目标定位; 现场可编程; 单光子雪崩二极管; 背景减除; 高斯滤波

中图分类号: TN492

文献标识码: A

doi:10.3788/gzxb20225111.1104001

0 引言

超高速物体定位在观察发动机的燃烧过程、打印机喷墨过程和燃料喷射过程等民用或科学研究等众多应用中有很重要的价值^[1]。传统的图像传感器由于读出电路以及一些其他因素的限制, 很难达到较高帧率^[2]。而脉冲频率调制图像传感器^[3-5]和单光子雪崩二极管图像传感器^[6-8]等新型脉冲图像传感器可以通过较低的数据率来达到更高的帧率, 尤其是单光子雪崩二极管(Single Photon Avalanche Diode, SPAD)图像传感器具有高光子计数效率和高时间分辨率的突出优势^[9]。SPAD 器件内的热激发或隧道效应引起的图像噪声^[10]会严重干扰背景减除法的处理效果^[11]。因此, 为了提高定位性能, 超高速目标定位处理器应包括降噪电路。

目前, 已经有许多用于目标定位的处理电路被提出, 一部分工作是基于深度学习的处理电路^{[12][13]}, 而另一部分则是基于传统算法的处理电路, 例如局部二值模式(Local Binary Pattern, LBP)算法^{[14][15]}和 Hough Transform 算法^[16]。这些处理电路主要是基于传统图像传感器的灰度图像, 受限于存储和计算复杂度, 这些处理电路难以满足与 SPAD 图像传感器高帧率相匹配的超高速物体定位需求。尽管有一些对超高速定位硬件电路的尝试^[17-20], 但它们面向的场景极为简单, 或付出了巨大的硬件代价。另一方面, 在超高速物体定位的应用场景中, 相邻两帧内的背景通常可以认为是静态的, 因此可以采用背景减除法。背景减除法运算简单, 使其更易于硬化为超高速处理器。

针对上述问题, 本文提出了一种基于高斯滤波和背景减除法的 SPAD 脉冲图像传感器的超高速目标定

基金项目: 国家重点研究发展计划(No. 2019YFB2204303), 国家自然科学基金(Nos. U20A20205, U21A20504), 中国科学院先导专项(No. XDB32050200), 中国科学院先导专项培育项目课题(No. XDPB22), 中国科学院青年创新促进会(No. 2021109)

第一作者: 姚春赫(1994—), 男, 博士研究生, 主要研究方向为高速图像传感与处理。Email: ych8071@semi.ac.cn

导师: 刘剑(1966—), 男, 研究员, 博士, 主要研究方向为 CMOS 图像传感器。Email: liujian@semi.ac.cn

通讯作者: 刘力源(1982—), 男, 研究员, 博士, 主要研究方向为高速图像传感与处理。Email: liuly@semi.ac.cn

收稿日期: 2022-04-18; **录用日期:** 2022-05-13

<http://www.photon.ac.cn>

位处理器,并在现场可编程门阵列(Field Programmable Gate Array,FPGA)开发板上验证了其性能。本文主要内容包括:1)提出了一种用于脉冲图像传感器的高斯滤波和背景减法方法,通过重构高斯滤波方程去除了高斯滤波中的乘法操作,并通过初始化背景图去除了背景减除过程中的减法操作,通过这两种方法减少脉冲图像中的噪声并以超高速定位运动物体;2)提出了一种基于上述高斯滤波和背景减除法的超高速目标定位处理器;3)本文设计的目标定位电路可以复用到降噪和背景减除处理中来节省资源。该处理器可以进行超高速物体定位,在处理 128×128 分辨率的SPAD脉冲图像时,可以达到100 Kfps的速度,在超高速定位应用中表现出了其应用的优势。实验所得处理帧频受限于所使用的SPAD图像传感器,若忽略传感器帧频限制,该处理器的峰值处理帧率可达到1 605 Kfps。

1 处理器设计

在实际使用中,超高速目标定位对处理器的延时有着相当苛刻的要求,处理器的延时直接决定了目标定位所能达到的最高帧率。同时为了兼顾处理器体积以及可能存在的后续处理需求,处理器的硬件成本也应尽可能小。为了确保低延时,本文提出的方法以及电路结构中,尽可能提高了运算的并行度,避免了迭代运算造成的额外延时。同时通过简化高斯滤波以及背景减除法,消除了乘法运算,进一步降低了延时并减少了硬件资源消耗。本节将详细描述处理器架构,并分别阐述每个部分的关键设计。

1.1 处理器架构

超高速目标定位处理器如图1所示。它从SPAD图像传感器接收图像数据,并进行目标定位操作。SPAD图像传感器采用行滚动曝光,每次产生一行 N 个像素输出,图像传感器的输出格式为仅包含“1”和“0”的单比特脉冲图像,并可以通过积累复原为灰度图像。处理器包含了一个处理单元(Processing Element, PE)阵列、一个 Y 特征向量生成器、一个位置计算器、两个先入先出(First Input First Output, FIFO)缓存以及一个存储器。PE阵列包含 N 个处理单元,可对成像输出进行实时的行并高斯滤波、背景减除法以及 X 特征向量的生成。PE阵列与 Y 特征向量生成器和位置计算器共同完成物体的定位操作。PE阵列中的每个PE单元都包含了一个支持高斯滤波和背景减除法的预处理模块和一个支持目标定位的 X 特征向量生成器。预处理模块还可以被复用完成固定模式噪声(Fix Pattern Noise, FPN)去除。处理器中还包含两个FIFO,其中一个主要用于进行跨时钟域逻辑并输出当前帧数据,另一个主要用来存储和输出过去帧来进行高斯滤波操作。整个处理器以全流水线形式运行。

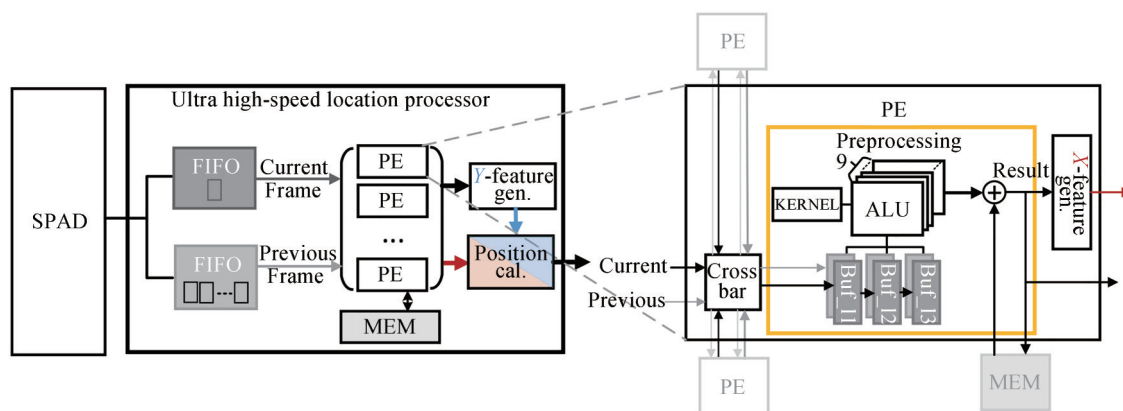


图1 处理器架构图

Fig.1 Location processor architecture

图2是目标定位处理器的所有处理操作的完整过程。输入图像被同时存入当前帧FIFO以及过去帧FIFO中。当前帧FIFO中读取到的最新帧图像以及过去帧FIFO中读取到的最早帧图像会被一同送入预处理模块,进行高斯滤波和背景减除的处理。结果被继续送入定位器中,直至最终输出目标的坐标。

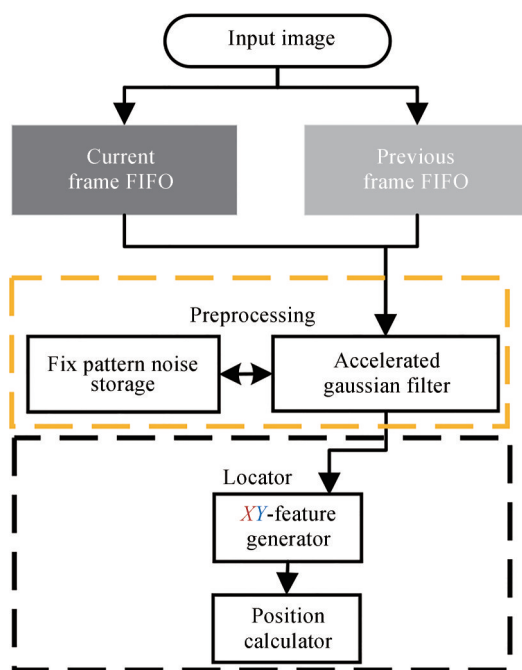


图2 处理器流程
Fig.2 Processing flow

1.2 预处理电路

在图1中,每个PE单元都可以从它的两个相邻PE中获取当前和最早的两帧图像数据。同时,在每个PE中都有用来存储当前卷积计算窗口内脉冲数据的寄存器。通常,卷积计算窗口为 3×3 ,因此每个PE单元中包含了9个ALU用于处理高斯滤波以及背景减除法。每个ALU的结构如图3所示。当图像传感器发送相应的数据时,当前帧数据、最早帧数据和卷积核在PE的处理窗口中的每个ALU中通过补码逻辑以及异或门进行计算,然后将滤波窗口与存储器中的数据进行累加,从而得到滤波结果。结果将会被存储回存储器中以供下一帧处理使用。

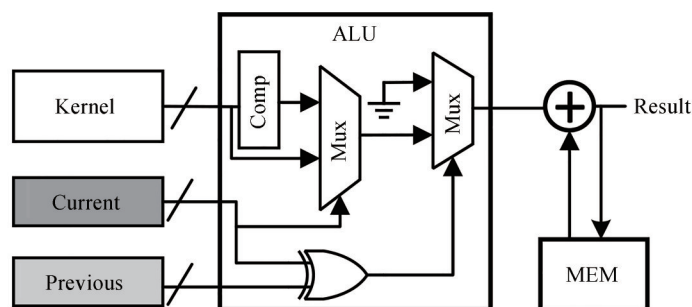


图3 处理单元示意图(Comp为补码模块)
Fig.3 ALU circuits (Comp denotes complement)

1.3 目标定位电路

目标定位模块由特征向量生成器和位置计算器组成。每个PE单元中包含了一个私有的X特征向量生成器,所有PE单元共享一个Y特征向量生成器,它们分别由累加器和加法树实现。每个X特征向量生成器对一行图像进行累加;随后,Y特征向量生成器立即输出当前加载行的前景图像求和结果作为Y的特征向量的一个元素。在每帧结束时,特征生成器可输出一行X和一系列Y特征向量。位置计算器将特征向量与阈值的比较,并输出目标的坐标位置。X位置计算器基于二分查找的方案逐位或操作计算X位置,图4(a)以 x_{\max} 为例介绍了计算方法。它会找到比较结果中最高和最低的非零位置,其索引值记录为 x_{\max} 和 x_{\min} 。Y位置计算器以串行的方式处理比较结果,其输出大于阈值的第一个和最后一个元素的位置,记为 y_{\min} 和 y_{\max} ,如图4(b)所示。

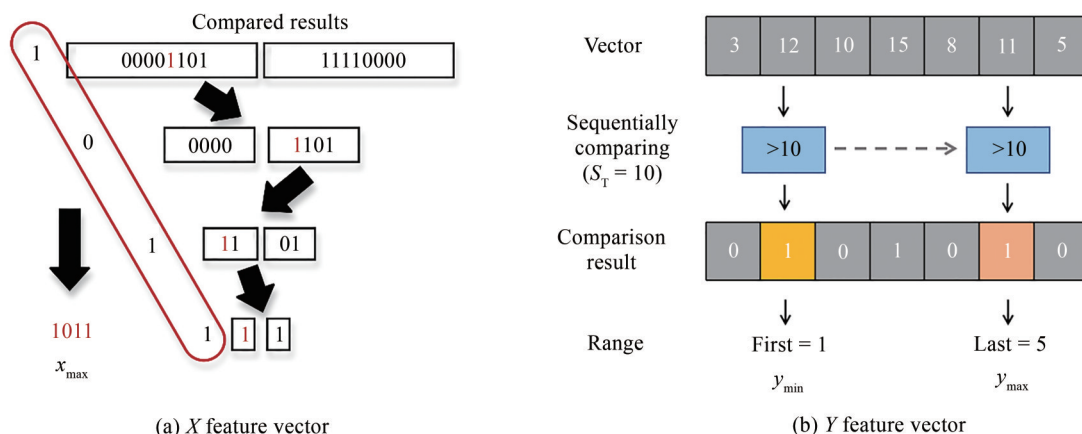


图4 定位器坐标输出计算示意图
Fig.4 Coordinate calculation of the locator

2 图像处理流程

处理器通过执行高斯滤波来对 SPAD 图像传感器输出的脉冲图像重建为实数灰度图并进行降噪,之后进行背景减除操作。此节首先简要描述帧恢复方法,并基于此方法提出改进的高斯滤波和背景减除法。

2.1 灰度图像重建

SPAD 传感器在每个时间步长会输出一帧单比特脉冲图像,传感器接收来自成像目标的反射光,并输出与入射光强成正比的脉冲速率编码序列。在一段时间窗口内,累积脉冲图像即可将脉冲成像结果重建为灰度图像^[7]。当使用划窗积累方法^[21]进行图像复原时,两个相邻的时间窗口内包含了部分项交叠的相同脉冲图像。相比于非交叠时间窗口,交叠滑窗方式避免了帧率损失。为简化设计,当进行当前时间窗口内图像恢复时,本文通过累加当前传入的脉冲图像帧并减除上一时间窗口内最早的一帧脉冲图像,这样可快速完成滑动窗口内图像累加。

2.2 高斯滤波加速

传统的高斯滤波方法包含大量的乘法运算,增加了电路的复杂性。考虑到以上采用了基于滑动窗口的方式对按固定时间间隔恢复的 SPAD 输入帧进行滤波处理,而高斯滤波所使用的卷积核的参数为固定值,且卷积本身为一种线性运算。因此在时间上,所积累的这些 SPAD 输入帧包含了大量相同的计算可以被复用。同时借助 SPAD 图像单比特的特性,可进一步简化乘累加运算为纯加法运算,从而大幅简化设计。为此,本文提出了一种高斯滤波加速方法。具体来说,传统的高斯滤波公式可以经过如下变换

$$F_p^{(t_i)} = K \circledast F_p^{(t_i)} = K \circledast (F_p^{(t_i-1)} + F^{(t_i)} - F^{(t_i-L)}) = K \circledast F_p^{(t_i-1)} + K \circledast (F^{(t_i)} - F^{(t_i-L)}) = F_p^{(t_i-1)} + K \oplus (F^{(t_i)} - F^{(t_i-L)}) \quad (1)$$

式中, $F_p^{(t_i)}$ 和 $F_p^{(t_i)}$ 表示在时刻 t_i 处经高斯滤波处理和未经高斯滤波处理的重建灰度图像。 K 表示高斯滤波核。以时刻 t_i 为时间起点,按照前文对时间窗口内 SPAD 帧累加的定义,SPAD 帧累加的部分和 $F_p^{(t_i)}$ 可以被分解为如式(1)中的第二行所示的两个部分。其中括号内的第一项 $F_p^{(t_i-1)}$ 即第 $t_i - 1$ 时刻时间窗口内所有 SPAD 帧累加的部分和,而第二部分 $F^{(t_i)} - F^{(t_i-L)}$ 即在时间窗口 L 内加入当前时刻 t_i 的 SPAD 帧,并舍去最早的帧 $F^{(t_i-L)}$,以上两个操作合并就表达了通过 $t_i - 1$ 时刻的 SPAD 累加的部分和得到 t_i 时刻累加的部分和的过程。进而,根据卷积的线性运算性质,将其拆分为如式(1)第三行中的两个子部分。再考虑到根据定义,卷积结果 $K \circledast F_p^{(t_i-1)}$ 可以表示为 $F_p^{(t_i-1)}$ 。此外,第二部分的高斯滤波操作中,由于 $F^{(t_i)}$ 和 $F^{(t_i-L)}$ 均为单比特图像,因此可将乘法累加简化为纯加法运算。至此,本文通过仅重构高斯滤波数学表达形式来用加法替换了所有乘法,而无需任何额外的硬件开销。同时需要说明的是,以上数学表达形式并未对 K 有任何特别约束,因而高斯滤波核可被其他滤波器替代,而无需修改设计。图4给出了加速高斯滤波的概念图。

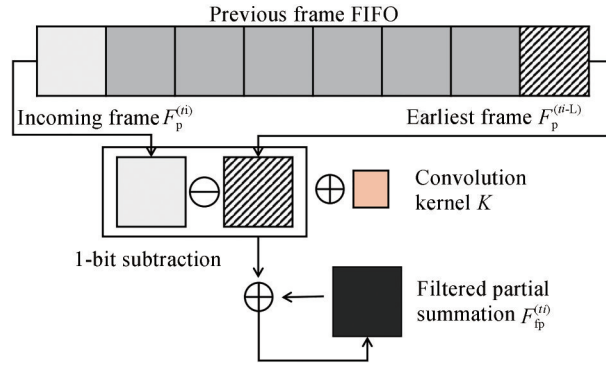


图5 简化的高斯滤波过程

Fig.5 Accelerated Gaussian filtering procedure

2.3 背景减除法

背景减除法是从静止的摄影机拍摄的画面上检测运动物体的一种广泛使用的方法^[22]。在实际场景中,首先以没有物体的静态场景为背景,对图像进行积累并应用上文中的高斯滤波方法,得到一张背景图。然后将背景图的值,也就是其补码,视为SPAD帧累加的最初的部分和,接下来包含运动物体的目标图像都会基于这个初始部分和来进行高斯滤波操作。这样,包含运动物体的所有目标图像在经过高斯滤波后都可以视为减除了积累的背景图。通过这种方法,本文实现了背景减除算法,同时也避免了在背景减除算法数据路径中的减法器。

2.4 固定噪声减除

在SPAD图像传感器生成的脉冲图像中还存在固定模式噪声^[23],这些固定模式噪声随着温度、光密度以及其他环境因素而变化。固定噪声可通过获取固定模式噪声图像并将它从实际成像的图像中减除的方式来减少,其近似公式表示为

$$F_H^{(t_i)} = F_G^{(t_i)} - \alpha \odot F_B^{(t_0)} \quad (2)$$

式中, $F_H^{(t_i)}$ 、 $F_G^{(t_i)}$ 、 $F_B^{(t_0)}$ 和 α 是固定噪声减除后的图像,固定噪声减除前的高斯滤波灰度图像、高斯滤波后的固定模式噪声图和噪声比例因子。在实际使用中,通过将SPAD图像传感器进行遮盖的方式积累噪声图,并通过复用背景减除电路对固定模式噪声进行减除。通过调整固定模式噪声图像和正常光照下图像的叠加数关系,得到不同的 α 值。

2.5 超高速目标定位

由于SPAD图像传感器以超高的帧率进行成像,因此和快速运动的物体相比,其背景可以视为静态的。为了在完成背景减除法后的前景图像 $F_H^{(t_i)}$ 中定位目标,本文在水平和垂直方向上对像素值进行积累来获得X和Y方向的累积特征向量。使用式(3)~(5)来计算目标的四个角点坐标。

$$\begin{cases} S_x = \sum_{y=0}^{\text{Row}} F_H(x, y) \\ S_y = \sum_{x=0}^{\text{Col}} F_H(x, y) \end{cases} \quad (3)$$

$$\begin{cases} x_{\{\min, \max\}} = \arg\{\min, \max\}(S_x > S_{T_x}) \\ y_{\{\min, \max\}} = \arg\{\min, \max\}(S_y > S_{T_y}) \end{cases} \quad (4)$$

$$\begin{cases} P_1 = (x_{\min}, y_{\min}) \\ P_2 = (x_{\min}, y_{\max}) \\ P_3 = (x_{\max}, y_{\min}) \\ P_4 = (x_{\max}, y_{\max}) \end{cases} \quad (5)$$

式中, S_{T_x} 、 S_{T_y} 是x和y方向的阈值,由经验确定。 $\arg\{\min, \max\}$ 表示对输入数据计算最小值(最大值)的索引值。 $P(1, \dots, 4)$ 是目标框的四个角点。具体如图6所示,图中所有标注与式(3)~(5)相同。

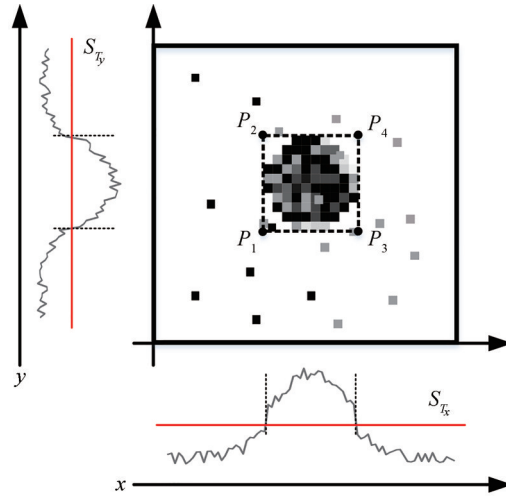


图6 目标定位方法示意图
Fig.6 Object location procedure

整个定位处理流程为

- 1) 使用高斯滤波和背景减除模块对输入图像处理得到前景图像；
- 2) 将前景图像发送到X特征向量生成器得到 S_x ，然后在每个脉冲图像帧末尾将其与预设阈值进行比较，并将二值结果发送到X位置计算器，得到 x_{\max} 和 x_{\min} 。
- 3) 与第2)步的同时，将前景图像发送到Y特征向量生成器，然后将每个生成器输出的Y特征向量传输到Y位置计算器。在每个脉冲图像帧末尾，输出 y_{\max} 和 y_{\min} 。

3 实验

基于FPGA开发板本文实现了处理器，并使用了一款 128×128 SPAD图像传感器构建了目标定位系统。所使用的SPAD图像传感器的最高帧率为100 000 帧/s。实验中，背景减除法采用公式(2)中使用 $\alpha=1$ 方案。

3.1 SPAD图像传感器及FPGA开发板

本文使用的SPAD图像传感器实物图如图7(a)所示，分辨率为 128×128 ，采取滚动曝光的方式，其主时钟为80 MHz。外部通过低频时钟配置图像传感器内部的参数寄存器来控制其曝光时间、帧率等参数，帧率最高

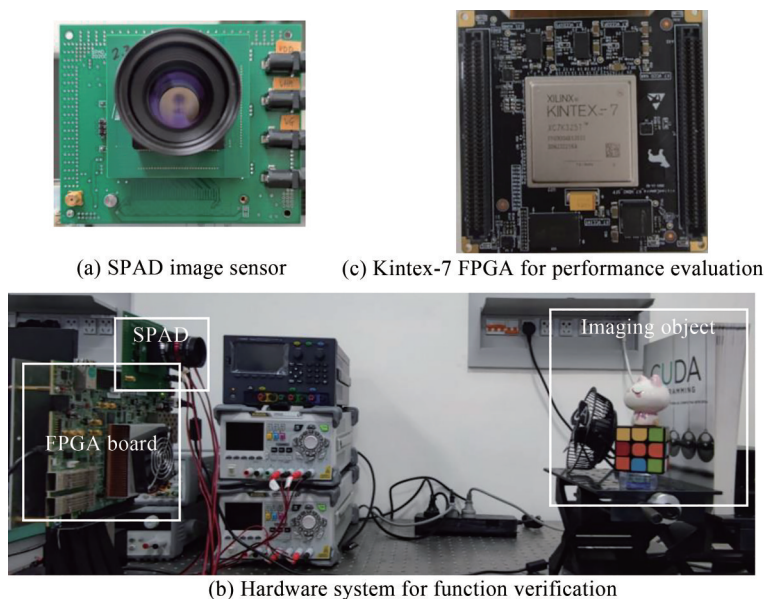


图7 实验硬件环境照片
Fig.7 Photo of experimental hardware environment

可以达到 100 000 帧/s。SPAD 图像传感器由帧同步(vsync)信号与列同步(hsync)信号控制,逐行输出像素曝光结果:帧同步信号脉冲指示一帧图像开始输出,列同步信号指示一列像素开始输出。另外,图像传感器进行了并串转换,将一列共 128 个像素输出分 4 周期读出。图像传感器工作于 100 000 帧/s 时的输出波形如图 8(a) 所示。在本文的实际处理中,首先将并串转换后的一列像素输出恢复为完整的列输出形式后再送入处理器。

本文基于 Xilinx VCU118 FPGA 开发板搭建了功能验证平台,如图 7(b) 所示。SPAD 图像传感器与 FPGA 开发板通过 FMC 接口相连,FPGA 开发板用于处理器实现,并将定位后的坐标输出给上位机。为了排除由于功能验证平台中 FPGA 的制程优势造成的假性能优势,在 Kintex-7 FPGA 开发板上对处理器性能进行了评估,如图 7(c) 所示。在 Kintex-7 上综合频率可以达到 220 MHz,不考虑 SPAD 图像传感器帧率限制,即假设图像传感器的成像速度可以匹配处理速度,则图像处理帧率可以达到 1 605 000 帧/s,在该速率下输出波形如图 8(b) 所示。

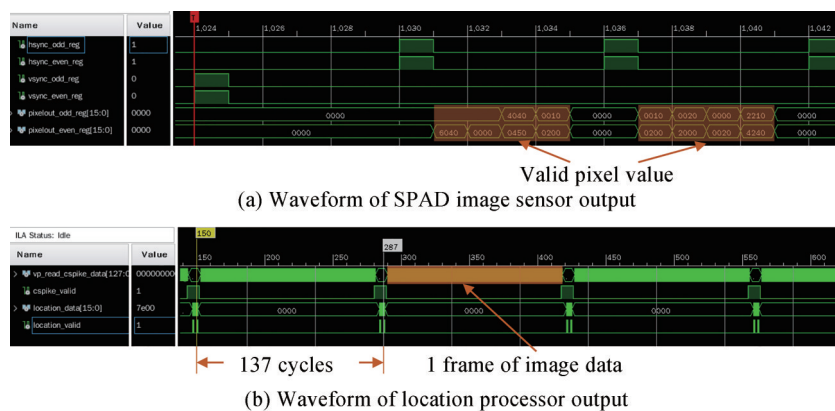


图 8 实验环境波形图

Fig.8 Waveform of experiments

3.2 高斯滤波和固定模式噪声减除

测试场景如图 9(a) 所示,在静态背景前放置一个转速为 2 200 r/min 的风扇。成像测试结果如图 9 所示,可见高斯滤波和固定噪声减除明显提升了图像质量。为了评估滤波前后图像的质量改善,本文采用广泛使用的基于 BRISQUE 的无参考指标进行了定量比较^[24],结果见表 1。显而易见,滤波和固定模式噪声减除后的图像的得分低于未滤波的图像,表明其图像质量更好。同时在图中放大了一些局部的图像区域来说明其滤波的图像增强效果。

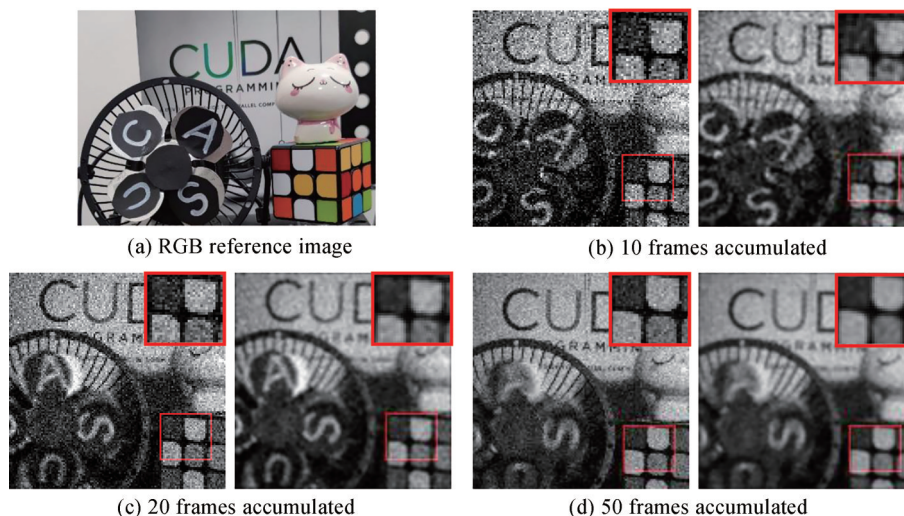


图 9 高斯滤波和固定噪声减除结果(左:滤波前,右:滤波后)

Fig.9 Gaussian filtering result (left: before processing, right: processed)

表1 降噪结果(分数越低,效果越好)
Table1 Denoise comparison (the less the score, the better)

Accumulated frames	Before denoise	After denoise
10	57.06	20.87
20	57.34	27.05
50	35.99	20.91

3.3 超高速目标定位

本文利用可以发射软子弹的玩具枪来构建高速场景。在100 000 帧/s的成像帧率下,SPAD图像传感器捕捉到的包含软子弹的图像共有350帧。累积的灰度图像和定位结果如图10所示。值得注意的是,由于在目标定位模式下,背景减除的结果并不会传回计算机,因此在进行图像展示时,将SPAD图像传感器的直接成像结果进行累积,在得到的灰度图上面绘制了目标的边界框,而不是在处理器实际处理的滤波后背景减除的图像上。在图10中可以看出,累积得到的灰度图像在快速飞行的软子弹后面有一个明显的拖尾阴影,这种现象表明软子弹的运动速度相当高。尽管如此,本文提出的定位处理器仍然在所有这些连续的图像帧中捕捉到了运动物体的轨迹,证明了这种方法的有效性。

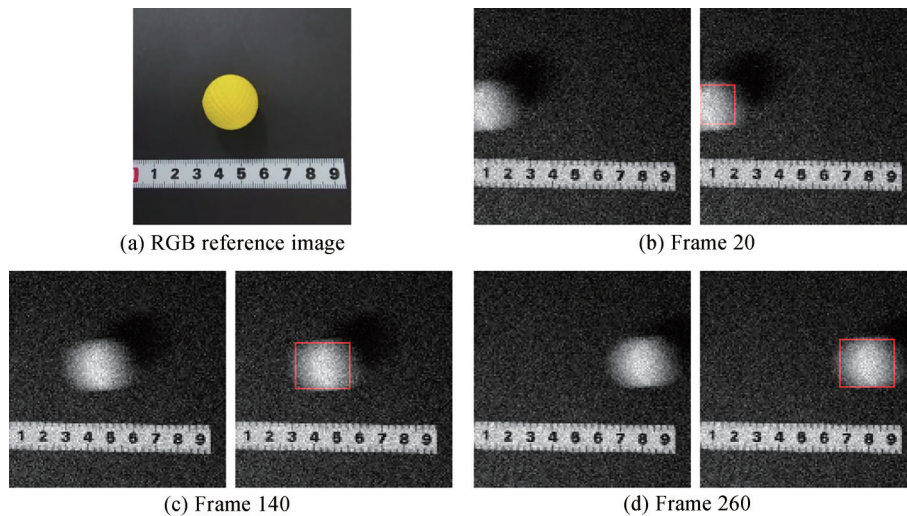


图10 目标定位结果(左:处理前。右:处理后)

Fig.10 Object location result (left: before processing, right: processed)

3.4 与其他工作对比

本文选择了几项超高速目标定位的相关研究进行比较,比较结果如表2所示。本文在Kintex-7 FPGA芯片上实现了定位处理器,在 128×128 分辨率下处理器的处理帧率峰值可以达到1 605 000 帧/s。由于本文所使用的SPAD图像传感器输出图像速率的限制,目标定位系统的速度为100 000 帧/s。HANCHINAMANI等在图像的背景减除法前后添加了高斯滤波并做了硬件实现,但他们没有简化乘法操作,从而导致了更多的资源占用^[17]。LI J等采用了梯度直方图和SVM来定位目标,但这种方式付出了额外的硬件消耗和时间,难以匹配SPAD图像传感器的高帧率^[18]。HE W等将高斯滤波器和统一的纹理动态压缩特征相结合,但是它们的并行度较低^[19]。因此虽然它们的硬件消耗并不高,但是其吞吐率也相对较低。XU J等提出了一种简单的脉冲积累方法来跟踪目标,可以实现相对较快的速度和较低的资源,但这种方法需要纯黑色背景,同时需要一个确定的目标大小,还非常容易受到噪声的干扰,是一个非常严苛的实验环境^[20]。

除了本文自身的工作外,为了验证本文所提出的优化的高斯滤波电路其资源占用与延时减少,本文评估了采用乘法操作的高斯滤波原始电路的处理器器的表现性能,如表2 Original algorithm列所示。结果表明,本文采取了优化方法的电路,其综合频率可以比原始处理器高31.8%,在硬件资源占用上比原处理器减少了72.4%。与这些工作相比,本文在处理的算法复杂度和硬件资源占用之间取得了有利的折衷,尤其是本

表 2 与其他工作对比
Table2 Comparison with other studies

	Ref. [17]	Ref. [18]	Ref.[19]	Ref.[20]	Original algorithm	Proposed algorithm
FPGA	Spartan-6	Stratix IV	Zynq-7045	Kintex-7	Kintex-7	Kintex-7
Image Type	8 bits	12 bit	8 bits	Spike	Spike	Spike
Frequency/MHz	164	80	100	N/A	150	220
Frame Rate/Kfps	N/A	10	0.63	40	100/1 095(Peak)	100/1 605(Peak)
Execution time/ns	N/A	760	N/A	44	60	41
Resources(LUT)	2 023	302 073 (w/o DSP)	20 873	N/A	129 729	35 772
Throughput*/(pixels·s ⁻¹)	N/A	2.621 G	48.38 M	4.000 G	1.638 G/17.94 G(Peak)	1.638 G/26.30 G(Peak)

注: * 表中的像素速率中 G 表示 10⁹, M 表示 10⁶

文在我们的应用场景下实现了最低的执行时间,这表明它在与其他基于脉冲的成像系统的比较中具有一定的优势。

4 结论

提出了一种用于 SPAD 图像传感器的专用目标定位器。该处理器包含了 PE 阵列、Y 特征向量生成器和位置计算器,可以完成降噪和目标定位操作。提出了一个免乘法的高斯滤波和免减法的背景减除模块的优化设计,显著提高了速度,节省了硬件资源。处理器的目标定位电路可以复用到降噪和背景减除当中,进一步减少了硬件资源。本文在 FPGA 开发板上实现了该处理器,在进行 128×128 的目标定位处理时帧率可以达到 1 605 000 帧/秒,在处理来自一款 SPAD 图像传感器的图像时其速度可以匹配其最高帧率 100 000 帧/秒。此外,该处理器对其输入的数据格式没有特殊限制,可以扩展支持其他脉冲型图像传感器,搭建对应的传感处理系统。

参考文献

- [1] TOCHIGI Y, HANZAWA K, KATO Y, et al. A global-shutter CMOS image sensor with readout speed of 1-Tpixel/s burst and 780-Mpixel/s continuous[J]. IEEE Journal of Solid-State Circuits, 2012, 48(1): 329-338.
- [2] OKURA S, NISHIKIDO O, SADANAGA Y, et al. A 3.7 M-pixel 1300-fps CMOS image sensor with 5.0 G-pixel/s high-speed readout circuit[J]. IEEE Journal of Solid-State Circuits, 2015, 50(4): 1016-1024.
- [3] CULURCIELLO E, ETIENNE-CUMMINGS R, BOAHEN K A. A biomorphic digital image sensor[J]. IEEE Journal of Solid-State Circuits, 2003, 38(2): 281-294.
- [4] GAO J, WANG Y, NIE K, et al. The analysis and suppressing of non-uniformity in a high-speed spike-based image sensor[J]. Sensors, 2018, 18(12): 4232.
- [5] XU J, MIAO J, GAO Z, et al. Analysis and modeling of quantization error in spike-frequency-based image sensor[J]. Microelectronics Reliability, 2020, 111: 113705.
- [6] BRONZI D, VILLA F, TISA S, et al. 100 000 frames/s 64×32 single-photon detector array for 2-D imaging and 3-D ranging[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2014, 20(6): 354-363.
- [7] MORIMOTO K, ARDELEAN A, WU M L, et al. Megapixel time-gated SPAD image sensor for 2D and 3D imaging applications[J]. Optica, 2020, 7(4): 346-354.
- [8] PADMANABHAN P, ZHANG C, CAZZANIGA M, et al. 7.4 A 256×128 3D-Stacked (45nm) SPAD FLASH LiDAR with 7-level coincidence detection and progressive gating for 100m range and 10klux background light[C]. 2021 IEEE International Solid-State Circuits Conference (ISSCC), IEEE, 2021, 64: 111-113.
- [9] BRUSCHINI C, HOMULLE H, ANTOLOVIC I M, et al. Single-photon avalanche diode imagers in biophotonics: review and outlook[J]. Light: Science & Applications, 2019, 8(1): 1-28.
- [10] GUERRIERI F, TISA S, TOSI A, et al. Two-dimensional SPAD imaging camera for photon counting[J]. IEEE Photonics Journal, 2010, 2(5): 759-774.
- [11] HANDA A, NEWCOMBE R A, ANGELI A, et al. Real-time camera tracking: When is high frame-rate best?[C]. European Conference on Computer Vision, Springer, Berlin, Heidelberg, 2012: 222-235.
- [12] ZHAO R, NIU X, WU Y, et al. Optimizing CNN-based object detection algorithms on embedded FPGA platforms[C]. International Symposium on Applied Reconfigurable Computing, Springer, Cham, 2017: 255-267.
- [13] FAN H, LIU S, FERIANC M, et al. A real-time object detection accelerator with compressed SSDLite on FPGA[C]. 2018 International Conference on Field-Programmable Technology (FPT), IEEE, 2018: 14-21.

- [14] YANG J, SHI C, LIU L, et al. Heterogeneous vision chip and LBP-based algorithm for high-speed tracking [J]. *Electronics Letters*, 2014, 50(6): 438-439.
- [15] YANG Y, YANG J, LIU L, et al. High-speed target tracking system based on a hierarchical parallel vision processor and gray-level LBP algorithm[J]. *IEEE Transactions on Systems, Man, and Cybernetics: Systems*, 2016, 47(6): 950-964.
- [16] LU X, SONG L, SHEN S, et al. Parallel Hough transform-based straight line detection and its FPGA implementation in embedded vision[J]. *Sensors*, 2013, 13(7): 9223-9247.
- [17] HANCHINAMANI S R, SARKAR S, BHAIANNANAWAR S S. Design and implementation of high speed background subtraction algorithm for moving object detection[J]. *Procedia Computer Science*, 2016, 93: 367-374.
- [18] LI J, LIU X, LIU F, et al. A hardware-oriented algorithm for ultra-high-speed object detection[J]. *IEEE Sensors Journal*, 2019, 19(10): 3818-3831.
- [19] HE W, ZHANG J, LIN Y, et al. A low-cost high-speed object tracking VLSI system based on unified textural and dynamic compressive features[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020, 68(3): 1013-1017.
- [20] XU J, WANG X, GAO Z, et al. High-speed target tracking algorithm for the pulse-sequence-based image sensor[J]. *IET Image Processing*, 2021, 15(5): 1157-1165.
- [21] ZHAO J, XIONG R, HUANG T. High-speed motion scene reconstruction for spike camera via motion aligned filtering [C]. 2020 IEEE International Symposium on Circuits and Systems (ISCAS), IEEE, 2020: 1-5.
- [22] PICCARDI M. Background subtraction techniques: a review[C]. 2004 IEEE International Conference on Systems, Man and Cybernetics, IEEE, 2004, 4: 3099-3104.
- [23] XU Y, XIANG P, XIE X, et al. A new modeling and simulation method for important statistical performance prediction of single photon avalanche diode detectors[J]. *Semiconductor Science and Technology*, 2016, 31(6): 065024.
- [24] MITTAL A, MOORTHY A K, BOVIK A C. No-reference image quality assessment in the spatial domain[J]. *IEEE Transactions on Image Processing*, 2012, 21(12): 4695-4708.

An Ultra High-speed Object Location Processor for SPAD Spike Image Sensors

YAO Chunhe^{1,2}, YANG Xu¹, ZHAO Mingxin^{1,2}, LIU Jian^{1,2}, WU Nanjian^{1,2,3}, LIU Liyuan^{1,2}

(1 State Key Laboratory of Superlattices and Microstructures, Institute of Semiconductors, Chinese Academy of Sciences, Beijing, 100083 China)

(2 Center of Materials Science and Optoelectronics Engineering, University of Chinese Academy of Sciences, Beijing, 100049 China)

(3 Center for Excellence in Brain Science and Intelligence Technology, Chinese Academy of Sciences, Beijing, 100083 China)

Abstract: Ultra high-speed object location has potential prospects in civilian and scientific applications. However, the conventional image sensor has a bottleneck that can not achieve continuous ultra high-speed imaging. The Single-Photon Avalanche Diode (SPAD) image sensor, as a new type of spike image sensor, can realize continuous ultra high-speed imaging to support high-speed moving object location. The background subtraction method is a simple and effective high-speed location method, but the image noise caused by the SPAD image sensor will seriously interfere with the processing effect of the background subtraction method. Therefore, denoise processing is required before locating. This paper proposes an ultra high-speed object location processor for SPAD image sensors. It consists of a Processing Element (PE) array, a Y -feature generator, and a position calculator, and is capable of denoising and object location processing. The SPAD image sensor adopts row rolling exposure to produce N pixel output of one row at once exposure. The output format of the SPAD image sensor is a single-bit spike image containing only "1" and "0". The processing array contains N processing units, each PE unit contains 9 ALUs, which equals the size of filtering window 3×3 , for processing Gaussian filtering and background subtraction methods with the current and earliest frames of spiking image data accessed from its two adjacent PEs. The current frame data, the earliest frame data, and the convolution kernel are calculated by complement logic and XOR gate in each ALU of the PE, and then the ALU results and the data in the memory are accumulated to obtain the filtering result. The object location module outputs a row of X feature vector and

a column of Y feature vector at the end of each frame. The position calculator compares the feature vector with their thresholds and outputs the coordinate position of the object. We propose the Gaussian filtering and background subtraction method to remove the multiplication and subtraction operations, which reduces the computational complexity and hardware resource consumption while improving the processing speed significantly. Based on the overlapping sliding window method on impulse images, this paper replaces multiplications with additions merely by refactoring the filtering equation without any hardware overhead. During background subtraction, a static scene without objects is used as the background. The image is accumulated and the Gaussian filtering method is applied to obtain a background image. Then the negative value of the background image is regarded as the initial partial sum accumulation, and Gaussian filtering is applied to the following images containing moving objects based on this initial partial sum. In this way, we implement the background subtraction algorithm without a subtractor in the data path. Fixed pattern noise removal can be performed by simply controlling the relationship between the number of accumulated images of the foreground and background, and reusing the circuit of the background subtraction method to perform fixed pattern noise removal. The object location method determines the coordinates of the four corners by comparing the result of background subtraction with the threshold. The whole process is implemented on the FPGA development board. The experimental results show that the quality of the recovered grayscale image is significantly improved after Gaussian filtering. The processor can process spike images with a resolution of 128×128 at a speed of 100 Kfps, and locate moving objects in it. Compared with other studies focusing on ultra high-speed object location, the processor we proposed reaches a favorable trade-off between the processing algorithm complexity and hardware resource overhead. This paper also compares the performance of the processor with the original naïve Gaussian filter circuit using the multiplication operation with our optimized processor. The result shows that our optimized processor can be synthesized to a frequency of 31.8% higher than the original one and achieves about 72.4% superiority over the original one on hardware resources. Moreover, our solution also can be applied to other spike image sensors to build a sensing-computing system.

Key words: Object location; FPGA; SPAD; Background subtraction; Gaussian filter

OCIS Codes: 100.2980; 100.3020; 100.4999