

引用格式: PENG Qiang, HE Sheng-quan, REN Liang-bin, *et al.* Study of Electronic Transport Characteristic and Electric Field Enhancement Effect of Wafer-bonded Si/Si p-n Junction[J]. *Acta Photonica Sinica*, 2020, 49(10):1025002

彭强,何盛泉,任良斌,等. 键合 Si/Si p-n 结电学输运特性及电场增强效应研究[J]. 光子学报, 2020, 49(10):1025002

键合 Si/Si p-n 结电学输运特性及电场增强效应研究

彭强,何盛泉,任良斌,李杏莲,柯少颖

(闽南师范大学 物理与信息工程学院,福建 漳州 363000)

摘要: Si/Si 键合可以在低温下获得高强度、零气泡的键合片,但极难获得无氧化层的键合界面,因此难以应用于光电子领域,本文从理论上研究了 Si/Si 键合界面氧化层厚度对键合 Si/Si p-n 结光电特性(电流、带宽和光谱)的影响.通过隧穿率、载流子浓度、电场分布、载流子速率、复合率等参数的变化揭示键合 Si/Si p-n 结性能影响因素,为超高质量 Si 基 Si 雪崩层及高性能 Si 基雪崩器件的制备提供理论指导.结果表明:随着氧化层厚度的增加,载流子隧穿率变小,p-n 结光暗电流降低(光谱响应下降)、复合率下降、载流子在 p-n 结内出现堆积.其次,随着氧化层厚度的增加,器件 RC 时间常数变大,氧化层内电场增强,导致 Si 层内电场下降,3 dB 带宽变小.

关键词: 薄膜;氧化层;Si/Si 键合;载流子隧穿;电场

中图分类号:TN315

文献标识码:A

doi:10.3788/gzxb20204910.1025002

Study of Electronic Transport Characteristic and Electric Field Enhancement Effect of Wafer-bonded Si/Si p-n Junction

PENG Qiang, HE Sheng-quan, REN Liang-bin, LI Xing-lian, KE Shao-ying

(College of Physics and Information Engineering, Minnan Normal University, Zhangzhou, Fujian 363000, China)

Abstract: Although high-strength and bubble-free Si/Si wafer pairs can be obtained by the Si/Si wafer bonding, the oxide-layer-free Si/Si bonded interface is difficult to be achieved. Thus, the Si/Si wafer bonding is difficult to be used in the field of optoelectronics. The effect of oxide layer thickness on the photoelectric characteristics (current, bandwidth, and spectrum) of wafer-bonded Si/Si p-n junction is studied. The factors which affect the performance of the Si/Si p-n junction are clarified by the simulation of carrier tunneling rate, carrier concentration, electric field, carrier velocity, and recombination rate. This may give guidance for the fabrication of ultrahigh-quality Si-based Si avalanche layer and high-performance Si-based avalanche device. The simulation results show that: with the increase of the oxide layer thickness, the carrier tunneling rate decreases, leading to the decrease of the dark current and photocurrent. The recombination rate also decreases and the carriers aggregate in the p-n junction. In addition, with the increase of the oxide layer thickness, the RC time constant of the device increases and the electric field enhances in the oxide layer, leading to the decrease of the electric field, which in turn results in the decrease of the 3 dB bandwidth.

Key words: Thin film; Oxide layer; Si/Si wafer bonding; Carrier tunneling; Electric field

OCIS Codes: 250.0040; 310.0310; 240.7040

基金项目:国家自然科学基金(No.62004087),漳州市自然科学基金(No.ZZ2020J32),闽南师范大学校长基金(No.KJ19014)

第一作者:彭强(1997-),男,硕士研究生,主要研究方向为 Si 基半导体材料键合. Email: 1017846617@qq.com

导师:柯少颖(1989-),男,副教授,博士,主要研究方向为 Si 基半导体材料键合及器件研究. Email: syke@mnnu.edu.cn

收稿日期:2020-05-12;录用日期:2020-09-03

<http://www.photon.ac.cn>

0 引言

随着大数据时代的到来,微电子行业飞速发展,在微机电系统(Micro-Electromechanical Systems, MEMS)^[1-3]、Si通孔^[4-6]以及绝缘体上Si(Silicon-On-Insulator, SOI)^[7-9]等领域中Si/Si键合技术^[10-18]发挥着不可替代的作用,该技术在光电领域超高质量薄膜制备方面也展现出巨大的应用潜力,是传统外延技术之外另一正在兴起并有望实现产业化的材料通用制备技术。

目前Si基雪崩光电二极管(Avalanche Photodiode, APD)中Si雪崩层的制备均采用传统的Si/Si同质外延技术^[19-21],然而由于外延技术对衬底和外延环境洁净度要求极高,因此外延Si薄膜常存在高密度的空位缺陷.其次,外延Si雪崩层还面临高温外延时衬底中掺杂原子向外延薄膜中扩散的问题,导致Si雪崩层杂质浓度提高2~3个数量级,使得雪崩器件发生提前击穿^[22].因此,若要进一步提高Si基APD的性能,需探索新材料制备技术,而Si/Si键合技术结合智能剥离技术是制备超高质量Si基Si雪崩倍增材料的潜在理想替代方案之一。

Si/Si直接键合技术起源于19世纪80年代^[10],经过几十年的发展,该技术衍生出多种改良方法,比较有代表性的方法包括:1)湿法键合^[11-12];2)等离子体活化键合^[13-14];3)高真空原子轰击键合^[15-16];4)紫外活化键合^[17-18].湿法键合采用-H基或-OH基溶液对Si片表面进行湿法活化实现室温贴合,再在高温下退火提高键合强度.该方法分为亲水键合和疏水键合两种方式,由于-OH基间的作用力远高于-H基间的作用力,因此亲水键合成功率更高.湿法键合虽然工艺简单,但要获得接近Si片断裂强度的键合强度,其退火温度需高达900℃以上,如此高的键合温度与传统互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺不兼容.其次,湿法键合制备的Si/Si键合界面存在较多气泡,难以应用于实际.更重要的是,该方法制备的Si/Si键合界面存在纳米级氧化层(1~3 nm),这极大地限制了其在光电子领域的应用。

为降低Si/Si键合温度,研究人员提出等离子体活化技术实现低温高强度Si/Si键合,该技术由于方法简单、技术成熟目前已获得广泛应用.该技术采用反应离子刻蚀(Reactive Ion Etching, RIE)中的O等离子体和N微波自由基等离子体实现Si片表面污染物的去除,并打开Si片表面悬挂键实现表面活化,获得活性极高的Si表面.同时,经过等离子体处理后的Si表面会形成疏松的氮氧化物薄层结构,可实现键合界面气泡副产物(H₂和H₂O)的排出,获得零气泡键合界面.然而该方法仍然会在键合界面引入氧化层,且随着退火温度的升高,氧化层逐渐变厚,界面势垒变大,导致键合界面非线性电学输运特性的出现。

高真空原子轰击键合采用高能量Ar原子对Si表面进行清洗和活化,活化后在超高真空环境下进行原位贴合实现Si/Si键合.该技术虽然可以在极高真空下(10⁻⁷ Pa)实现无氧化层的Si/Si键合界面,然而真空度一旦下降,键合界面将会形成氧化层并伴随气泡的出现.其次,采用高能Ar原子轰击Si片使得表面存在纳米级悬挂键薄层,导致键合界面形成非晶过渡层,极大地影响键合界面电学特性.因此,极高的活化真空度和键合界面极高的界面态密度或势垒限制了该技术的应用.而紫外活化键合中虽然采用紫外线表面活化也可以实现低温Si/Si键合,但依然无法解决键合界面氧化层和气泡问题。

综上所述,目前已报道的Si/Si键合技术虽然可以实现低温、高强度、大面积Si/Si键合,却难以消除Si/Si键合界面由于亲水(或疏水)反应形成的界面氧化层.载流子在键合界面的电学传输将极大地受到限制,并对光电子器件性能产生影响.因此,深入研究氧化层对Si/Si键合界面载流子输运特性的影响是目前亟待解决的关键问题,是将该技术应用于光电子领域所必需的前期工作基础。

为此,本文基于载流子输运方程、隧穿模型及半经典量子解法对Si/Si键合界面载流子输运机制及其对Si/Si键合p-n结光电特性的影响进行深入研究,从能带结构、载流子浓度、电场分布、隧穿率等参数的理论计算分析,探索Si/Si键合界面氧化层厚度(Oxide Layer Thickness, OLT)对Si/Si p-n结电学输运特性的影响,分析凝练键合Si/Si p-n结性能影响因素及其与氧化层的关联性,为超高质量Si基Si薄膜的制备及高性能Si基APD的研制提供理论指导。

1 键合模型及参数设置

本文模拟的键合Si/Si p-n结模型如图1(a)所示,p-Si层和n-Si层均为重掺杂层,掺杂浓度设置为1×10¹⁸ cm⁻³,两层厚度均设置为1 μm,上台面和下台面直径分别为30 μm和44 μm.为模拟Si/Si键合界面氧化层对p-n结性能的影响,本文在p⁺-Si层和n⁺-Si层中间插入一层厚度均匀的SiO₂氧化层,厚度设置为1 nm,

同时定义上下电极均为欧姆接触.图 1(b)为键合 Si/Si p-n 结中电子输运过程,从图中可以看出在一定偏压下,电子从 p⁺-Si 层漂移至 p⁺-Si/SiO₂ 界面,通过势垒隧穿效应到达 n⁺-Si 层,最后被电极收集.这里涉及到两种载流子输运过程,一种是载流子漂移过程,另一种是载流子在键合界面的势垒隧穿过程.

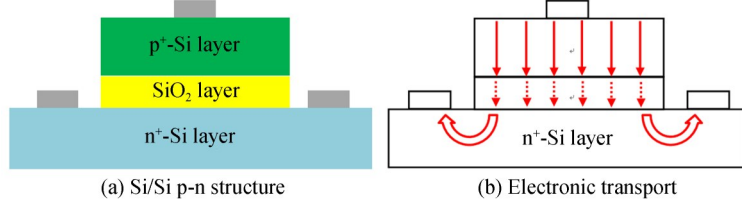


图 1 键合 Si/Si p-n 结模型和电子输运过程

Fig. 1 Structure and electronic transport of the wafer-bonded Si/Si p-n structure

本文中键合 Si/Si p-n 结中载流子在 p⁺-Si 层和 n⁺-Si 层内漂移过程的计算主要是基于以下六种基本模型:泊松方程、载流子连续性方程、载流子传输方程、浓度和温度依赖迁移率模型、平行电场依赖模型、SRH 产生复合模型.

$$\text{div}(\epsilon \nabla \psi) = -\rho \quad (1)$$

式(1)为泊松方程,其中 ϵ 为介电常数, ψ 为静电势能, ρ 为电荷体密度.

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div} J_n + G_n - R_n \quad (2)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \text{div} J_p + G_p - R_p \quad (3)$$

式(2)和式(3)为载流子连续性方程,其中 n 和 p 分别为电子和空穴浓度, G_n 和 G_p 分别为电子和空穴的产生率, J_n 和 J_p 分别为电子和空穴的输运电流, q 为单位电荷, R_n 和 R_p 分别为电子和空穴的复合率.

$$J_n = -q \mu_n n \nabla \phi_n \quad (4)$$

$$J_p = -q \mu_p p \nabla \phi_p \quad (5)$$

式(4)和式(5)为载流子传输方程,其中 μ_n 和 μ_p 分别为电子和空穴的迁移率, ϕ_n 为 n 型掺杂的准费米能级, ϕ_p 为 p 型掺杂的准费米能级.

$$\mu_{n,p} = u_{n,p}^{\min} + \frac{u_{n,p}^{\max} - u_{n,p}^{\min}}{1 + \left(\frac{N_i}{N_{n,p}^{\text{crit}}} \right)^{\delta_{n,p}}} \quad (6)$$

式(6)为载流子迁移率模型,其中 $\mu_{n,p}$ 分别为电子和空穴迁移率, N_i 为总掺杂浓度, $u_{n,p}^{\max}$ 分别为当晶格的散射起主要作用时的最高电子和空穴迁移率,此时 N_i 为最低总掺杂浓度, $u_{n,p}^{\min}$ 分别为当电离杂质的散射起主要作用时的电子和空穴最低迁移率,此时 N_i 为最高总掺杂浓度, $\delta_{n,p}$ 为从 $u_{n,p}^{\min}$ 到 $u_{n,p}^{\max}$ 的转换速率, $N_{n,p}^{\text{crit}}$ 为 $u_{n,p}^{\min}$ 与 $u_{n,p}^{\max}$ 的中间值所对应的掺杂浓度.

$$\mu_{n,p}(E) = \mu_{n_0, p_0} \left[1 + \left(\frac{\mu_{n_0, p_0} \cdot E}{v_{\text{sat}, n, p}} \right)^{\beta_{n, p}} \right]^{-\frac{1}{\beta_{n, p}}} \quad (7)$$

式(7)为平行电场依赖模型,其中 E 为平行电场, $v_{\text{sat}, n, p}$ 为电子饱和速率, μ_{n_0} 和 μ_{p_0} 分别为低电场电子和空穴迁移率, β 为拟合系数.

$$R_{\text{SRH}} = \frac{pn - n_i^2}{\tau_p \left[n + n_i \exp\left(\frac{E_{\text{trap}}}{kT_L}\right) \right] + \tau_n \left[p + n_i \exp\left(\frac{-E_{\text{trap}}}{kT_L}\right) \right]} \quad (8)$$

式(8)为 SRH 产生复合模型,其中 R_{SRH} 为载流子复合率, n_i 为本征载流子浓度, τ_p 为空穴寿命, τ_n 为电子寿命, T_L 表示晶格温度, E_{trap} 为本征费米能级与复合中心能级之间的能级差.

由于Si/Si键合界面存在高势垒的SiO₂层,因此载流子通过传统迁移过程无法漂移越过界面势垒,只能以势垒隧穿的形式进行输运,为此在模拟中引入基于Price和Radcliffe提出的非局域量子势垒隧穿模型^[23],如式(9)所示,其中 m_t 为横向有效质量, m_l 为纵向有效质量, E_{Fr} 和 E_{Fl} 分别为势垒两边的准费米能级.模型引入后在键合界面氧化层附近定义了一个特殊的非局域隧穿区供载流子隧穿.为简化计算,同时保证程序的收敛性,模拟中引入半经典温策尔-克雷默-布里渊(Wentzel-Kramers-Brillouin, WKB)运算近似^[24]来求解载流子在键合界面的薛定谔方程,如式(10)所示.其中 $T(E)$ 为载流子隧穿率, $k(x)$ 为势垒内的波矢量, d 为势垒宽度.其次,在模拟中采用玻尔兹曼分布替代费米分布对键合界面复杂的迭代运算进行求解.

$$J = \frac{qKT}{2\pi^2 h^3} (2m_t + 4\sqrt{m_l m_t}) \int T(E) \ln \left\{ \frac{1 + \exp[(E_{Fr} - E)/kT]}{1 + \exp[(E_{Fl} - E)/kT]} \right\} dE \quad (9)$$

$$T(E) \cong \exp\left(-\frac{2}{\hbar} \int_0^d |k(x)| dx\right) \quad (10)$$

Si和SiO₂材料的介电常数分别设置为11.8和3.9, SiO₂导带和价带势垒高度分别设置为3.28 eV和4.65 eV, Si的带隙设置为1.08, 电子亲和能设置为4.17, 导带和价带有效态密度分别设置为 $2.8 \times 10^{19} \text{ cm}^{-3}$ 和 $1.04 \times 10^{19} \text{ cm}^{-3}$, 电子和空穴寿命设置为 10^{-7} s , 电子和空穴迁移率分别设置为 $1350 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 和 $490 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$.

2 结果与讨论

首先模拟了Si/Si键合界面氧化层厚度 d 对键合Si/Si p-n结暗电流的影响,如图2所示.从图中可以看出,随着 d 的增加, p-n结的正反电流同时下降,正向电流下降较为明显.值得注意的是,在反偏条件下,当 d 大于1.75 nm时, p-n结的暗电流在低电压下开始出现大幅降低.为解释其原因,模拟了键合界面 d 对载流子隧穿率的影响,如图3所示,隧穿率是根据式(9)和式(10)进行计算.从图可以看出,随着 d 的增加,电子隧穿

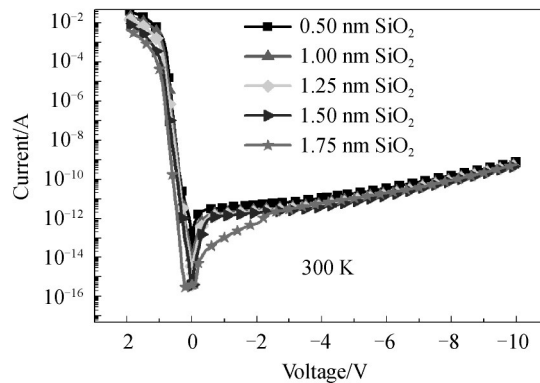


图2 不同 d 对Si/Si p-n结暗电流的影响

Fig. 2 Effect of d on the dark current of the Si/Si p-n junction

率呈下降趋势.本文也对空穴隧穿率进行了模拟,从图3(b)中可以看出,随着 d 的增加,空穴隧穿率也呈下降趋势.值得注意的是,空穴隧穿率随 d 的变化趋势比电子隧穿率明显得多.

另一个影响Si/Si p-n结暗电流的因素是器件中的总复合率,为探究暗电流变化的根本原因,在-1 V偏压下对p-n结中的总复合率进行模拟,如图4所示.从图中可以看出, Si/Si p-n结中的载流子复合主要集中在键合界面,且随着 d 的增加,总复合率呈下降趋势.结合隧穿率的变化,可以得出随着 d 的增加,键合界面空穴隧穿率和器件总复合率的下降是导致Si/Si p-n结暗电流降低的主要原因.

为探究Si/Si p-n结总复合率随 d 变化的原因,对Si/Si p-n结中的载流子浓度进行模拟,如图5所示.从图中可以看出,随着 d 的增加, Si/Si p-n结中的电子浓度和空穴浓度均呈上升趋势.可以得出,随着 d 的增加,由于载流子隧穿率下降, p-Si中的电子和n-Si中的空穴难以隧穿过界面SiO₂势垒,因此载流子在键合界面氧化层的两侧出现了不同程度的堆积, p-Si中的电子无法与n-Si中的空穴发生复合,这也是p-n结中总复合率下降的主要原因.

影响p-n结中载流子浓度的因素除了 d 之外,电场也是一个极为重要的参数.因此模拟了不同 d 对p-n

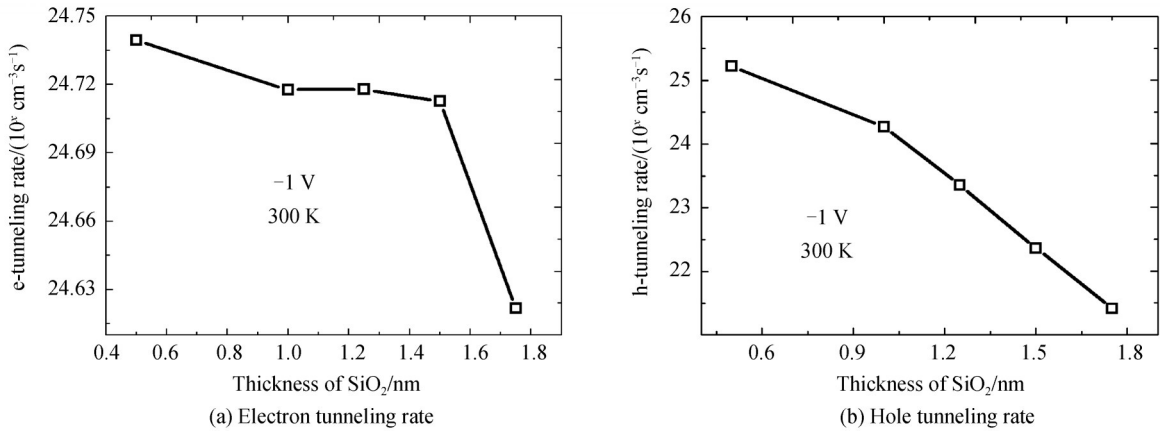


图3 不同 d 对 Si/Si 键合界面载流子隧穿率的影响
Fig. 3 Effect of d on the carrier tunneling rate at Si/Si bonded interface

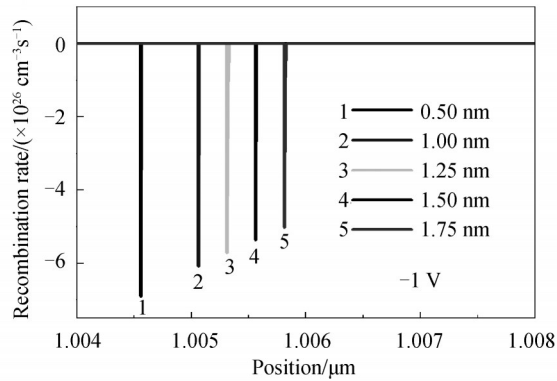


图4 不同 d 对 Si/Si p-n 结总复合率的影响
Fig. 4 Effect of d on the recombination in the Si/Si p-n junction

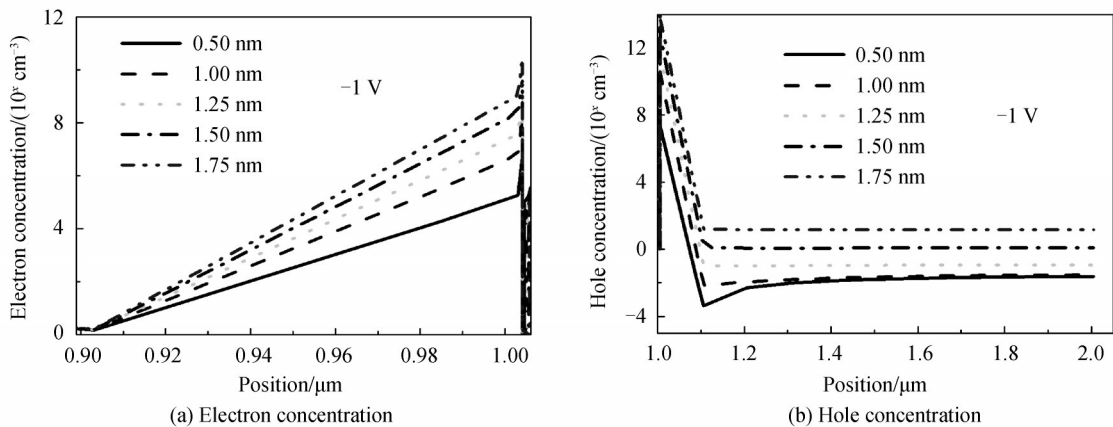
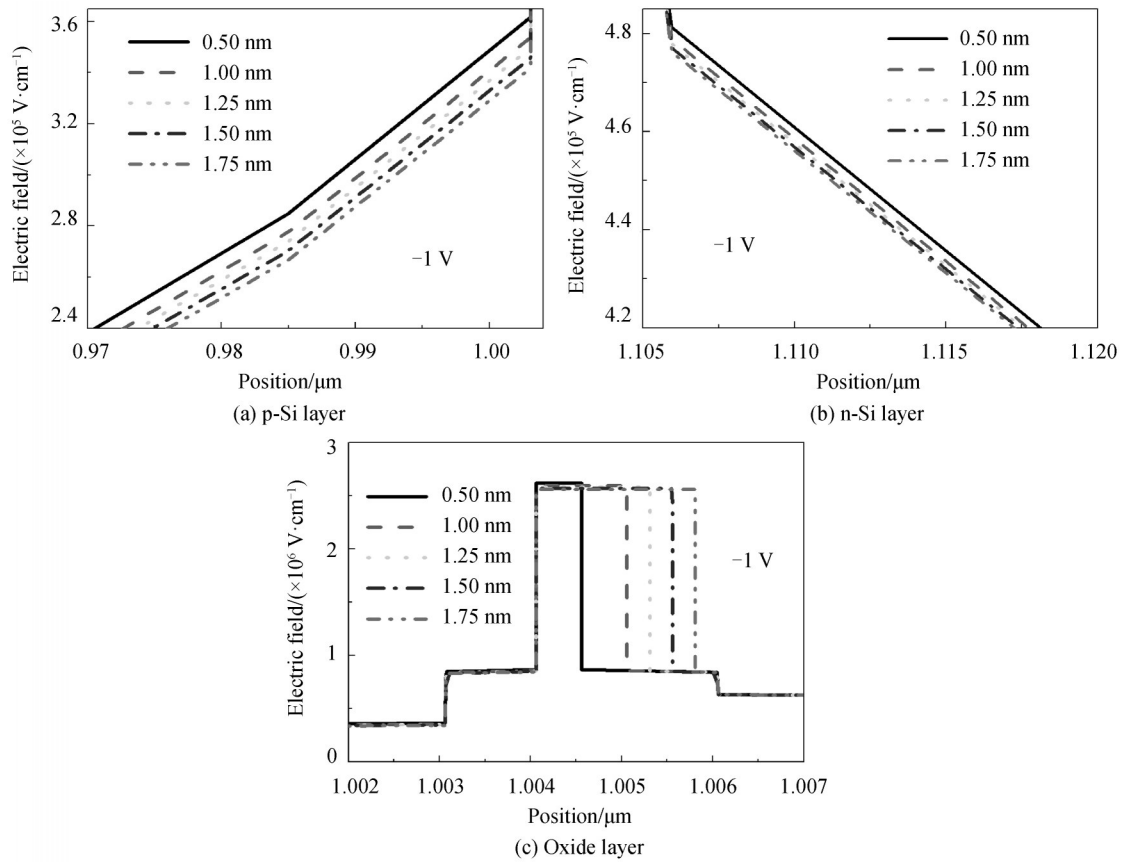
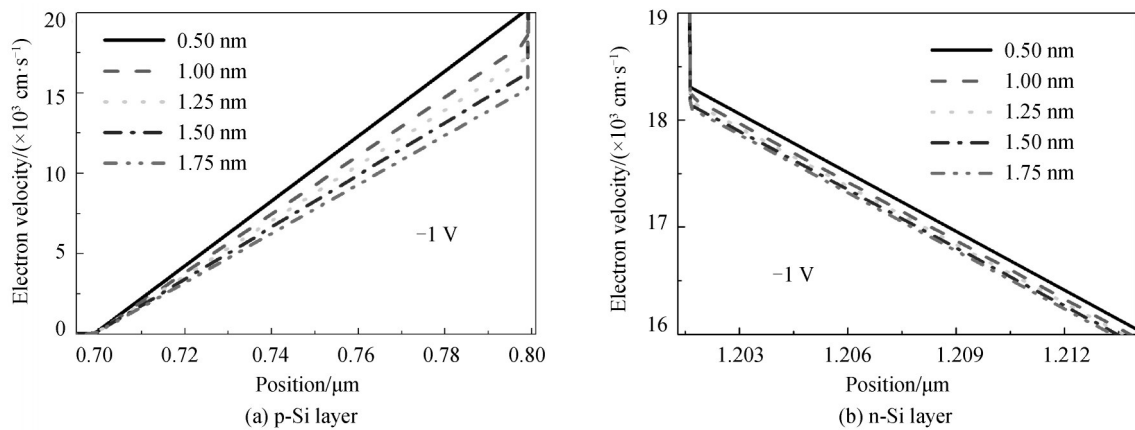


图5 不同 d 对 Si/Si p-n 结载流子浓度的影响(x 代表 Y 轴的值)
Fig. 5 Effect of d on the carrier concentration in the Si/Si p-n junction (x represents the value of Y axis)

结中电场的分布,如图6所示.从图中可以看出,随着 d 的增加, p-Si 层和 n-Si 层中的电场同时下降,而氧化层中的电场覆盖范围变大,但峰值降低.这主要是由于 SiO₂ 是绝缘物质,相当于在 p-n 结中引入一个大电阻,因此氧化层在 p-n 结中存在电场增强效应,虽然 d 的增加导致电场强度略微下降,但由于电场在氧化层中的覆盖范围变大,氧化层分担的电压增加,导致 p-Si 层和 n-Si 层中的电场下降.电场下降将导致载流子速率下降,如图7所示.由此可得, Si/Si p-n 结中形成载流子堆积的另一个原因是随着 d 的增加, p-Si 层和 n-Si 层中电场下降,引发 Si/Si p-n 结中的载流子速率下降,从而出现载流子堆积.

图6 不同 d 对 Si/Si p-n 结电场的影响Fig. 6 Effect of d on the electric field in the Si/Si p-n junction图7 不同 d 对 Si/Si p-n 结中载流子速率的影响Fig. 7 Effect of d on the carrier velocity in the Si/Si p-n junction

接着从能带结构分析 d 对 p-n 结特性的影响,如图 8 所示.从图中可以看出,随着 d 的增加,n-Si 中的能带结构变化不明显,而 p-Si 中的导带和价带均大幅度上移.能带的变化与材料中的电荷堆积现象密切相关,因此对 Si/Si p-n 结中的电荷浓度进行模拟,如图 9 所示.从图中可以看出,随着 d 的增加,p-Si 中的电荷浓度逐渐减少,而 n-Si 中的电荷浓度变化不明显.因此可得,随着 d 的增加,p-Si 层中的电荷堆积现象得到缓解,电荷浓度下降,导致能带上移.

为探究键合界面 d 对 Si/Si p-n 结高频特性的影响,模拟中采用 850 nm 的入射光照射到 p-n 结台面上,在 -5 V 偏压下模拟了 d 对 Si/Si p-n 结 3 dB 带宽的影响,如图 10(a)所示.从图中可以看出,随着 d 的增加,3 dB 带宽呈现非线性下降趋势.3 dB 带宽的主要影响因素有两个:器件的 RC 时间常数和载流子速率.由于

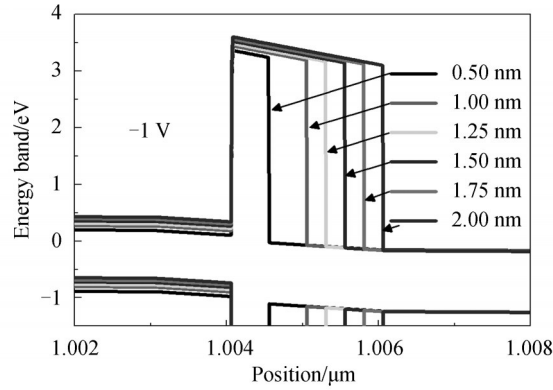


图8 不同 d 对 Si/Si p-n 结能带的影响
Fig. 8 Effect of d on the energy band in the Si/Si p-n junction

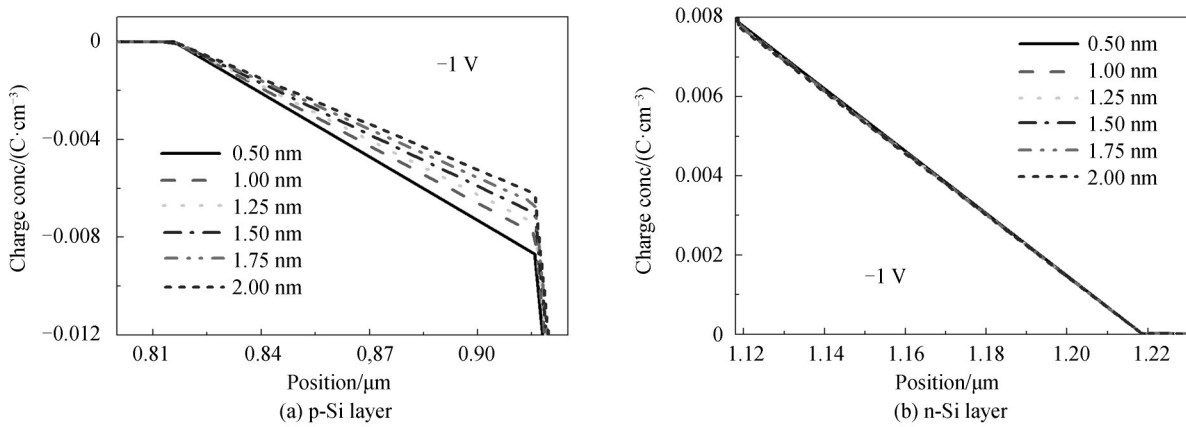


图9 不同 d 对 Si/Si p-n 结中电荷浓度的影响
Fig. 9 Effect of d on the charge concentration in the Si/Si p-n junction

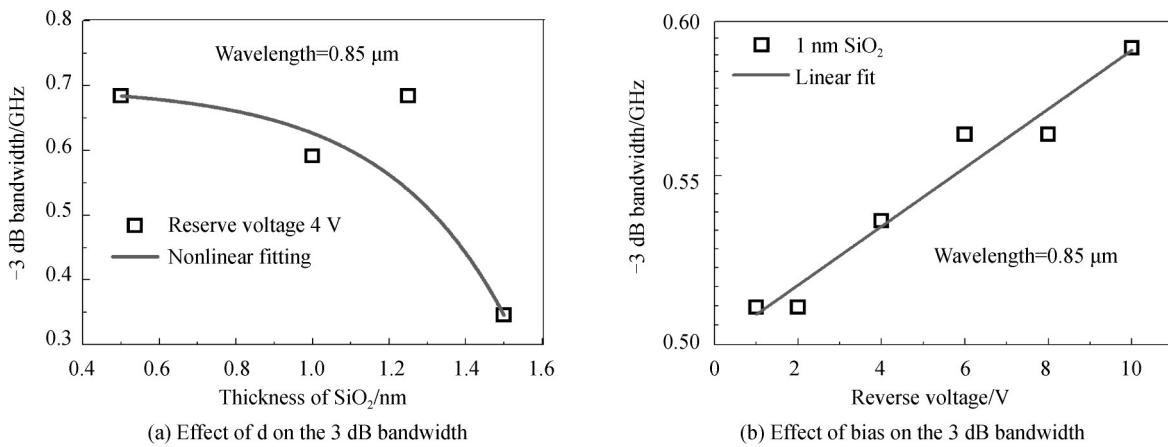


图10 不同 d 和偏压对 Si/Si p-n 结 3dB 带宽的影响
Fig. 10 Effect of d and bias on the 3dB bandwidth of the Si/Si p-n junction

SiO₂具备电阻特性,因此随着 d 的增加,器件的 RC 时间常数逐渐变大,导致带宽下降.另一方面,从图6中可以看出,随着 d 的增加,界面氧化层中的电场增强,导致 p-Si 和 n-Si 层中的电场下降, p-n 结中载流子速率降低(图7),进而导致器件的 3 dB 带宽下降.因此,可以认为 3 dB 带宽呈现非线性下降是由于 RC 时间常数和载流子速率共同作用的结果.为直观地描述氧化层中的电场增强效应,模拟了偏压对 p-n 结 3 dB 带宽的影响, d 设置为 1 nm,结果如图10(b)所示.从图中可以看出,随着偏压的增加, p-n 结 3 dB 带宽逐渐增加,呈现线性增长趋势.

为探究 3 dB 带宽随偏压变化的原因,对 p-n 结中的电场进行模拟,如图 11 所示.从图中可以看出,键合界面氧化层的电场增强效应极为明显,相比于氧化层两端的 Si 半导体层,随着偏压的增加,氧化层中的电场急剧增加,增幅为 Si 层中电场增幅的 3 倍以上,可以得出增加的偏压大部分被氧化层分担,导致电场增强.另一方面,随着偏压增加,p-Si 层和 n-Si 层中的电场也同时增加.对载流子速率也进行模拟,如图 12 所示,可以看出随着偏压的增加,p-Si 和 n-Si 中的电子速率逐渐增加.在模拟过程中发现,对于空穴而言,偏压增加也导致空穴速率增加.可以得出,随着偏压增加,p-Si 层和 n-Si 层中的电场增加,载流子速率上升,进而导致 3 dB 带宽增加.

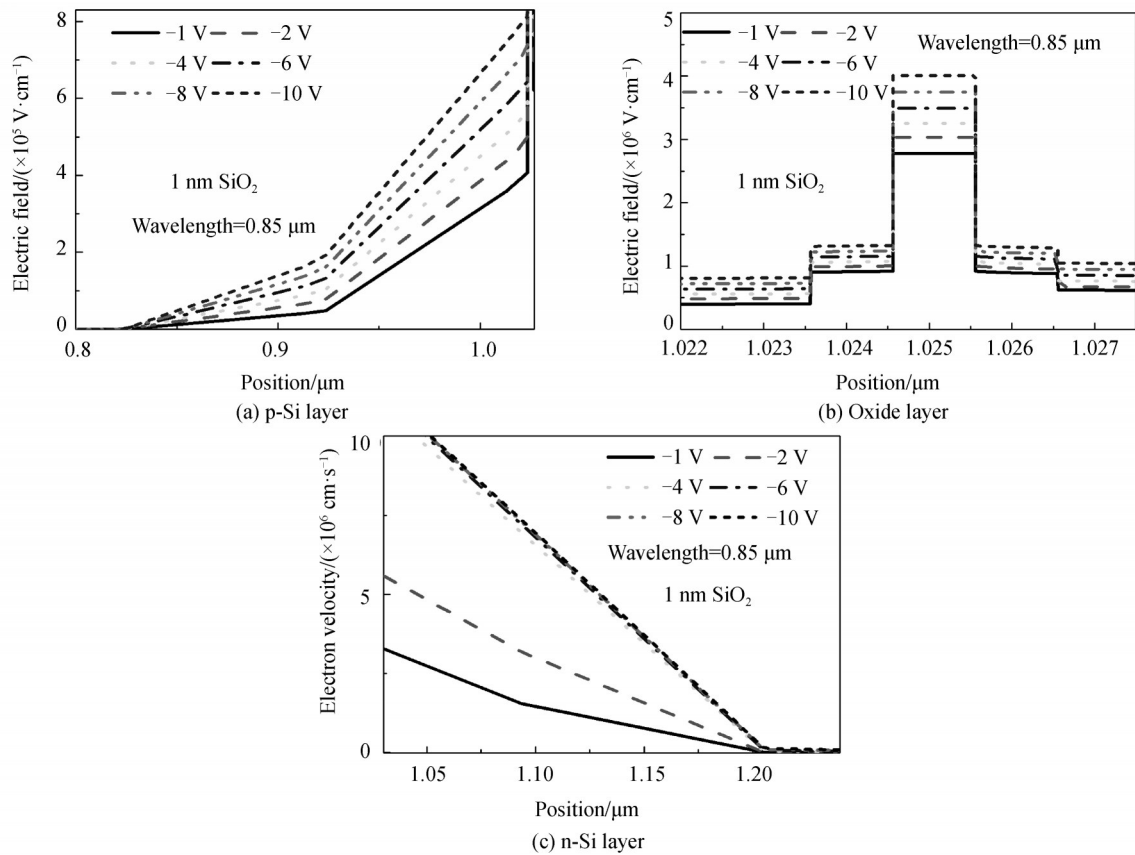
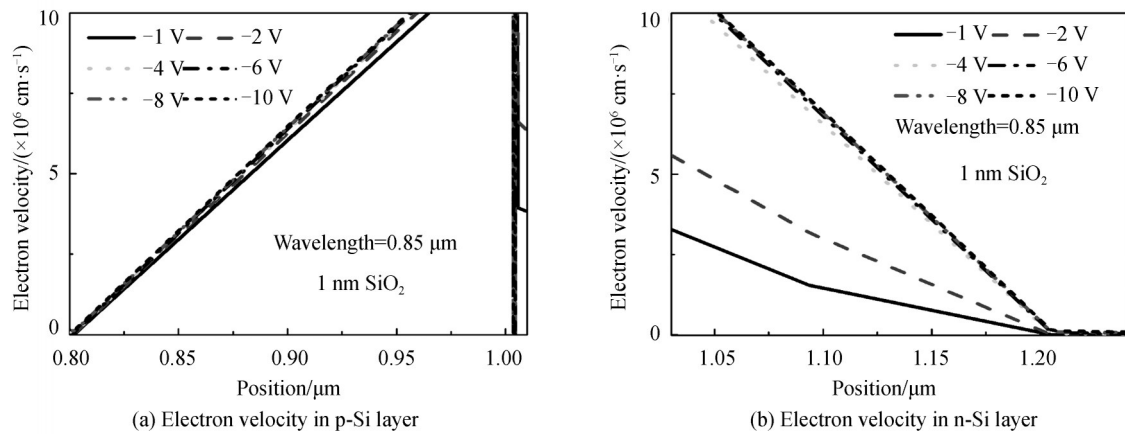


图 11 不同偏压对 Si/Si p-n 结中电场的影响

Fig. 11 Effect of the bias on the electric field in the Si/Si p-n junction



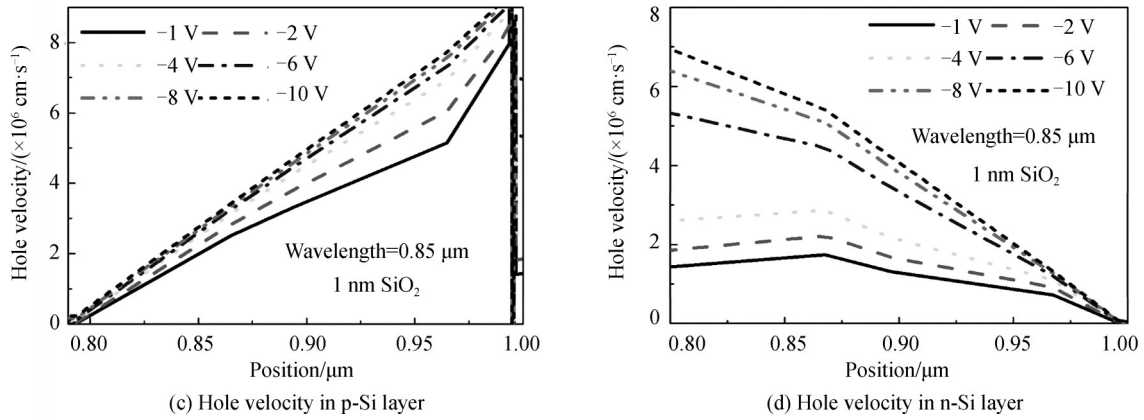


图 12 不同偏压对 Si/Si p-n 结载流子速率的影响
Fig. 12 Effect of the bias on the carrier velocity in the Si/Si p-n junction

最后模拟了不同 d 对 Si/Si p-n 结光谱响应的影响,如图 13(a)所示.模拟中设置初始波长为 $0.1 \mu\text{m}$,但是光电流在波长小于 $0.2 \mu\text{m}$ 时出现了急剧下降,因此在提取数据时选择从 $0.2 \mu\text{m}$ 开始提取.从图中可以看出,当 d 增加到 1.75 nm ,不同波长下的光谱响应急剧下降.为探究其中原因,对 p-n 结的总电流进行模拟,如图 13(b)所示.从图中可以看出,随着 d 的增加,总电流呈现下降趋势,当 d 大于 1 nm ,总电流急剧下降.从图 2 可知,随着 d 的增加,器件的暗电流呈现下降趋势,但相对于光电流来说,暗电流对总电流的贡献可以忽略.因此可得,随着 d 的增加,氧化层对光生载流子的阻挡作用增强,导致光电流降低,进而使得器件光谱响应下降.

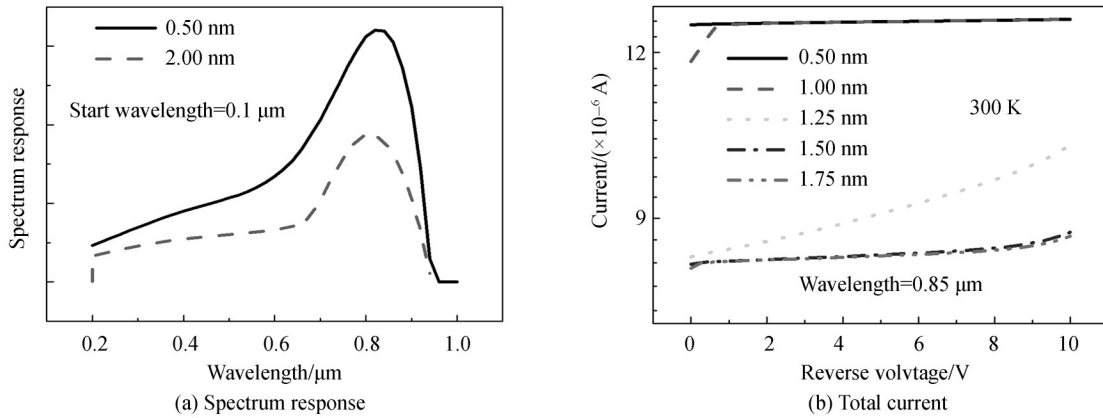


图 13 不同 d 对 Si/Si p-n 结光谱响应和总电流的影响
Fig. 13 Effect of d on the spectrum response and total current of the Si/Si p-n junction

3 结论

本文基于载流子方程、隧穿模型及半经典量子解法研究了 Si/Si 键合界面氧化层厚度 d 对键合 Si/Si p-n 结光暗电流、载流子隧穿、界面复合、电场分布、频率响应、光谱响应等的影响.结果表明:1) 随着 d 的增加,键合界面载流子隧穿率下降,复合率降低,导致 Si/Si p-n 结暗电流下降.隧穿率的降低同时导致光生载流子难以隧穿过键合界面实现收集,导致光电流下降,进而使得光谱响应电流降低.2) d 的增加导致电子和空穴分别在 p-Si 和 n-Si 中发生堆积,界面氧化层中的电场增强,导致 p-Si 和 n-Si 中电场下降,载流子速率降低,进而使得 3 dB 带宽下降.其次,随着 d 的增加,p-Si 中电荷堆积效应减弱,导致 p-Si 中能带上移.3) 随着偏压增大,p-Si 和 n-Si 中电场增加,载流子速率变大,导致 3 dB 带宽变大.其次,随着偏压增大,氧化层中电场增幅比 Si 层中的电场增幅大 3 倍以上,界面氧化层中存在明显的电场增强效应.本文研究可为超高质量 Si 基雪崩层的制备及高性能 Si 基雪崩器件的研制提供理论指导.

参考文献

- [1] SAHOO H K, ANSBAE K T, OTTAVIANO L, *et al.* Tunable MEMS VCSEL on silicon substrate[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2019, **25**(6): 1-7.
- [2] TAKAGI H, KURASHIMA Y, TAKAMIZAWA A, *et al.* Surface activated room-temperature bonding in Ar gas ambient for MEMS encapsulation[J]. *Japanese Journal of Applied Physics*, 2017, **57**(2S1): 02BA04.
- [3] KE S Y, YE Y J, WU J Y, *et al.* Interface characteristics of different bonded structures fabricated by low-temperature a-Ge wafer bonding and the application of wafer-bonded Ge/Si photoelectric device[J]. *Journal of Materials Science*, 2019, **54**(3): 2406-2416.
- [4] SHEN W W, LIN Y M, CHEN S C, *et al.* 3-D stacked technology of dram-logic controller using through-Silicon via (TSV)[J]. *IEEE Journal of the Electron Devices Society*, 2018, **6**: 396-402.
- [5] JIANG B C, CHEN Y, FANG A, *et al.* Surface stress evolution in through silicon via wafer during a backside thinning process[J]. *IEEE Transactions on Semiconductor Manufacturing*, 2019, **32**(4): 589-595.
- [6] KIRIHATA T, GOLZ J, WORDEMAN M, *et al.* Three-dimensional dynamic random access memories using through-silicon-vias[J]. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2016, **6**(3): 373-384.
- [7] BRUEL M, ASPAR B, AUBERTONHERVE A. Smart-cut: a new silicon on insulator material technology based on hydrogen implantation and wafer bonding[J]. *Japanese Journal of Applied Physics*, 1997, **36**(3), 1636-1641.
- [8] GUO S W, ERIKSEN H, CHILDRESS K, *et al.* High temperature smart-cut SOI pressure sensor[J]. *Sensors and Actuators A*, 2009, **154**(2), 255-260.
- [9] AUBERTONHERVE A J, BARGE T, METRAL F, *et al.* Smart-Cut®: the basic fabrication process for unibond® soi wafers[C]. MRS Proceedings, 1996, 446: 177.
- [10] SHIMBO M, FURUKAWA K, FUKUDA K, *et al.* Silicon-to-silicon direct bonding method[J]. *Journal of Applied Physics*, 1986, **60**(8): 2987-2989.
- [11] TOYODA E, SAKAI A, ISOGAI H, *et al.* Mechanical properties and chemical reactions at the directly bonded SiSi Interface[J]. *Japanese Journal of Applied Physics*, 2009, **48**(1R): 011202.
- [12] PLACH T, HINGERL K, TOLLABIMAZRAEHNO S, *et al.* Mechanisms for room temperature direct wafer bonding [J]. *Journal of Applied Physics*, 2013, **113**(9): 094905.
- [13] HOWLADER M M R, ZHANG F F, KIM M J. Annealing temperature-dependent interfacial behavior of sequentially plasma-activated silicon bonded wafers[J]. *Journal of Microelectromechanical Systems*, 2011, **20**(1): 17-20.
- [14] JEON Y, HAN H, CHOI C. Thin Si wafer substrate bonding and de-bonding below 250° C for the monolithic 3D integration[J]. *Sensors and Actuators A: Physical*, 2018, **281**: 222-228.
- [15] SAKATA M, OYAKE T, MAIRE J, *et al.* Thermal conductance of silicon interfaces directly bonded by room-temperature surface activation[J]. *Applied Physics Letters*, 2015, **106**(8): 081603.
- [16] WANG K, RUAN K, HU W B, *et al.* Room temperature bonding of Si and Si wafers by using Mo/Au nano-adhesion layers[J]. *Microelectronic Engineering*, 2019, **215**: 111018.
- [17] KE S Y, LI D K, CHEN S Y. A review: wafer bonding of Si-based semiconductors[J]. *Journal of Physics D: Applied Physics*, 2020, **53**: 323001.
- [18] LIAO G L, ZHANG X K, LIN X H, *et al.* Ultraviolet exposure enhanced silicon direct bonding [J]. *Frontiers of Mechanical Engineering in China*, 2010, **5**(1): 87-92.
- [19] VIVIEN L, POLZER A, OSMOND J, *et al.* Zero-bias 40Gbit/s germanium waveguide photodetector on silicon[J]. *Optics Express*, 2012, **20**(2): 1096-1101.
- [20] DUAN N, LIOW T Y, LIM E J, *et al.* 310GHz gain-bandwidth product Ge/Si avalanche photodetector by selective epitaxial growth[C]. Optical Fiber Communication Conference, 2012, 1-3.
- [21] LI C, XUE C, GUO X, LIU Z. Research of high performance Ge/Si avalanche photodiodes for single-photon detection [C]. Asia Communications and Photonics Conference, 2014, 1-3.
- [22] XUE C L, XUE H Y, CHENG B W, *et al.* Si/Ge separated absorption charge multiplication avalanche photodetector with low dark current[C]. 6thIEEE International Conference on Group IV Photonics, 2009, 178-180.
- [23] PRICE P J, RADCLIFFE J M. Esaki tunneling[J]. *IBM Journal of Research and Development*, 1959, **3**(4): 364-371.
- [24] KIEFER A M, PASKIEWICZ D M, CLAUSEN A M, *et al.* Si/Ge junctions formed by nanomembrane bonding[J]. *ACS Nano*, 2011, **5**(2): 1179-1189.