

引用格式: WANG Xue-fei, XIE Sheng, MAO Lu-hong, *et al.* An TFET Photodetector with High Responsivity Based on SOI: Design and Simulation[J]. *Acta Photonica Sinica*, 2019, 48(12): 1248001

王雪飞, 谢生, 毛陆虹, 等. SOI 基高响应度 TFET 探测器的设计与仿真[J]. *光子学报*, 2019, 48(12): 1248001

SOI 基高响应度 TFET 探测器的设计与仿真

王雪飞¹, 谢生¹, 毛陆虹², 王续霏¹, 杜永超¹

(1 天津大学 微电子学院 天津市成像与感知微电子技术重点实验室, 天津 300072)

(2 天津大学 电气自动化与信息工程学院, 天津 300072)

摘要:提出一种 SOI 基的新型隧穿场效应晶体管(TFET)探测器结构,将光电二极管与 TFET 结合,实现光信号的探测放大.光电二极管的正极与 TFET 的栅极互连,感光后光电二极管的光生电势调控 TFET 的沟道势垒,控制 TFET 的输出电流,实现光信号到电流信号的转化.陡峭的亚阈值摆幅能有效放大输出电流,提高 TFET 探测器的响应度.应用 SILVACO 完成探测器结构和性能的模拟仿真.光电二极管的光生电势通过较薄的 BOX 区形成了 TFET 的底部栅压,增强了对沟道势垒的控制能力,增大了输出电流,结果表明,探测器对弱光具有较高的响应度,当入射光强小于 10 mW/cm^2 时,响应度可超过 10^4 A/W .此外,通过调整光电二极管的反偏电压、在源区与沟道间插入 n^+ 口袋等方法可显著提高探测器的输出电流和响应度.

关键词:光电探测器;绝缘体上硅;隧穿场效应晶体管;响应度;弱光探测

中图分类号: TN364.1, TN386.6

文献标识码: A

doi: 10.3788/gzxb20194812.1248001

An TFET Photodetector with High Responsivity Based on SOI: Design and Simulation

WANG Xue-fei¹, XIE Sheng¹, MAO Lu-hong², WANG Xu-fei¹, DU Yong-chao¹

(1 *Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, School of Microelectronics, Tianjin University, Tianjin 300072, China*)

(2 *School of Electrical and Information Engineering, Tianjin University, Tianjin 300072, China*)

Abstract: A novel Tunneling Field Effect Transistor (TFET) photodetector based on silicon on insulator is proposed, which combines a photodiode with TFET to realize photodetection and amplification. The anode pole of the photodiode is tied with the gate of TFET. After illumination, the photogenerated potential of the photodiode controls the channel state and drain current of the TFET photodetector, and converts the light into current. The subthreshold region is used to amplifies the drain current, and the responsivity of the detector is improved obviously. Two dimensional numerical simulations were performed in SILVACO. The P region of the photodiode forms the bottom gate of the TFET through the thinner BOX, which enhances the control of the channel and increases the drain current. The results show that the detector has higher responsivity in weak light. When the light intensity is less than 10 mW/cm^2 , the responsivity of TFET photodetector can exceed 10^4 A/W . In addition, adjusting the photodiode bias and inserting n^+ pockets between the source and the channel can also improve the drain current and responsivity of photodetector.

Key words: Photodetector; Silicon-On-Insulator (SOI); Tunneling Field Effect Transistor (TFET);

基金项目:国家自然科学基金(No.61474081),集成光电子学国家重点实验室开放课题(No.IOSKL2017KF07)

第一作者:王雪飞(1994—),女,硕士研究生,主要研究方向为半导体器件和集成电路设计. Email: wangwangxf23@163.com

导师(通讯作者):谢生(1978—),男,副教授,博士,主要研究方向为微电子器件和集成电路设计. Email: xie_sheng06@tju.edu.cn

收稿日期:2019-08-27;录用日期:2019-10-18

Responsivity; Detection of weak light

OCIS Codes: 040.5160; 040.7190; 040.3780; 160.6000

0 引言

随着集成电路发展到纳米量级,绝缘体上硅(Silicon-on-Insulator, SOI)技术被认为是持续缩减集成电路特征尺寸的最佳方案之一,故 SOI 技术已逐渐成为近年的研究热点. SOI 技术及相关工艺的发展,也促进了光电子技术的进步^[1-6]. 在光电子技术中,光电探测是对未知探索的重要手段,光电探测器作为光探测信号的核心载体,有着十分重要的研究价值. SOI 基探测器由于具有抗辐射性能好、集成密度高、低压低功耗等优点,在移动通讯、航天航空、光通信系统等光电技术领域发挥着重要作用^[7-11]. 随着光电探测器制造工艺的不断发展,其应用领域也扩展到生物荧光检测、深海探测等弱光探测领域,因而对光电探测器的工作性能提出了更高要求.

现代 SOI 技术中,顶部硅层厚度普遍较薄. 较薄的硅层虽然有效抑制了短沟道效应,但同时也显著降低对入射光的吸收程度,使得 SOI 基探测器响应度较低,无法满足弱光探测的需要. 为了提高 SOI 基探测器的响应度,LI Gen 等^[12]利用 SOI 技术,在 $0.21 \mu\text{m}$ 厚的硅上制作了横向 PIN 光电二极管,在 10 V 工作电压下响应度为 0.0075 A/W ,暗电流为 0.01 nA . DENG Jia-nan 等^[13]提出了一种 SOI 基 PMOS 光电探测器,探测器响应度可达 $5.5 \times 10^4 \text{ A/W}$. 随着特征尺寸不断缩减,短沟道效应的影响更加严重,从而限制了 MOS 型器件的持续微缩. 受此影响, MOS 型光电探测器虽具有较高响应度,但是不再适用于纳米量级电路中. 为了使特征尺寸能持续按比例缩小,研究人员研发出多种新型器件. 其中,TFET 的导通机制是利用量子力学中的带带隧穿效应故不受限于载流子的漂移扩散,能有效克服短沟道效应,被认为是未来集成电路 MOS 器件的良好替代者. TFET 器件可获得比 MOS 型器件(60 mV/dec)更陡的亚阈值摆幅,如将其应用在光电探测中,则 TFET 探测器陡峭的亚阈值摆幅能很好地放大输出电流,获得更高的响应度,因而在弱光探测领域有广阔的应用前景.

根据集成电路的发展趋势,如何在纳米尺寸下有效提高 SOI 基探测器的响应度成为弱光探测领域亟待解决的问题,本文提出了一种与光电二极管结合的 TFET 探测器结构. 该探测器由 TFET 和衬底光电二极管构成,将光电二极管 Anode 与 TFET 栅极互连,当 TFET 探测器工作时,沟道上下均受栅控制,从而有效地增强了栅压对沟道的控制能力. 当光电二极管感光后,可实现对沟道区域电势的调控,利用 TFET 陡峭的亚阈值摆幅特性实现输出电流的放大.

1 器件结构和工作原理

图 1 是本文设计的探测器结构剖面图, TFET 探测器由横向 n 型 TFET、BOX(介电层)、底部光电二极管构成. 隧穿效应发生在该探测器的本征沟道 I 区和源区之间,探测器底部光电二极管的阳极与 TFET 的多晶硅栅极互连,故两者电势相同.

探测器感光后,光电二极管 P 区电势通过薄 BOX 层形成 TFET 的底栅 Gate2,与 Gate1 一同控制顶层 TFET,形成双栅 TFET 结构. 通过掺杂在源区与沟道 I 区之间形成口袋状 n^+ 结构,探测器的源区价带与沟道 I 区导带在 n^+ 口袋作用下靠的更近,增大了隧穿电流,提高了探测器响应度. n^+ 口袋区域完全耗尽时,探测器具有陡峭的亚阈值摆幅

和良好的信噪比,经结构优化, n^+ 口袋宽选为 5 nm . 结构设计还需考虑探测器对入射光的吸收效率,避免出现入射光吸收不足的问题,因此硅层厚度不能过薄,探测器的硅层厚度选为 100 nm . 研究表明,具有高掺杂源极(10^{20} cm^{-3} 或甚至更高)和低掺杂漏极可显著提高隧穿输出电流,抑制 TFET 的双极性^[14]. 为获得较大输出电流,故对探测器结构的掺杂水平进行优化,仿真参数见表 1.

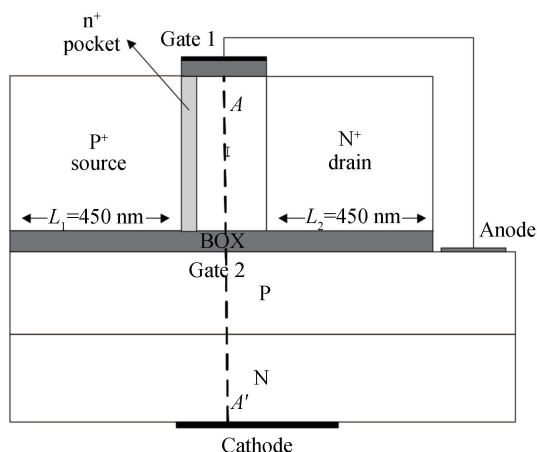


图 1 SOI 基 TFET 探测器结构示意图
Fig.1 Schematic diagram of SOI TFET photodetector

表 1 探测器仿真参数

Table 1 Simulation parameters of photodetector

Region	Doping/cm ⁻³	Depth/nm
Source	1×10 ²⁰	100
Channel	1×10 ¹⁷	100
Drain	5×10 ¹⁸	100
P	1×10 ¹⁷	50
N	1×10 ¹⁸	50

本文探测器的顶层结构是 TFET,在关断和开启状态下分别对 TFET 能带信息进行提取,提取结果如图 2 所示, E_c 与 E_v 分别表示半导体能带图中的导带与价带.当探测器漏源电压 $V_{DS}=0$ 、入射光强 $P=0$ W/cm² 时,源区与沟道 I 区之间形成势垒,源区价带和沟道 I 区导带之间重叠较少如图 2(a),沟道 I 区不存在可用的空态,故源区向沟道 I 区发生隧穿的几率极低,器件处于关断状态.

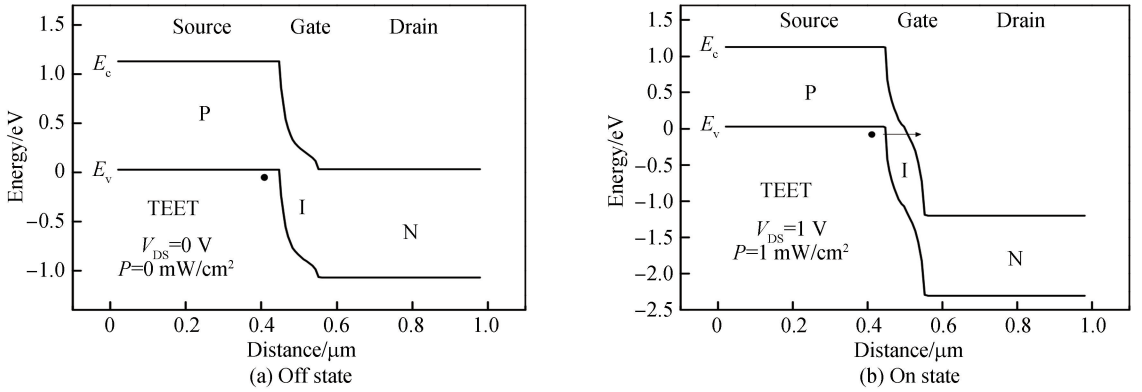


图 2 TFET 探测器能带图

Fig.2 Energy band of TFET photodetector

如图 2(b)所示,当源漏电压 $V_{DS}=1$ V、入射光强 $P=1$ mW/cm² 时,由 PN 结理论可知,光电二极管 P 区域电势 V_{Gate2} 随入射光强变化

$$V_{Gate2} = n_j V_T \cdot \ln\left(1 + \frac{I_{PH}}{I_S}\right) = n_j V_T \cdot \ln\left(1 + \frac{F \cdot P}{I_S}\right) \quad (1)$$

式中, n_j 为衬底二极管的理想因子, $V_T=KT/q$ 为热电压、 P 为入射光功率, I_{PH} 为衬底二极管的光电流, I_S 为反向饱和电流, F 是由半导体材料、二极管空间电荷区面积等参数决定的光电转换常数.随着光电二极管光生电势的升高,TFET 探测器的栅压随之变化^[14],即

$$V_{Gate1} = V_{Gate2} = n_j V_T \cdot \ln\left(1 + \frac{F \cdot P}{I_S}\right) \quad (2)$$

当光照增强后,栅压增大,沟道 I 区的导带低于源区价带,二者重叠区增大,同时隧穿势垒宽度减小,故电子从源区价带隧穿至沟道 I 区导带的概率随之增大.由 Kane 模型^[15]可知,TFET 的隧穿概率为

$$G_{tbt} = AE^D \exp\left(-\frac{B}{E}\right) \quad (3)$$

式中, A 和 B 为隧穿参数, E 为电场强度, D 为指数因子(对直接隧穿机制 $D=2$,间接隧穿机制 $D=2.5$), E 为沟道势垒中的电场强度.光照后探测器内部形成隧穿电流,故器件处于开启状态.考虑可动电荷的影响^[16],双栅 TFET 的隧穿电流可表示为

$$I_d = qt_{inv}G_T \quad (4)$$

式中, G_T 为沿源区到沟道方向隧穿几率的总积分, t_{inv} 为反型层厚度.随着栅压的增大,沟道反型层厚度变大,隧穿电流随之增大.

本文所设计的探测器利用 TFET 陡峭的亚阈值摆幅作为提高光电探测器响应度的增益机理.TFET 的平均亚阈值斜率可以用阈值电压表示为

$$S_{AVG} = \frac{V_{th} - V_{goff}}{\log \frac{I_T}{I_{off}}} [\text{mV/dec}] \quad (5)$$

式中, V_{th} 为隧穿时的阈值电压, V_{goff} 为关断电压, I_T 为开启电流, I_{off} 为关断电流. TFET 探测器利用衬底光电二极管实现光信号到电信号的转换, 通过 TFET 亚阈值区域的放大特性实现对隧穿电流的控制. 由式(5)可知, 陡峭的亚阈值摆幅意味着栅压变化量相同时, 电流变化量增大. 依靠电子带带隧穿机制形成隧穿电流过程中, 探测器内部有较高的反偏势垒, 从而抑制了多数载流子扩散与漂移产生的泄漏电流, 减弱了短沟道效应.

2 结果和讨论

为进一步验证器件的性能, 本文利用 Silvaco Atlas 对探测器性能进行仿真, 仿真过程中使用 bbt.noncal 模型描述载流子在栅压下的隧穿, 使用 qtum.dir 模型描述载流子隧穿电流方向, 使用 cvt 模型描述载流子迁移率, 使用 fermi 模型描述器件内部能带, 使用 consrh 模型描述载流子寿命, 使用 bgn 模型描述禁带宽度在栅压下的变化.

现阶段 TFET 结构器件面临着低开态电流的问题, 本文设计的 TFET 探测器结构通过薄 BOX 层来形成双栅, 增大了栅压对器件的调控能力. 为使两个栅压降落到沟道 I 区的压降保持同步, BOX 层厚度应与 Gate1 的栅绝缘层厚度相同. 图 3 展现了 BOX 层厚度对探测器输出电流的影响. 随着 BOX 层厚度增加, 相同的栅压降落到绝缘层上的压降也随之增大, 而降至探测器沟道的栅压相应减小, 从而降低了探测器的输出电流. 当绝缘层比较薄时, 降落到探测器沟道的栅压较大, 输出电流也随之变大. 受压降问题的影响, 过厚的绝缘层会使探测器的开启栅压变大, 不利于降低功耗.

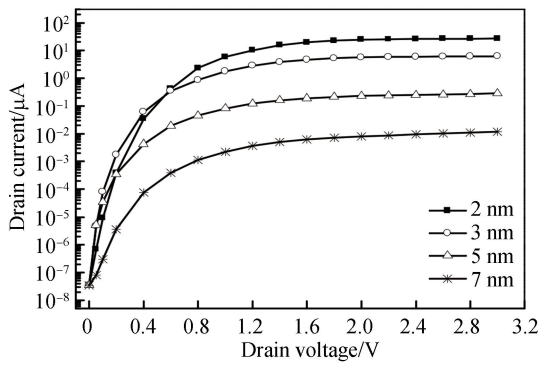


图 3 BOX 层厚度对输出特性的影响
Fig.3 Effects of BOX on the output characteristic of photodetector

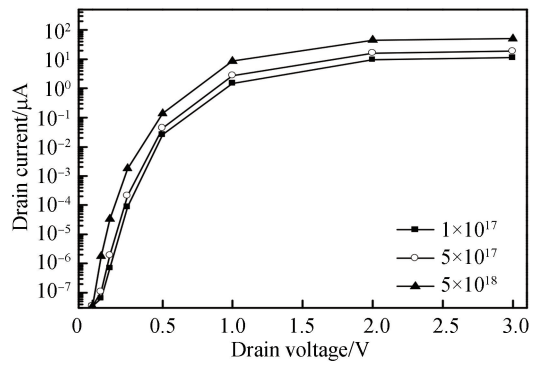


图 4 n^+ 口袋对探测器输出特性的影响
Fig.4 Effects of n^+ pocket on the output characteristic of photodetector

为增大探测器工作时的输出电流, 还可以采用 n^+ 口袋结构减小源区和沟道 I 区间的隧穿距离, 提高隧穿概率. 图 4 所示为不同掺杂水平的 n^+ 口袋对探测器输出电流的影响. 随着掺杂水平的提高, 输出电流也随之增大. 这是由于当光入射时, n^+ 口袋区使得源区隧穿至沟道的电子有一部分与 n^+ 口袋掺杂区中的空间正电荷中和, 从而降低了势垒高度. 当势垒高度降低后, 更多的漏区空穴能越过势垒到达沟道, 从而形成更大的输出电流.

此外, 还研究了光电二极管的反偏电压 $V_{cathode}$ 对探测器输出电流与响应度的影响, 如图 5 所示. 由图 5 (a) 可知, 当 $V_{cathode}$ 小于 1 V 时, 输出电流较小, 此时的栅压尚未达到隧穿的阈值电压; 当 $V_{cathode}$ 大于 1 V 后, 输出电流明显增大, TFET 处于开启状态. 当入射光强为 1 mW/cm^2 时, 输出电流随着光电二极管反偏电压的增大而增大; 当 $V_{cathode}$ 大于 4 V 后, 光电流与暗电流差值变小. 将光电流与暗电流的差值除以辐射光强, 即可得探测器在不同光强下的响应度, 如图 5(b) 所示. 当光电二极管反偏电压增大时, 受输出电流变大的影响, 响应度也随之提高. 在 $V_{cathode} = 3.5 \text{ V}$ 、 $P = 1 \text{ mW/cm}^2$ 时, 探测器响应度达到峰值 $2.83 \times 10^5 \text{ A/W}$, 当反偏电压大于 4 V 后, 响应度因光电流与暗电流差值减小而明显下降, 探测器的信噪比开始恶化.

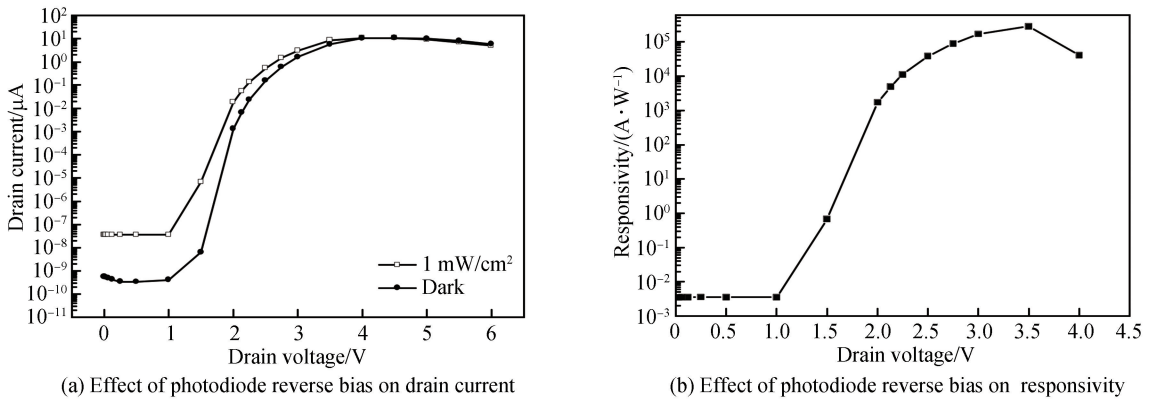


图5 光电二极管反偏电压对探测器性能的影响
Fig.5 Photodiode reverse bias voltage impact on photodetector

当探测器感光后,光电二极管 P 区电势变化会对 Gate2 和 Gate1 电压产生影响,图 6 给出了当光电二极管反偏电压为 3.5 V 时,P 区电势随入射光强变化的曲线.随着光强的增大,光生空穴沿电势梯度不断迁移到 P 区,故 P 区电势不断增大,探测器栅压也随之增大;当光强低于 10^{-5} W/cm^2 时,P 区电势变化较小;当光强超过 10^{-5} W/cm^2 时,P 区电势显著升高.图 7 所示为沿图 1 切线方向的能带图,图中横坐标的零点为探测器 Gate1 控制下的 I 区起始位置,切线箭头指向 X 轴的正方向.当入射光强从 10^{-9} W/cm^2 增大到 1 W/cm^2 时,因光生空穴的聚集,P 区能带 ($x = 0.102 \sim 0.15$) 显著降低,P 区电压通过 BOX 层降落到沟道,沟道 ($x = 0.00 \sim 0.10$) 能带随之降低,故 P 区电压起到了栅压的作用.

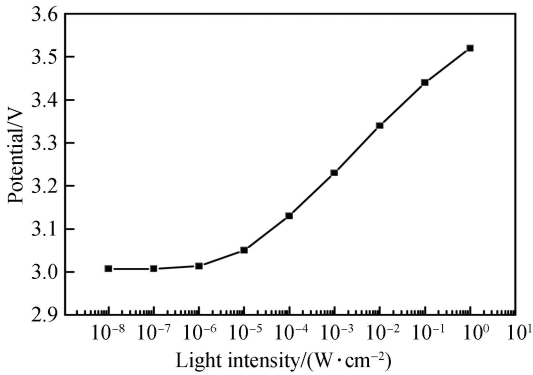


图6 P 区电压随光强的变化曲线

Fig.6 Variation of P region potential with light intensity

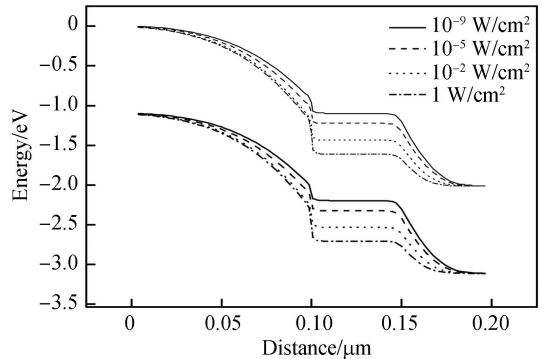


图7 探测器切线位置的能带图

Fig.7 Energy band diagram of the photodetector

图 8 为探测器输出特性曲线图.为获得更高的探测响应度,设光电二极管的反偏电压值为 3.5 V,漏电压为 3 V.由图可见,输出电流随源漏电压增大而逐渐增加,当源漏电压高于 1.2 V 后,输出电流趋近于饱和.当入射光强增大时,探测器在光电二极管作用下形成双栅控制,输出电流随光强增大而增大.这是由于不同光强下产生的光生空穴量不同,入射光强越强,光电二极管产生的光生空穴越多,输出电流也越大,反之若光强较弱则输出电流较小,因而实现了探测器对入射光强度变化的探测.

为了验证本文设计的探测器在弱光下具有高响应度的特点,对不同入射光强下探测器的输出电流和响应度进行分析.综合考虑漏源电压与探测器功耗,选取探测器漏源电压 $V_{DS} = 1.2 \text{ V}$.由图 9 可知,当光强低于 10^{-6} W/cm^2 时,输出电流变化不明显,但此时的输出电流与微弱光强的比值很大,所以探测器响应度很高;当入射光强超过 10^{-6} W/cm^2 时,光强增大引起光电二极管 P 区电势增大,从而导致输出电流增大.通过计算探测器在不同光强下的响应度值可知,当入射光强低于 10^{-5} W/cm^2 时,探测器响应度较高;而当入射光强增大到 10^{-5} W/cm^2 时,探测器响应度开始下降,但入射光强在 $10^{-8} \sim 1 \text{ W/cm}^2$ 范围内,响应度均高于 100 A/W ,仍大于传统 SOI 基探测器.

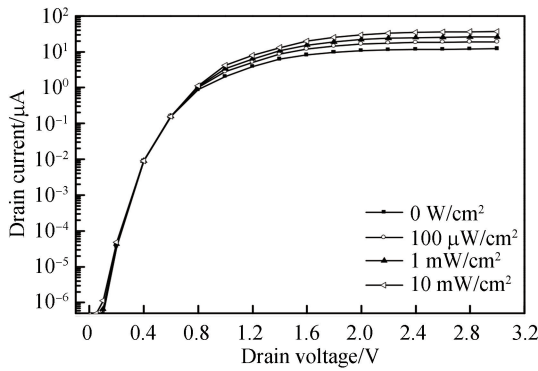


图8 探测器的输出特性

Fig.8 Output characteristic of photodetector

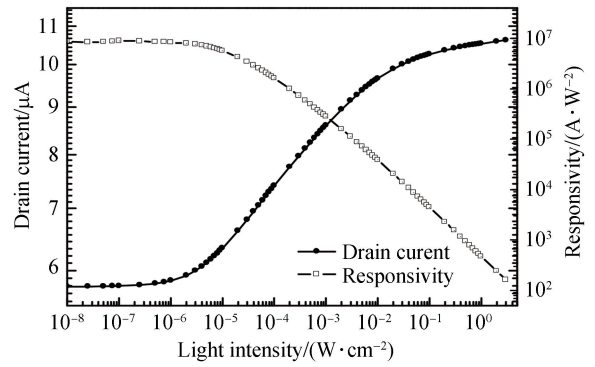


图9 不同光强下探测器输出漏电流

Fig.9 Drain current and responsivity of photodetector under different light intensity

3 结论

本文提出了一种基于隧穿效应的高响应度 TFET 探测器,并通过 SILVACO 软件完成了探测器的设计与模拟仿真.结果表明,光电二极管反偏电压能有效增大探测器的输出电流,提高探测响应度,当反偏电压为 3.5 V 时,响应度峰值可达 2.83×10^5 .通过减小绝缘层厚度、插入 n^+ 口袋结构均可显著增大 TFET 探测器的输出电流.入射光强度在 $10^{-8} \sim 1 \text{ W/cm}^2$ 范围内,探测响应度均高于 100 A/W,能很好地满足弱光探测的需求.本文提出的 TFET 探测器为光电探测器的设计与性能提供了一种新思路,在弱光探测领域有广泛的应用前景.

参考文献

- [1] CARTER R, MAZURIER J, PIRRO L, *et al.* 22 nm FDSOI technology for emerging mobile, internet-of-things, and RF applications[C]. IEEE International Electron Devices Meeting (IEDM), IEEE, 2016: 221-224.
- [2] ASTHANA V, KAR M, JIMENEZ J, *et al.* Circuit optimization of 4T, 6T, 8T, 10T SRAM bitcells in 28nm UTBB FD-SOI technology using back-gate bias control[C]. ESSCIRC, 2013: 415-418.
- [3] KADURA L, GRENOUILLENT L, BEDECARRATS T, *et al.* Extending the functionality of FDSOI N- and P-FETs to light sensing[C]. IEEE Electron Devices Meeting (IEDM), 2017: 818-821.
- [4] VEIRANO F, NAVINER L, SIVEIRA F. Pushing minimum energy limits by optimal asymmetrical back plane biasing in 28 nm UTBB FD-SOI[C]. International Workshop on Power & Timing Modeling, 2017: 243-249.
- [5] LANDSBERG N, SOCHER E. A low-power 28-nm CMOS FD-SOI reflection amplifier for an active f-band reflectarray [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2017, **65**(10): 3910-3921.
- [6] CAO X Y, LIN W S, LIU H B, *et al.* An SOI photodetector with field-induced embedded diode showing high responsivity and tunable response spectrum by backgate[J]. *IEEE Transactions on Electron Devices*, 2018, **65**(12): 5412-5418.
- [7] MARWICK M A, ANDEROU A G. A UV Photodetector with Internal Gain Fabricated in Silicon on Sapphire CMOS[J]. *IEEE Sensors*, 2007: 535-538.
- [8] ASTHANA V, KAR M, JLMENE J, *et al.* Circuit optimization of 4T, 6T, 8T, 10T SRAM bitcells in 28 nm VTBB FD-SOI technology using back-gate bias control[C]. ESSCIRC, 2013: 415-418.
- [9] NOVO C, BUHLER R, BAPTISTA J, *et al.* Quantum efficiency improvement of SOI PIN lateral diodes operating as UV detectors at high temperatures[J]. *IEEE Sensors Journal*, 2017, **17**(6): 1641-1648.
- [10] LI G, ANDRE N, GERARD P, *et al.* Multiple-wavelength detection in SOI lateral PIN diodes with backside reflectors [J]. *IEEE Transactions on Industrial Electronics*, 2017, **64**(9): 7368-7376.
- [11] PADMANABHAN R, SORIAS O, EYAL O, *et al.* Responsivity enhancement of metal-insulator-semiconductor photodetectors on silicon-on- insulator substrates by plasmonic nanoantennas [J]. *IEEE Transactions on Nanotechnology*, 2017, **16**(5):778-783.
- [12] LI G, MAEKITA K, MITSUNO H, *et al.* Over 10 GHz lateral silicon photodetector fabricated on silicon-on-insulator substrate by CMOS-compatible process[J]. *Japanese Journal of Applied Physics*, 2015, **54**(04DG06):1-6.
- [13] DENG J, SHAO J, LU B, *et al.* Interface Coupled Photodetector (ICPD) with high photoresponsivity based on silicon-on-insulator substrate (SOD)[J]. *IEEE Journal of the Electron Devices Society*, 2018, **6**: 557-564.
- [14] DONG Wei-feng, XIE Sheng, MAO Lu-hong, *et al.* A novel UV/blue photodetector based on CMOS technology: design and simulation[J]. *Acta Photonica Sinica*, 2017, **46**(9): 0923001.

董威锋,谢生,毛陆虹,等. 基于标准 CMOS 工艺的 UV/blue 光电探测器[J]. 光子学报,2017,**46**(9):0923001.

[15] KANE, EVAN O. Theory of tunneling[J]. *Journal of Applied Physics*, 1961, **32**(1): 83-91.

[16] VISHNOI R, KUMAR M J. An accurate compact analytical model for the drain current of a TFET from subthreshold to strong inversion[J]. *IEEE Transactions on Electron Devices*, 2015, **62**(2): 478-484.