

doi:10.3788/gzxb20184701.0125001

基于标准 CMOS 工艺的非接触式保护环 单光子雪崩二极管

吴佳骏¹, 谢生¹, 毛陆虹², 朱帅宇¹

(1 天津大学 微电子学院 天津市成像与感知微电子技术重点实验室, 天津 300072)

(2 天津大学 电气自动化与信息工程学院, 天津 300072)

摘 要: 基于深亚微米 CMOS 工艺, 设计了一种采用非接触式 P 阱保护环来抑制边缘击穿的单光子雪崩二极管结构. 采用器件仿真软件 Silvaco Atlas 分析了保护环间距对器件的电场分布和雪崩触发概率等特性的影响, 结合物理模型计算了所设计器件的暗计数概率和光子探测效率. 仿真和计算结果表明, 保护环间距 $d=0.6 \mu\text{m}$ 时器件性能最优, 此时击穿电压为 13.5 V, 暗电流为 10^{-11} A. 在过偏压为 2.5 V 时, 门控模式下的暗计数概率仅为 0.38%, 器件在 400~700 nm 之间具有良好的光学响应, 500 nm 时的峰值探测效率可达 39%.

关键词: 光电器件; 单光子雪崩二极管; CMOS 工艺; 深 n 阱; 保护环; 响应度; 光子探测效率

中图分类号: TN364

文献标识码: A

文章编号: 1004-4213(2018)01-0125001-6

Single Photon Avalanche Diode with Non-contact Guard Ring Based on CMOS Technology

WU Jia-jun¹, XIE Sheng¹, MAO Lu-hong², ZHU Shuai-yu¹

(1 Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, School of Microelectronics, Tianjin University, Tianjin 300072, China)

(2 School of Electrical and Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract: A single photon avalanche diode with non-contact guard ring was proposed based on standard CMOS technology. The influences of the guard ring's spacing on the electric field distribution and the avalanche probability of the device were analyzed by using Silvaco Atlas. The dark count probability and the photon detection efficiency of SPAD operated under gate-model were calculated based on a physical model. The results shown that the device has optimal performance at the spacing $d=0.6 \mu\text{m}$. Under these conditions, a breakdown voltage of 13.5 V is obtained, and the dark current is as low as 10^{-11} A. When the excess bias voltage is 2.5 V, the dark count probability is only 0.38%, the responsivities within the spectral range wavelength of 400 nm to 700 nm are decent, and the peak photon detection efficiency is up to 39% at 500 nm.

Key words: Photoelectronic devices; Single photon avalanche diode; CMOS technology; Deep Nwell structure; Guard ring; responsivity; Photon detection efficiency

OCIS Codes: 250.1345; 250.0040; 040.1345; 230.5170; 040.6040

0 引言

作为极微弱光的一种探测方法, 单光子探测在高分辨率的光谱测量^[1]、天文观测^[2]、荧光探测^[3]以及量

基金项目: 国家自然科学基金(Nos.61474081, 11673019)资助

第一作者: 吴佳骏(1991—), 男, 硕士研究生, 主要研究方向为 CMOS 图像传感器像素单元设计. Email: archbishop000@outlook.com

导师(通讯作者): 谢生(1978—), 男, 副教授, 博士, 主要研究方向为半导体器件和集成电路设计. Email: xie_sheng06@tju.edu.cn

收稿日期: 2017-06-09; 录用日期: 2017-06-23

<http://www.photon.ac.cn>

子通讯^[4-5]等领域有着广泛的应用.由于大部分荧光物质的发射波长在 400~700 nm 之间,因此该波段的单光子信号探测对荧光寿命成像(Fluorescence Lifetime Imaging Microscopy, FLIM)和正电子发射计算机断层扫描(Positron Emission Computed Tomography, PET)^[6]的应用极其重要.硅基器件的光谱响应在 300~1 100 nm 之间,恰好符合这一波长要求.此外,硅基单光子探测器件与 CMOS 工艺兼容,可将其与外围电路集成在同一块芯片上,这不仅优化了单光子探测系统的性能^[7],而且符合低成本、小型化、低噪声的发展方向^[8].因此,研制基于标准 CMOS 工艺的单光子雪崩二极管(Single Photon Avalanche Diode, SPAD)及其集成系统成为当前的研究热点之一.

随着 CMOS 工艺向深亚微米方向发展,器件尺寸更小,掺杂浓度更高,热预算更严格,这些因素都对 SPAD 结构设计和性能优化提出了挑战.尤其是建立抑制边缘击穿的内置电场分布已成为 SPAD 设计的首要问题.为解决基于 CMOS 工艺的 SPAD 边缘击穿,研究人员已提出包括 P 阱保护环、N 阱保护环和 STI 保护环在内的多种结构^[9-12].Kamrani E 等^[11]指出,N 阱保护环宽度对击穿特性影响很大,在仅采用 N 阱保护环的情况下结区边缘仍可能存在较大电场.Palubiak D P 等^[12]的研究表明,STI 保护环的噪声较大,而 P 阱保护环不仅抑制效果良好,而且制作工艺最为简单.然而,上述保护环核心思想是减小边缘区域的电场强度或提高中心区域的击穿电压,从而最大限度地提高中心倍增区域的触发雪崩概率.由于雪崩电场集中在器件中心,感光区域均小于实际器件的有源区,若光子入射到光学窗口边缘,很难触发雪崩,因而降低了器件的有效感光面积和光子探测效率.

针对上述问题,本文在 P 阱保护环的基础上,提出了一种非接触式保护环的 SPAD 结构,讨论了保护环间距对边缘电场和雪崩触发概率的影响,获得了最佳器件结构参数,并分析了电流-电压、光谱响应、暗计数概率及光子探测效率等性能参数.

1 器件结构设计

设计的 SPAD 器件剖面如图 1(a),该器件主要由 P⁺/Nwell/Pwell/Deep Nwell 组成.其中,Deep Nwell 为离子注入形成的倒置掺杂结构.器件工作时,Deep Nwell/P-sub 结处于反偏状态,保证阳极独立偏置于衬底,此结构可防止衬底穿通,降低衬底扩散载流子对响应速度的影响.P⁺/Nwell 构成的 pn 结为器件的核心部分(雪崩倍增区),在距离 P⁺ 区外 d 处注入 P 阱,形成非接触式保护环.除光学窗口外,其它区域均被金属覆盖,以防止像素间的电气和光学串扰.

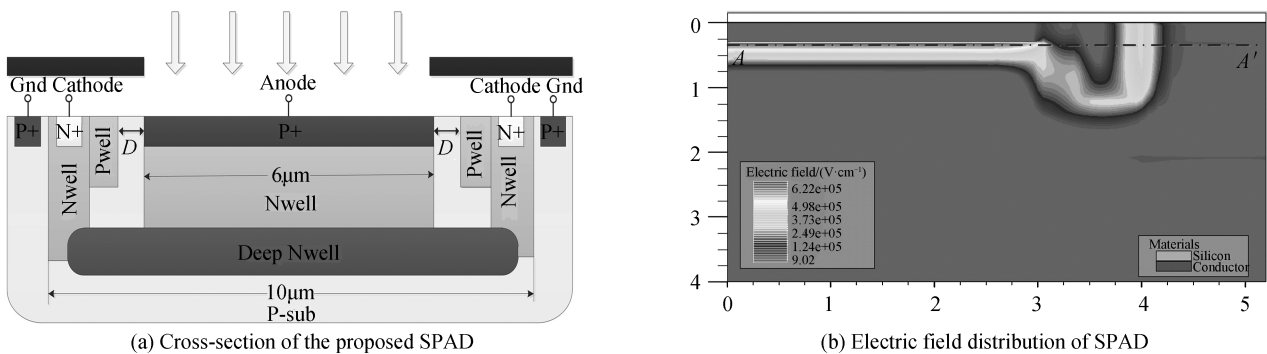


图 1 SPAD 剖面图及电场分布

Fig.1 Cross-section and electric field distribution of proposed SPAD device

基于 UMC 0.18 μm CMOS 工艺,本文设计了器件直径 10 μm 、P⁺/Nwell 直径 6 μm 的 SPAD,其它工艺参量见表 1.为实现单光子探测,SPAD 两端的偏置电压须大于击穿电压.随着反偏电压的逐渐增加,P⁺/Nwell 结形成的耗尽区向外扩展,并在雪崩击穿前与保护环的耗尽区边缘重合.当 PN 结反偏电压继续增大时,该结构将限制 P⁺ 区边缘电场的进一步增长,使其不能达到临界击穿电场,从而抑制边缘击穿.器件的电场分布如图 1(b)所示.由图 1 可见,结区边缘电场较小,说明此保护环能够抑制边缘击穿,同时雪崩区最大电场约为 6.4×10^5 V/cm,避免了齐纳击穿造成的器件损害.

表 1 所设计的 SPAD 主要工艺参量
Table 1 Main process parameters of proposed SPAD

Layer	Doping/cm ⁻³	Depth/ μm
P ⁺	1×10^{19}	0.3
N ⁺	1×10^{19}	0.3
Pwell	1×10^{17}	1.2
Nwell	1×10^{17}	1.6
Deep Nwell	4×10^{16}	2.0
p-sub	1×10^{19}	--

2 仿真结果与分析

为分析保护环间距对器件性能的影响,分别取 $d=0 \mu\text{m}, 0.2 \mu\text{m}, 0.4 \mu\text{m}, 0.6 \mu\text{m}$ 和 $0.8 \mu\text{m}$. 为保证仿真结果的准确性,仿真采用 analytic 和 fldmob 两种迁移率模型.其中,analytic 模型为温度和浓度相关模型, fldmob 模型则考虑了电场的影响.复合模型包含了 SRH 和 trap.tunnel.由于器件工作在高电场区,有可能出现隧穿,故加入了带-带隧穿标准模型(bbt.std).此外,本文的碰撞离化模型选用 Selberherr 模型(impact selb).器件两端的反偏电压设为 14 V,略高于 SPAD 的雪崩击穿电压,仿真温度为 300K.

图 2 为沿 AA'线切割得到的场强分布曲线, $x=0 \mu\text{m}$ 为器件中心.与无 P 阱保护环的电场对比发现,本文设计的保护环对边缘击穿有明显的抑制效果,且随着保护环间距的增加,器件边缘电场变得更加平坦,但当间距增大到 $0.8 \mu\text{m}$ 时,边缘电场开始高于中心电场,可能导致边缘击穿.

载流子触发雪崩的概率是电场强度的函数.图 3 为保护环间距分别为 0 与 $0.6 \mu\text{m}$ 时,距离器件中心不同位置的雪崩触发概率随偏压的变化情况.由图 3 可见,相对于接触式保护环($d=0$),非接触式保护环可以有效改善器件电场分布,在边缘区域仍可保持很高的雪崩触发概率.以 16 V 偏压为例,当保护环间距 $d=0$ 时,器件在 $2.7 \mu\text{m}$ 处的雪崩触发概率已降为 0,若光子载流子在此产生,则无法探测;而当 $d=0.6 \mu\text{m}$ 时,同一位置的雪崩触发概率仍高达 0.42,从而保证单光子信号的有效探测.

综合图 2 和图 3 的结果可得,本文设计器件的最佳间距为 $0.6 \mu\text{m}$.此时不仅可有效抑制边缘击穿,而且保证电场在整个耗尽区内均匀分布,器件具有最优的探测能力.在以下仿真与分析中,保护环间距设为 $0.6 \mu\text{m}$.

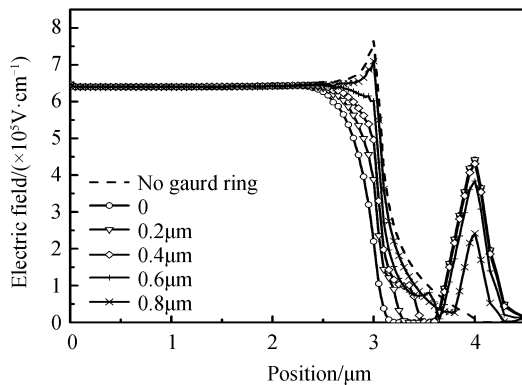


图 2 水平方向电场分布

Fig.2 Electric field distribution in horizontal

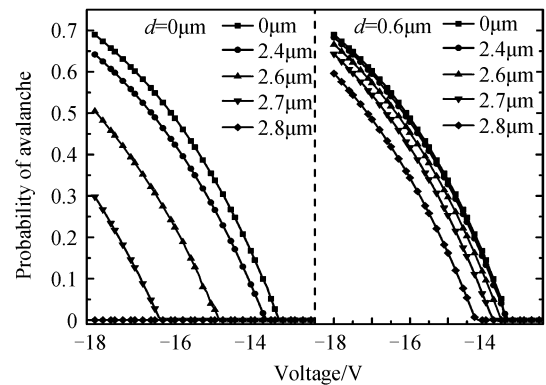


图 3 不同位置雪崩触发概率

Fig.3 Avalanche probability of different position

图 4 为保护环间距为 $0.6 \mu\text{m}$ 时,器件的暗电流及光电流曲线.当反偏电压在 10 V 以下时,暗电流维持在 10^{-11} A 以下,光电流比暗电流大三个数量级.随着反偏电压的增大,器件在 13.5 V 时发生雪崩击穿,电流呈指数倍增,倍增后的电流饱和是由空间电荷效应造成的.理论分析可知, pn 结雪崩击穿电压为^[10]

$$V_B = \frac{1}{2} \delta_m W_D = \frac{\epsilon_s \delta_m^2}{2qN_B} \quad (1)$$

式中, ϵ_s 为硅的介电常数, δ_m 为击穿时的临界电场(本文约 6.4×10^5 V/cm), N_B 为轻掺杂侧的掺杂浓度.理论计算得到的击穿电压约为 12.2 V,略小于仿真结果.这说明增加的保护环结构抑制了边缘击穿,一定程度上提高了器件的耐压性.与其它文献报道的 SPAD 器件相比(见表 2),本文设计器件具有较低的击穿电压,有

利于与 CMOS 读出电路及信号处理电路单片集成.

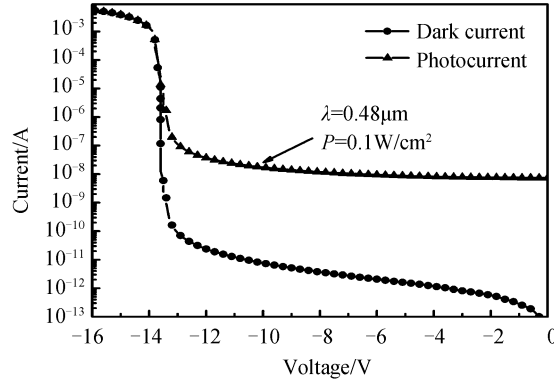


图4 I-V 特性曲线

Fig.4 Curves of current-voltage

表 2 基于 CMOS 工艺的 SPAD 性能对比

Table 2 Performance comparison of SPADs based on CMOS process

Ref.	Tech/ μm	Area/ μm^2	V_B/V	PDE/%	V_{EX}/V
This work	0.18	78.5	13.5	39.0	2.5
Ref.[7]	0.18	78.5	19.7	36.0	4.0
Ref.[8]	0.18	78.5	14.4	17.4	1.5
Ref.[15]	0.18	50.0	20.3	20.0	3.5
Ref.[16]	0.15	78.5	16.1	30.0	3.5

在 CMOS 工艺中, SPAD 的光吸收主要发生在中性区^[13], 故偏压对器件量子效率的影响非常小, 器件的光谱响应主要由材料特性和结深决定. 图 5 为本文设计的 SPAD 无倍增时的响应度和量子效率曲线. 由图 5 可见, 本文设计器件在 450~700 nm 波长范围内具有良好的响应度和量子效率, 峰值响应度和量子效率分别为 0.31 A/W 和 73.1%.

暗计数是表征单光子探测器性能的重要指标之一, 但其在器件仿真器中无法得到, 本文采用 Kang Y 等^[14]提出的门控模式下的 SPAD 物理模型. 该模型认为暗计数主要源于倍增区的暗载流子和后脉冲效应. 由于后脉冲随时间呈指数衰减, 故选择合适的门控周期可大大降低后脉冲的影响. 由文献^[14]的分析可知, 当门控脉冲宽度 $\tau = 2$ ns, 门控信号频率为 100 kHz, 后脉冲的影响较小, 可忽略不计.

在忽略后脉冲影响的情况下, 一个脉冲周期内的暗计数概率表示为

$$P_d = 1 - \exp \left[-P_a \left(\frac{I_{DM}\tau}{q} + \frac{I_{DM}M_0\tau^*}{q} \right) \right] \quad (2)$$

式中, I_{DM} 被称为初级暗电流, 定义为器件增益为 1 时对应的暗电流值, τ 为门控脉冲宽度, P_a 为耗尽区内载流子触发雪崩的概率, q 为电子电量, τ^* 为有效渡越时间, M_0 为门控脉冲到达前器件的平均线性增益. Matlab 计算结果表明, 在门控信号幅度为 3.3 V, 过偏压为 2.5 V 时, 一个门控周期内由暗载流子触发的暗计数概率仅为 0.38%. 这主要是因为本文设计器件具有较低的暗电流.

光子探测效率 (Photon Detection Efficiency, PDE) 是表征 SPAD 性能的另一重要指标, 其定义为 SPAD 吸收并触发雪崩的光子数和入射光子总数的百分比. 在后脉冲影响较小时, 探测效率定义为

$$\text{PDE} = (P_{on} - P_d) / P_{ph} \quad (3)$$

式中, $P_{ph} = 1 - e^{-N_0}$ 代表光脉冲至少包含一个光子的概率, N_0 为光脉冲的平均光通量, P_{on} 是由光子或暗载

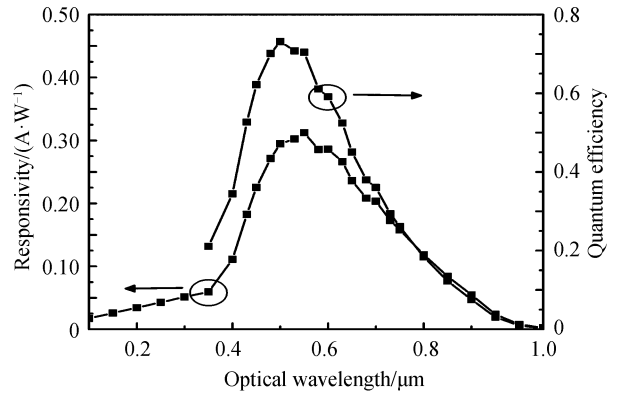


图 5 响应度和量子效率

Fig.5 Responsivity and the quantum efficiency

流子触发的总雪崩概率,计算公式为

$$P_{on} = 1 - \exp \left[-P_a \left(\frac{I_{DM}\tau}{q} + \frac{I_{DM}M_0\tau^*}{q} + \eta N_0 \right) \right] \quad (4)$$

式中, η 为量子效率.图 6 给出了不同过偏压时, SPAD 探测效率随波长的变化曲线.在过偏压 $V_{ex} = 1\text{ V}$ 时,最高探测效率可达到 20.4%;过偏压增至 2.5 V 时,器件在 450 nm~600 nm 波长范围内的探测效率均高于 30%,且 500 nm 时的峰值探测效率达到 39%.随着过偏压的进一步增大,探测效率随之升高,在 4 V 过偏压下,峰值探测效率可达 51%.这是因为过偏压越大,碰撞电离效应越明显,载流子触发雪崩概率越大.然而,在实际应用中不能无限提高反偏电压,因为这会增加器件暗计数,并降低器件的可靠性.

表 2 总结了本文设计 SPAD 的性能参数,并与其它文献报道结果进行了对比.由表 2 可见,本文设计的 SPAD 器件在击穿电压和探测效率方面具有明显优势.

3 结论

基于标准 CMOS 工艺,提出了一种非接触式保护环结构的 SPAD,分析了保护环间距对电场分布及雪崩触发概率的影响,确定了 $d = 0.6\ \mu\text{m}$ 的最优间距.基于优化的器件结构,采用 Silvaco Atlas 和 Matlab 仿真分析了电流-电压、光谱效应、暗计数概率和光子探测效率等性能参数.结果表明,优化器件的击穿电压为 13.5 V,暗电流为 10^{-11} A .过偏压 $V_{ex} = 2.5\text{ V}$ 时,门控模式下的暗计数概率仅为 0.38%,器件在 400~700 nm 之间具有良好的光学响应,峰值探测效率可达 39%.本文设计的器件结构具有较低的工作电压和较高的探测效率,且与 CMOS 工艺完全兼容,有望应用于 FLIM 和 PET 等弱光探测领域.

参考文献

- [1] CHICK S, COATH R, SELLAHEWA R, *et al.* Dead time compensation in CMOS single photon avalanche diodes with active quenching and external reset[J]. *IEEE Transactions on Electron Devices*, 2014, **61**(8): 2725-2731.
- [2] YANG Jia, JIN Xiang-liang, YANG Hong-jiao, *et al.* Design and analysis of a novel low dark count rate SPAD[J]. *Journal of Infrared and Millimeter Waves*, 2016, **35**(4): 394-397.
杨佳, 金湘亮, 杨红皎, 等. 一种新型低暗计数率单光子雪崩二极管的设计与分析[J]. 红外与毫米波学报, 2016, **35**(4): 394-397.
- [3] HU H, ZHANG G, ZHENG K. Modeling leaf image, chlorophyll fluorescence, reflectance from SPAD readings[J]. *IEEE Journal of Selected Topics in Applied Earth Observations & Remote Sensing*, 2014, **7**(11): 4368-4373.
- [4] CHITNIS D, COLLINS S. A SPAD-based photon detecting system for optical communications [J]. *Journal of Lightwave Technology*, 2014, **32**(10): 2028-2034.
- [5] WANG Jin-jun, WANG Xiao-liang, ZHANG Jing-wen, *et al.* Influence of field plate terminal on the electric field distribution and breakdown characteristics of diamond SBD[J]. *Chinese Journal of Luminescence*, 2016, **37**(4): 432-438.
王进军, 王晓亮, 张景文, 等. 场板结终端对金刚石 SBD 内部电场分布及击穿特性的影响[J]. 发光学报, 2016, **37**(4): 432-438.
- [6] CHARBON E. Single-photon imaging in complementary metal oxide semiconductor processes. [J]. *Philosophical Transactions Mathematical Physical Engineering Sciences*, 2014, **372**(372): 20130100.
- [7] GUERRIERI F, TISA S, TOSI A, *et al.* Two-dimensional SPAD imaging camera for photon counting[J]. *IEEE Photonics Journal*, 2010, **2**(5): 759-774.
- [8] ISAAK S, BULL S, PITTER M C, *et al.* Fully integrated linear single photon avalanche diode (SPAD) array with parallel readout circuit in a standard 180 nm CMOS process[C]. Proceedings of International Conference on Enabling Science and Nanotechnology, 2011: 1-2.
- [9] VEERAPPAN C, CHARBON E. A low dark count p-i-n diode based SPAD in CMOS technology[J]. *IEEE Transactions on Electron Devices*, 2015, **63**(1): 65-71.

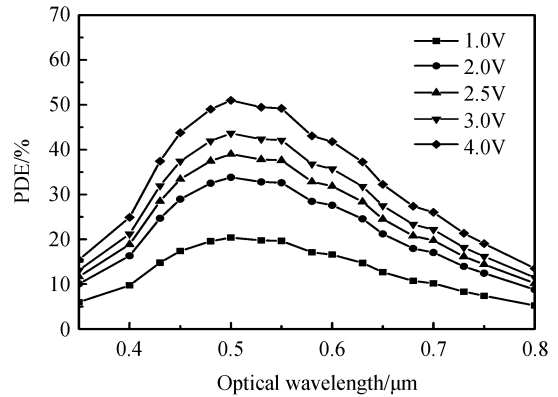


图 6 不同过偏压下的探测效率

Fig.6 The PDE under different excess bias voltages

-
- [10] WANG Wei, BAO Xiao-yuan, CHEN Li, *et al.* A CMOS single photon avalanche diode device with high photon detection efficiency[J]. *Acta Photonica Sinica*, 2016, **45**(8): 0823001.
王巍, 鲍孝圆, 陈丽, 等. 高探测效率 CMOS 单光子雪崩二极管器件[J]. 光子学报, 2016, **45**(8): 0823001.
- [11] KAMRANI E, LESAGE F, SAWAN M. A low-power photon-counter front-end dedicated to NIRS brain imaging[J]. *IEEE Sensors Journal*, 2015, **15**(7): 3724-3733.
- [12] PALUBIAK D P, DEEN M J. CMOS SPADs: Design issues and research challenges for detectors, circuits, and arrays [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, **20**(6): 409-426.
- [13] SAVUSKAN V, BROUK I, JAVITT M, *et al.* An estimation of single photon avalanche diode (SPAD) photon detection efficiency (PDE) nonuniformity[J]. *IEEE Sensors Journal*, 2013, **13**(5): 1637-1640.
- [14] KANG Y, LU H X, LO Y H, *et al.* Dark count probability and quantum efficiency of avalanche photodiodes for single-photon detection[J]. *Applied Physics Letters*, 2003, **83**(14): 2955-2957.
- [15] NICLASS C, SOGA M. A miniature actively recharged single-photon detector free of afterpulsing effects with 6ns dead time in a 0.18 μm CMOS technology[C]. Proceedings of Electron Devices Meeting, 2010: 14.3.1-14.3.4.
- [16] PANCHERI L, STOPPA D. Low-noise single photon avalanche diodes in 0.15 μm CMOS technology[C]. Proceedings of the European Solid-State Device Research Conference, 2011: 179-182.