doi:10.3788/gzxb20124108.0967

基于 FPGA 的激光雷达高速数据采集系统设计

辛文辉,李仕春,华灯鑫,宋跃辉,狄慧鸽,周智荣

(西安理工大学 机械与精密仪器工程学院,西安 710048)

摘 要:为了对激光雷达的回波信号进行采集,设计了一款基于 FPGA 的高速数据采集、预处理系统.该系统以 FPGA 内嵌 DRAM 作为存储器,以同步有限状态机作为控制方式,可在 1 kHz 的外触发信号激励下,以 20 MHz 的采集频率采集数据,并可在不丢失脉冲的情况下,对采集到的 4 096 个数据点进行 5 000 次以上的对应点累加平均(滤除背景嗓音).设计完成的数据采集系统已应用于一台米散射激光雷达系统中,达到了 30 km 探测距离、7.5 m 时空分辨率的设计要求.

关键词:激光雷达;回波信号;高速数据采集;同步状态机;双端口 RAM

中图分类号:TN958.98 **文献标识码**:A

0 引言

激光雷达是一种新型主动式谣感器,广泛应用 于激光大气传输、全球气候预测、大气颗粒及气溶胶 探测等领域[1-2]. 激光雷达回波信号的数据采集是激 光雷达系统中重要的一部分,是大气气溶胶反演的 数据基础,直接影响激光雷达的时空分辨率等重要 技术指标.尽管目前市面上有功能强大、性能指标很 高的采集板卡可供选择,但这些板卡均是基于 PCI 总线的通用采集卡,需在工控机驱动程序的控制之 下启动数据采集、处理[3].这种板卡在底层驱动程序 很不透明的情况下,很容易出现丢脉冲的现象.因 此,不能完全满足激光雷达特定的数据采集要求(触 发后进行多数据点高速采集,并要进行快速预处理, 不遗漏脉冲).另外一方面,随着大气气溶胶探测技 术的发展,将来的高光谱分辨率激光雷达将需要对 2 路、4 路,甚至8 路的回波信号进行同步采集,而目 前市面上基本没有满足如此要求的采集板卡.

针对以上问题,本文在国家"863"计划项目的支 持下,设计了一款可独立运行、基于 FPGA 的激光 雷达数据采集系统,可对激光雷达的回波信号进行 高速采集,在不丢失脉冲的情况下可对多次采样结 果进行对应点累加求平均,并可将采集到的数据以 TCP/IP 协议方式,通过网络远程传输数据(不需现 场工控机).该数据采集系统具有体积小(20 cm× 20 cm),重量轻,性价比高、可扩展(可扩展至 8 通 道,并且不影响采用频率)的特点,可作为激光雷达 **文章编号**:1004-4213(2012)08-0967-5 的通用的数据采集设备推广使用.鉴于篇幅,本文仅 论述数据采集、预处理的时序实现,对模数转换、采 样准确度及误差分析等将另文描述.

1 激光雷达组成

图1是进行大气气溶胶探测时使用的米散射激 光雷达系统.工作时,激光器发射的微脉冲激光光束 经准直扩束后,垂直射人大气,与大气中的气溶胶粒 子相互作用,其后向散射光被望远镜接收形成回波 光信号.回波光信号经小孔光阑、窄带滤光片、透镜 聚焦后耦合进入光纤中,再由光电倍增管(PMT)接 收放大后形成回波电信号(以下简称回波信号)^[4]. 回波信号输入到激光雷达数据采集系统中,数据采 集系统在激光器输出的微脉冲同步触发信号的激励 下,每发出一束激光微脉冲,启动一次回波信号的数 据采集(采集数千个点的数据),在进行必要的预处



图 1 激光雷达系统结构 Fig. 1 System overview of laser radar

基金项目:国家自然科学基金(No. 41027004)科学仪器基础研究专项、教育部博士学科点专项基金(博导类)(No. 20106118110005)资助 第一作者:辛文辉(1973),男,博士,讲师,主要研究方向为精密仪器、智能系统. Email xinwenhui@ xaut. edu. cn 收稿日期:2012-02-07;修回日期:2012-05-03

2 回波信号采集需求分析

激光雷达回波光信号具有动态范围大(以距离 平方衰减)、光速传播的特点^[7].将光信号转换成电 信号后对其采集时,须满足特定的时序需要,下面结 合"863"计划项目的具体指标(空间分辨率 7.5 m、 探测距离 30 km),对激光雷达回波信号的采集要求 进行分析.

2.1 采样频率高

一般地,激光雷达的激光器将以1 kHz 的频率, 发出脉宽约7 ns 的光脉冲.为了达到空间距离分辨率 为7.5 m 的设计要求,设定的采样间隔 *t* 应为

$$t = \frac{2d}{c} = \frac{2 \times 7.5}{3 \times 10^8} = 50 \times 10^{-9}$$
(1)

式中,d 为空间分辨率,由于待测的信号是一个反射 信号,存在回程,所以距离要乘以 2;c 为光速.由此 得到采样间隔为 50 ns,采集频率为 20 MHz.此外, 由上式可知,要获得的较高的空间分辨率,采样频率 必须足够的高.

2.2 采样点数多

为了达到探测距离是 30 km 的要求,采样点数 n 为

$$n = \frac{L}{d} = \frac{30 \times 10^3}{7.5} = 4 \times 10^3 \tag{2}$$

式中,L为探测距离,d空间距离分辨率.所以,采用 点数要达4000次以上.故探测距离越远,采样点数 越多(为了和 PGGA 的存储器容量相配合,将采集 的数据点数设置为4096).

2.3 需对采样结果进行对应点累加求平均

激光雷达回波信号含有众多杂乱无章的背景噪音,为去除这些噪音,需对采集结果进行上千次(5000次以上)的对应点累计平均以去除背景噪音^[4].

图 2 是按以上分析得到的激光雷达的采集时序 要求图.激光雷达每隔 1 ms(即 1 kHz 的频率)发出 一个激光微脉冲,采集系统在与微脉冲同步的触发 信号激励下,对回波信号启动一次 4 096 个数据点 的采集.下一个触发信号来临时,再启动新的采集. 为了去除背景噪音,需要对 5 000 次以上 4 096 个数 据点进行对应点相加求平均.

由图 2 激光雷达系统时序图可知,在触发信号的控制下,以 20 MHz 的采样频率,进行 4 096 次的数据采集,并不存在技术上的难度.而问题的关键在于要对上千次 4 096 个数据进行对应点相加求平均,并且采集和处理时间不能超过 1 ms,否则,会遗



Fig. 2 Sequence diagram of echo signal

漏掉下一次回波信号或对应数据点相加出错,这将 严重影响激光雷达的性能指标.这也正是目前通用 数据采集板块应用于激光雷达回波信号采集普遍存 在的问题,也是本文要解决的关键问题之一.

3 系统设计及实现

针对以上关键问题,本文设计了以 FPGA+ DSP 的数据采集系统.数据采集由可并行执行、时 序逻辑控制能力强的 FPGA 完成,数据反演和传输 由 DSP 完成.至于对上千次的 4 096 个数据进行对 应点相加求平均,有两种方案可供选择:

方案 1:在一次 4 096 个数据点的采集任务结束 后,由 DSP 在 0.8 ms 内(采集 4 096 个数据的时间: 4 096×50 ns≈0.2 ms)将 4 096 个数据读入 DSP 存储器暂存,等 N 次采集任务结束后,由 DSP 将 N 个暂存的 4 096 次进行对应点相加再求平均.

方案 2:在 FPGA 的采集时序上再设计必要的 数据存取和算术运算模块,每采集一个数据点,将其 结果与上次累加结果相加并存储,这样也可完成 4 096个对于点相加的任务.等设定个触发采集完 后,将 4 096 个累加结果读入到 DSP 中,对其进行 除法平均即可.

比较以上两种方案,方案1需要占用 DSP 大量 的存储空间和时间,导致 DSP 进行的反演及数据传 输变慢.此外,当时空分辨率要求更高、探测距离更 大时,一次触发要采集的数据将占有更多的时间,无 法留出足够时间给 DSP 进行读取数据,这就不利于 系统的扩展,从而不利于其通用性.方案2 不必频繁 的请求 DSP 响应中断来读取数据,所有给 DSP 留 出充足的时间来进行反演、数据传输及其他功能;另 一个方面,由于方案2 每次触发无需给 DSP 分配读 取时间,所以,此种方案有利于后续功能更进一步的 扩展,更具有通用性.比较以上两种方案,可以看出 方案2 更优.

3.1 系统整体框图

根据方案 2 设计的基于 FPGA 为核心的采集 预处理电路的结构如图 3 所示.其中,FPGA 完成高 速采集、对应点累加等关键任务.回波信号的反演、 数据传输等任务由 DSP 来完成.为了实现数据的远 程传输,由一款专用的硬件 TCP/IP 协议栈来完成 数据传输任务.



图 3 数据采集系统结构框图

Fig. 3 Structure diagram of data acquisition system

在 FPGA 中,将数据采集、累加的任务由 32 位 累加器、双端口 RAM(DRAM)、多路选择器及控制 单元协调完成.工作时,在检测到触发信号有效后, 要以 20 MHz 的采样频率,进行 4 096 次的数据采 集时,每采集一个数据,其主要的步序由下面三步来 完成:

1) 控制多路选择器,将 DRAM 的读出地址、读 出信号则交由控制单元进行控制,并将 DRAM 的 读出数据输入到 32 位累计的一个输入端;

2) 启动 AD 获取回波信号的值、并与上一步从 DRAM 中读出的值相加;

3) 控制 DRAM 的写入地址、写入信号,将累加器的输出结果写入到 DRAM 中.

当要执行下一个数据点的采集及累计时,首先 修正读出地址和写入地址,再重复执行上面的1~3 步,直至4096个数据点全部完成,这样就完成一次 触发数据采集、对应点累加任务.

当触发信号再次有效时,按上面的要求执行下 一次的4096次采集.由于本次的相加会读取上次 的累加结果,因此,当设定次数的回波信号的采集任 务后,也即已经完成了对应数据点累加的任务.最 后,在控制单元的控制下,多路选择器将 DRAM 的 读出地址、读出数据、读控制信号交由 DSP 控制,由 DSP 将以上存入 DRAM 中数据读入 DSP 中进行执 行除法,从而获得平均值,实现背景噪音的滤除.

3.2 DRAM 的读写控制逻辑

DRAM 读写控制逻辑是实现本次对应点数据

累计的关键.由于 FPGA 中有内嵌存储器 (Embedded Memory),可以根据设计任务用 EAD 提供的参量化例化工具定制要求的存储器类型及容 量^[8],最后设计的 DRAM 结构如图 4.



图 4 DRAM 存储器结构图 Fig. 4 Structure of DRAM memory

在本设计中,由于采用的 AD 转换器是 14 位 AD,考虑到要进行上千次的累计,所有将储存器的 数据宽度设置为 32 位.根据前面分析,将存储器的 存储深度设定为 4 096,以满足探测距离的要求.对 于存储器类型,为了防止数据的紊乱,在比较 FIFO 和双端口 RAM(即 DRAM)的优缺点的基础上选择 了 DRAM 作为本次的存储器类型.

针对 DRAM 的读写时序要求,根据时序特点, 采用同步有限状态机技术^[9-10],设计如图 5 所示.在



图 5 同步有限状态机流程图



系统时钟的同步下,将"读一累加一写"任务分解为 多个状态,状态的切换,均在系统时钟的跳变沿进 行,以保证数据的正确.在图 5 中,采集一次(采集 4 096 个数据点)的状态机用虚线圆圈标识出来;用于 以消除背景噪音的上千次的、对 4 096 个数据执行 累加的状态机用点划线椭圆标识出来.累加结束,由 DSP 将 DRAM 中的数据读完后,再由 DSP 启动 FPGA 进行下一次的采集任务.

图 6 是按以上同步状态机,用 VHDL 语言设计的"读-累加-写"程序仿真时序图.



图 6 历具两序图 Fig. 6 Diagram of Simulation timing

其中,add_rd_address、dram_rd_clk 分别表示 执行加法时读取的 DRAM 地址、读取时钟信号(注 意,由于 FPGA 提供的 DRAM 核其数据读出进行 了两级锁存:地址锁存和数据锁存,故,读出一次数 据,rd_clock 需要两个时钟);dram_wr_address、 dram_wr_clk 分别表示累加结果存放的 DRAM 地 址、写入信号;add_clk 表示加法信号.

4 系统测试

为了对数据采集系统的采集、处理效果进行验证.采取以下三个步骤对其进行测试:

首先,用精密电源给出 0.1~1 V 内范围(A/D 的测量范围)每隔 2.5 MV 的恒值电压,然后由数据 采集系统进行采集,并将采集到的数值换算成电压 值.测量值和实际值进行比较,即可得到采集板的采 样准确度.实际测量发现,在 0.5 V 左右,测量值和 实际值有一个略大于 1.2‰的误差,其它点的误差 均在 1‰之内.当然,这个准确度小于 14 位 A/D 的 理论准确度,这是由于电路的设计过程的布线、电 源、噪音等因素引起的.

第二步,用安捷伦信号发生器,输出两路同步信号:一路为触发信号,信号频率为1kHz,另外一路为锯齿波信号,信号幅度为5V.按理论分析,如果系统设计正确,采集到的数据在未转换成电压值之前应该呈一个等差数列,最大电压转换值可按如下计算.首先计算采样持续时间 $T_h = T_s \times n$.其中, T_s

为采样周期, n 为采样点数. 如果采用频率为 20 MHz,则 T_s 为 50 ns,当采样点数为4 096 的话, 采样持续时间 T_h 为 0.2 ms. 当输入的是最大值为 5 V的锯齿波信号时,当同步触发频率为1 kHz 时, 采集到的最大电压为:5 V×(0.2 ms /1 ms)=1 V. 实际测试发现:采集到的数据最大值的确为1 V 左 右,但两三个数据点之间并不呈现严格的等差数列, 有时前后两个数据点的数据完全一样,有时相差 3, 但总体上基本呈现一个等差数列. 最后分析原因,可 能是信号发生器的 D/A 转换位数较低所致. 据此分 析,可以认为本采集系统的动态特性可满足要求.

第三步,验证 FPAG 的累计结果及 DSP 的处理 效果.将累加次数设定几次到几千次,若设计的数据 采集、预处理功能正常的,那么累加几次到几千次求 平均的结果将和信号发生器发出的信号波形一致, 幅值基本相同.按此要求对系统的累加求平均效果 进行了测试,实际测试发现,累加次数分别是 50、 500 及 5 000 次的情况,求平均得到的结果基本相 同,三者之间有约 2‰的偏差.分析原因,有可以能 是信号发射器的误差引起的.

通过以上三步的测试,设计者认为,系统的静态、动态误差可以保持在2%的范围内,基本可以满 足设计的要求.

以上测试完成后,将设计的数据采集系统接入 到实际的激光雷达系统中进行实际验证.图7是实 际使用中的、采用本文设计的数据采集系统的米散 射激光雷达系统.为了对数据采集系统的采集及预 处理效果进行验证,将回波信号和触发信号也同时 也接入了一档高级示波器,并将示波器的累计平均 次数与采集系统设置相同.图7中放大的数据是累 计3000次采集后获得的部分回波信号的波形,可 以看出,波形数据和示波器基本相同,但数据采集系 统的准确度较高(示波器的采集使用的是8位 AD, 故其分辨率较低).



图 7 米散射激光雷达系统 Fig. 7 Mie scattering laser radar

5 结论

针对激光雷达回波信号采集的特殊要求,本文 设计了一款基于 FPGA 的数据采集系统,在不丢失 触发脉冲的情况下,以 20 MHz 的采集频率进行多 点数据采集,并进行快速的数据预处理.与现有的数 据采集系统相比,本系统有通用、便携、可扩展的特 点,可作为激光雷达的数据采集、处理系统推广 使用.

参考文献

- [1] MAO Jie-tai, ZHANG Jun-hua, WANG Mei-hua. Summary comment on research of atmospheric aerosol in China[J]. Acta Meteorologica Sinica, 2002, 60(5): 625-634.
 毛节泰,张军华,王美华. 中国大气气溶胶研究综述[J]. 气象 学报,2002,60(5):625-634.
- [2] HUA Deng-xin, SONG Xiao-quan. Advances in lidar remote sensing techniques [J]. Infrared and Laser Engineering, 2008, 37: 21-27.
 华灯鑫,宋小全. 先进激光雷达探测技术研究进展[J]. 红外与激光工程,2008,37:21-27.
- [3] ADLINK Technology. PCI-9816/9826[EB/OL]. [2012-2-08]. http://www.adlinktech.com.
- [4] MA Zong-feng, OU Pan, ZHANG Chun-xi, et al. Research on direct lidar using photomultiplier[J]. Infrared and Laser Engineering, 2007, 36: 238-241.

马宗峰,欧攀,张春熹,等.光电倍增管在直接探测激光雷达中的应用研究[J].红外与激光工程,2007,**36**:238-241.

 [5] GAO Fei. Study of laser radar for fine-detection of aerosols profiles[D].Xi'an:Xi'an University of Technology, 2008: 16-19.
 高飞、激光雷达精细探测大气气溶胶研究[D].西安:西安理

工大学, 2008:16-19. [6] LIU Jun, HUA Deng-xin, LI Yan. Ultraviolet lidar for profiling of the urban atmospheric aerosol in spatial and temporal at Xi'an[J]. Acta Photonica Sinica, 2007, **36**(8): 1534-1537. 刘君,华灯鑫,李言. 紫外域激光雷达探测西安城区上空大气

气胶时空剖面[J]. 光子学报, 2007, 36(8):1534-1537.
[7] LIU Zeng-dong, LIU Jian-guo, LIU Wen-qing, et al. Compacted portable Mie lidar and its application[J]. Optical Technique, 2008, 34(4): 518-524.
刘增东,刘建国,刘文清,等. 小口径便携式 Mie 散射激光雷达

刘瑁东,刘建国,刘义宿,寺,小口径便携式 Mile 散射激光 a 达 的研制和应用[J].光学技术,2008,**34**(4):518-524.

- [8] Altera international limited. cycloneII[EB/OL]. [2012-2-08]. http://www.altera.com.cn/literature/lit-cyc2.jsp.
- [9] 边计年,薛宏熙. VHDL设计电子线路[M].北京:清华大学出版社,2000:157-185.
- [10] WANG Xu-li, ZOU Pu-yu, LIU Li. The interface design for dual-port RAM and PCI9052 based on FPGA[J]. *Electronic Technology*, 2010, **37**(1): 27-28.
 王绪利,邹璞玉,刘莉. 基于 FPGA 的双口 RAM 与 PCI9052 接口设计[J]. 电子技术,2010,**37**(1):27-28.

Design of a High-speed Data Acquisition System Based on FPGA for Laser Radar

XIN Wen-hui, LI Shi-chun, HUA Deng-xin, SONG Yue-hui, DI Hui-ge, ZHOU Zhi-rong (School of Mechanical Instrumental Ingineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: A high-speed data acquisition and preprocessing system was proposed based on FPGA for echo signal sampling of laser radar. By use of embedded DRAM and synchronous finite state-machine, the designed system, triggered by a 1 kHz excitation signal, can sample the signal at the rate of 20 MHz, and the 4 096 sampled data can be accumulated correspondingly more than 5 000 times for the purpose of filtering background noise. The completed system was applied in a Mie scattering laser radar, which can achieve the spatial and temporal resolution of 7.5 meter and the detection range of 30 km.

Key words: Laser rader; Echo signal; High-speed data acquisition; Synchronous finite state-machine; Dual-port RAM