

doi: 10.3788/gzxb20124103.0364

# 大面阵 CMOS 实时同步成像及显示系统的设计

苏宛新

(中国科学院长春光学精密机械与物理研究所, 长春 130033)

**摘 要:** 为了能够实时成像和同步显示, 设计了一种结构简单、携带方便的大面阵 CMOS 实时成像及显示系统, 采用 EPF10K50 完成了 MT9M413C36STM 图像生成时序和 SXGA 显示时序及数据输出的多路转换设计. 图像传感器的数据输出转换为两路, 一路数据输出给处理电路进行图像实时处理; 另一路经 ADV7127 视频数模变换后输出, 可以连接 SXGA 形式的显示器同步显示图像. 实验设计了相关硬件电路, 并用 VHDL 语言编写了驱动程序, 在 Quartus 8.0 的开发环境下, 进行了调试. 结果表明, 该系统可以在  $1280 \times 1024 @ 60\text{Hz}$  逐行扫描模式下稳定地工作.

**关键词:** 驱动程序; 时序; MT9M413C36STM; EPF10K50

**中图分类号:** TP212

**文献标识码:** A

**文章编号:** 1004-4213(2012)03-0364-6

## 0 引言

在航空航天、测绘领域及经纬仪、弹道相机对目标动态跟踪, 姿态和变形测量领域的应用中, 对图像分辨率、高帧频的要求不断提高. 研制大覆盖、高分辨率、高速的数字相机来进行快速响应, 以实现实时高清视频图像摄影及测量任务. 这类测量用数字相机在图像拍摄过程中, 除了实时处理图像数据进行测量外, 图像画面的同步实时显示也同样重要. 通过监测, 可以了解拍摄情况, 实时调整影响成像质量的关键参量, 以达到影象质量及测量准确度的要求.

文献[1]给出了基于 FPGA+DSP 的实时高清视频图像解决方法, 实现了  $1280 \times 720, 25$  帧/s 高清视频图像系统. 文献[2]设计了 CameraLink 接口的相机图像实时显示系统. 文献[3-5]对比了 CCD 和 CMOS 图像传感器并对大面阵 CMOS APS 相机系统进行了研究. 目前主流的实时图像处理系统多半采用 DSP+FPGA 架构, 采用乒乓操作实现图像数据的缓存和处理, 以达到系统对实时性的要求[6-7].

本文利用 FPGA、ADV7127 和 MT9M413 设计出一种  $1280 \times 1024 @ 60\text{Hz}$  的 CMOS 实时成像及显示系统. 一路数据输出给处理电路进行图像实时处理, 另一路具有 SXGA 显示功能, 通过接入液晶显示器实时观看图像.

## 1 硬件电路设计

MT9M413C36STM 是 Aptina 公司生产的高

帧频 CMOS 图像传感器 (APS), 分辨率为  $1280\text{H} \times 1024\text{V}$ , 帧频可达  $0 \sim 500\text{fps}$ , 片内集成了  $1280$  个列并行  $10$  位 ADC; EPF10K50 为 ALTERA 公司 FPGA, 其配置芯片使用 EPC2TI32; ADV7127 为 ADI 公司的 D/A 转换器.

系统由物理尺寸为  $80\text{mm} \times 80\text{mm}$  的 AP1 和 AP2 两个 PCB 板子构成, 板间用插座连接. AP1 板由电压型  $8$  路  $10$  位数模转换器 DACs (LTC1660IGN)、CMOS 图像传感器 (MT9M413C36STM) 组成; AP2 板由视频数模转换器 (ADV7127KRU140)、 $108\text{MHz}$  时钟 (SG-8002CE108M-PCM)、FPGA 大规模逻辑阵列 (EPF10K50VRI240-3)、配置芯片 (EPC2TI32) 及电源芯片组成, 其中 AP2 中另有三个插座, 分别为 X1 (转接 SXGA 显示器)、X2 (图像数据处理输出)、X3 (JTAG). 本系统使用数字电压 ( $3.3\text{V}, V_{\text{cc}}$ )、模拟电压 ( $3.3\text{V}, V_{\text{aa}}$ )、数字地、模拟地, 并采用了  $108\text{MHz}$  晶振作为外部时钟源. 实物如图 1 所示, 原理图如图 2 所示.

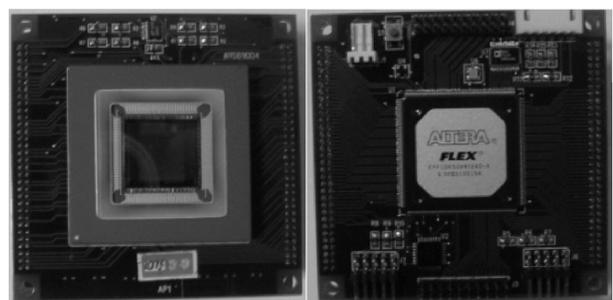


图 1 相机图片  
Fig. 1 Camera picture

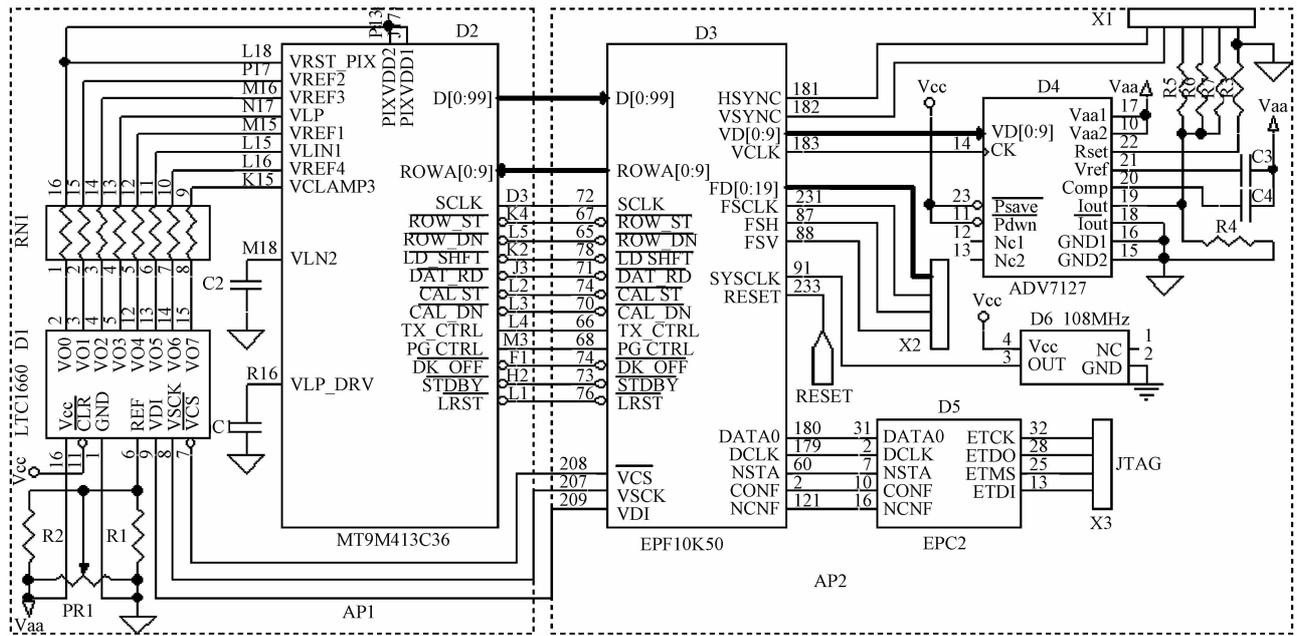


图 2 系统原理  
Fig. 2 System SCH diagram

1.1 显示驱动电路

ADV7127 是一款带片内基准电压源和互补输出 10 位数据总线 (VD[0 : 9]) 的高速数模转换器。VCLK 为显示时钟接 ADV7127 的 CK 端, VD[0 : 9] 在时钟的上升沿被锁存, 并进行 10 位 DAC 转换, 其模拟信号经 X1 转接后输出到显示器的 15 针 VGA 插座。视频输出通过 R5、R6、R7 分别接 VGA 插座的管脚 1 (RED)、2 (GREEN)、3 (BLUE); HSYNC、VSYNC 分别接入管脚 13、14; 模拟地接管脚 5~8、10。

R3 电阻接到比例控制端 (RSET) 和模拟地之间, 其阻值为 560Ω。在 Vaa 和参考电压输入端 (VREF) 之间、Vaa 和内部放大器补偿端 (COMP) 之间需要连接一个 0.1 μF 的陶瓷电容 C3、C4。电路不使用差分形式的视频输出, 将其负端 (/IOUT) 直接接到模拟地; 也不使用电源唤醒 (/PSAVE) 功能和掉电控制 (/PDOWN) 功能, 将其相应管脚接 Vcc。

1.2 成像及驱动电路

MT9M413 具有 10 × 10 位的图像数字输出接口 (D[0 : 99]), 片内集成了 ADC 时序和校准、输出多路复用电路, 但仍需要外部偏置电路、旁路电容、外部控制器和图像传感器连接。MT9M413 外部时序控制信号如下:

一个像元时钟 (SCLK) 信号; 两个 TX\_N、PG\_N 光积分控制信号; 10 位的行地址总线 (ROWA[0 : 9])、行转换开始 (ROW\_ST\_N) 信号、转换完成回答 (ROW\_DN\_N) 信号、转移 (LD\_SHFT\_N) 信号、数据输出 (DAT\_RD\_N) 使能信号。

图像传感器包含了自校准电路, 能够减少器件的固有噪声。校准 (VREF2) 信号连接到 ADC 的输入端, 生成校准偏移量和像元采样保持的信号相减。逻辑复位 (LRST\_N) 可以自动产生校准, 也可以通过用户发出低有效校准开始信号 (CAL\_ST\_N) 来产生校准。校准完成后, 传感器发出校准完成 (CAL\_DN\_N) 回答信号。这三个信号脉宽均为两个时钟、且低有效。

暗电平偏移量使能 (DK\_OFF\_N), 低有效, 其偏移值由 VREF3 和 VCLAMP3 决定。传感器低功耗使能 (STDBY\_N), 低有效。

系统使用了 LTC1660 为图像传感器提供参考电压, 以代替传统的偏置电路。参考电压由可变电阻 PR1 进行调节, 范围为 0 ≤ VREF ≤ 3.3 V; 其输出电压范围为 0 ≤ VOUT ≤ (1 023/1 024) × VREF。8 路电压输出端 (VO0 ~ VO7) 分别通过 10Ω 的匹配电阻连接到传感器的管脚 VRST\_PIX、VREF2、VREF3、VLP、VREF1、VLIN1、VREF4、VCLAMP3 上。其电压值如表 1 所示。

表 1 直流电压参量表  
Table 1 DC electrical characteristics

Name	Type	Name	Type
VCLAMP3	0 V	VLP	1.9 V
VRST_PIX	2.7 V	VREF1	1.0 V
VREF2	0.8 V	VLIN1	1.0 V
VREF3	0.6 V	VREF4	0.25 V

LTC1660 通过 SPI (/VCS、VSCK、VDI) 串口和 FPGA 连接。

### 1.3 FPGA 及配置电路

10×10 位数据 D[0 : 99]到达 FPGA 后,要进行多路转换.一路 1×10 位视频数据 VD[0 : 9]经 ADV7127 进行显示;一路 2×10 位视频数据 FD[0 : 19]经 X2 输出到图像处理器进行图像处理.其中,FSCLK 为像元处理时钟;FSH 为图像处理行同步信号;FSV 为图像处理帧同步信号.

## 2 成像及显示原理

### 2.1 显示工作原理

帧同步信号 VSYNC 表明新的 1 屏视频数据开始发送,每帧有效行数为 Ver Addr Time.行同步信号 HSYNC 脉冲表明新的 1 行视频数据开始发送,

每行有效像元数为 Hor Addr Time.行和帧同步信号保持一定的脉宽,分别为 Hor Sync Time 和 Ver Sync Time.

帧同步及行同步的头尾都必须留有回扫时间.VSYNC 前回扫时间就是 Ver Sync Time + V Back Porch + V Top Border,后回扫时间就是 V Bottom Border + V Front Porch;HSYNC 前回扫时间就是 Hor Sync Time + H Back Porch + H Left Border,后回扫时间就是 H Right Border + H Front Porch.在回扫时间里,不会有有效像元信号出现.VSYNC、HSYNC 信号为正极性.

LCD 时序图如图 3.视频显示时序数据(1280×1024@60 Hz)如表 2 所示.

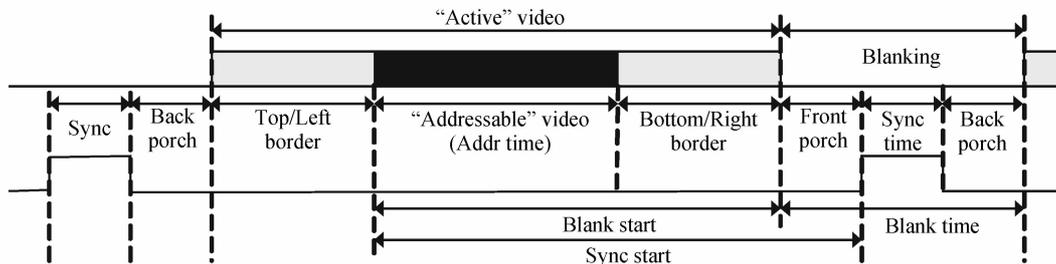


图 3 显示时序图

Fig. 3 Display timing diagram

表 2 视频显示时序数据

Table 2 Video display timing data

Parameter	Typ.	Unit
Pixel Clock	108	MHz
Hor Total Time	1688	clock
Hor Sync Time	112	clock
H Back Porch	248	clock
H Left Border	0	clock
Hor Addr Time	1280	clock
H Right Border	0	clock
H Front Porch	48	clock
Hor Blank Time	408	clock
Ver Total Time	1066	line
Ver Sync Time	3	line
V Back Porch	38	line
V Top Border	0	line
Ver Addr Time	1024	line
V Bottom Border	0	line
V Front Porch	1	line

### 2.2 成像原理

MT9M413 具有 TrueSNAP 成像结构,对所有像元以并行的方式进行光积分.光积分后的像元采集到模拟存储器中(每个像元都有一个存储器),然后一行一行的进行 ADC 数字化,直到从传感器读出.当 PG<sub>N</sub> 变低时,电荷放电、清除像元,在其上升沿开始新的光积分;当 TX<sub>N</sub> 变低时,光积分电

荷转移到像元存储器中.TX<sub>N</sub>、PG<sub>N</sub> 这两个动作的时间差就是传感器的曝光时间.

传感器具有列并行 ADC 结构,在每个成像时钟(SCLK)周期内,能够对一整行 1280 个像元同时进行模/数转换.10 位的行地址总线(ROWA[0 : 9])选择 1 024 行中的哪一行将要进行 ADC 转换和读出.行转换开始(ROW\_ST<sub>N</sub>)信号读取所选行的模拟像元进行 ADC 转换,并将数字化后的数据存储到 ADC 寄存器中,转换完成后回答 ROW\_DN<sub>N</sub> 信号.行地址需在行处理时间的前半段时间内有效(ROW\_START<sub>N</sub> 和 ROW\_DONE<sub>N</sub> 之间的时间).

图像传感器具有管状的存储器阵列,当一行新的转换发生时,仍能读取原先行的数字化数据.转移信号(LD\_SHFT<sub>N</sub>)将 ADC 寄存器数字化数据转移到输出寄存器中,数据输出使能(DAT\_RD<sub>N</sub>)信号输出寄存器中的数据到输出端口.新的像元行读出和转换周期在 DATA\_READ\_EN<sub>N</sub> 信号变低两个时钟后开始.总的行周期为 ROW\_STRT<sub>N</sub> 下降沿到 ROW\_DONE<sub>N</sub> 下降沿这段时间,再加上 DATA\_READ\_EN<sub>N</sub> 和 LD\_SHFT<sub>N</sub> 有效后的两个时钟周期<sup>[8]</sup>.

### 2.3 系统设计分析

在设计中,要同时满足 1 280 × 1 024@60 Hz 显示和 MT9M413 成像的时序要求.以系统时钟

SYSCLOCK 为基准时钟,行计数器 HCountb 计数每行的像元数,每行为 1 688 个基准时钟周期,有效像元行时钟为 1 280 个基准时钟周期;帧计数器 VCountb 计数每帧的行数,一帧为 1 066 行,有效像元行为 1 024 行.在显示时钟(VCLK)下降沿,锁存数据 VD.

设计要重点考虑的问题如下:

1) 时钟分频及数据输出

设计一个 10 分频器(Selcnt)进行分频,显示时钟(VCLK)、处理时钟(FSCLK)、成像时钟(SCLK)和系统时钟(SYSCLOCK)的比率分别为 1 : 2 : 10,即 108 MHz : 54 MHz : 10.8 MHz.

显示、处理、成像数据位分别为  $1 \times 10$  位、 $2 \times 10$  位、 $10 \times 10$  位.成像单元以 SCLK 为基准时钟,在一个成像时钟脉冲的作用下,图像传感器的输出寄存器( $1280 \times 10$  bit)转移数据到 10 个输出端口( $10 \times 10$  bit).每个端口有 10 位,代表一个像元;端口 0~9,代表 10 个像元.经 10 转 1 多路转换和 ADV7127 数/模变换后,在显示屏的左上角,从左到右依次排列像元 0~9.每行为 1 280 个像元,输出一行像元需要 128 个成像时钟 SCLK.同样,一个像元处理时钟(FSCLK)输出给处理端口 2 个像元的数据.

2) 显示、处理同步信号

显示单元行同步信号在 1 367 个系统时钟上升沿变高,在 1 479 个系统时钟上升沿变低;帧同步信号在第 1 025 行系统时钟上升沿变高,在第 1 028 行系统时钟上升沿变低.

处理单元行同步信号在 49 个系统时钟上升沿变低,在 1 329 个系统时钟上升沿变高;帧同步信号在第 0 行系统时钟上升沿变低,在第 1024 行系统时钟上升沿变高.

3) 成像单元时序及地址生成

成像单元地址(ROWA[0 : 9])是由帧计数器(VCountb)生成的.行转换开始信号(ROW\_ST\_N)在 2 个 SCLK 上升沿时变低,在 4 个 SCLK 上升沿时变高;转移信号(LD\_SHFT\_N)和数据输出(DAT\_RD\_N)使能信号相等,在 0 个 SCLK 上升沿变低,在 131 个 SCLK 上升沿变高.

4) 数据多路转换

多路转换器以 SYSCLOCK 为基准时钟,当分频器(Selcnt)为 0 时, $VD[0 : 9] = D[0 : 9]$ ;...当(Selcnt)为 9 时, $VD[0 : 9] = D[90 : 99]$ ;完成 10 转 1 成像~显示单元的多路视频数据转换.同理,完成成像~处理单元的多路视频数据转换.MT9M413 时序见图 4.

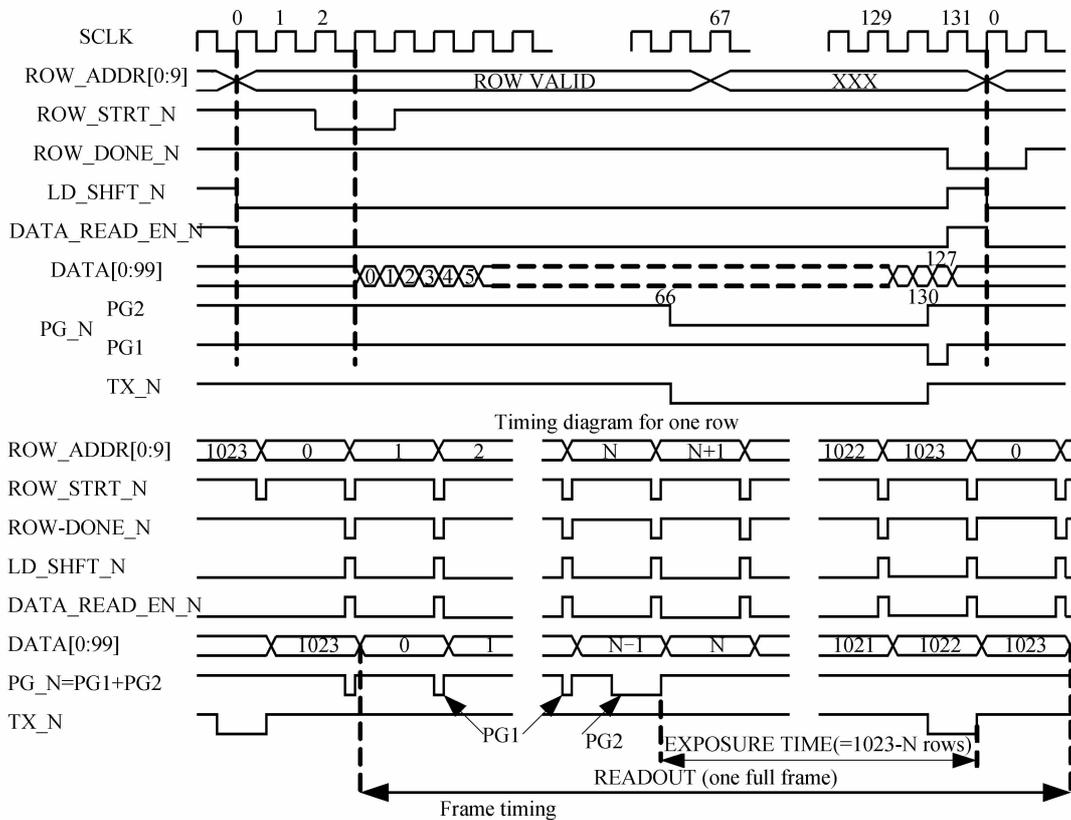


图 4 MT9M413 时序图  
Fig. 4 MT9M413 timing diagram

### 3 软件及驱动程序设计

#### 3.1 同步显示信号驱动

以显示行同步为例,其他同步类似.

```
HSYNC_proc:process(SYSCLK)
begin
  if(SYSCLK='0' and SYSCLK'event)then
    if(HCountb=1367) then
      tHSYNC<='1';
    elsif(HCountb=1479) then
      tHSYNC<='0';
    end if;
  end if;
end process HSYNC_proc;
```

#### 3.2 成像地址生成

```
ROWA <= VCountb(9 downto 0);
VCountb_proc:process(SYSCLK)
begin
  if(VCountb=1066) then
    VCountb<= ( others=>'0' );
  elsif(SYSCLK='0' and SYSCLK'event)then
  if(HCountb=1688) then
    HCountb<= ( others=>'0' );
    VCountb <= VCountb + '1';
  else HCountb<= HCountb + '1';
  end if;
end if;
end process VCountb_proc;
```

#### 3.3 数据多路转换

以 10 转 1 多路转换为例, 10 转 2 类似.

```
Vedioproc:process(SYSCLK)
begin
  if (SYSCLK='0' and SYSCLK'event) then
  case Selent is
  when0=>VD<=DATAb (9 downto 0);
  when1=>VD<=DATAb (19 downto 10);
  when2=>VD<=DATAb (29 downto 20);
  when3=>VD<=DATAb (39 downto 30);
  when4=>VD<=DATAb (49 downto 40);
  when5=>VD<=DATAb (59 downto 50);
  when6=>VD<=DATAb (69 downto 60);
  when7=>VD<=DATAb (79 downto 70);
  when8=>VD<=DATAb (89 downto 80);
  when9=>VD<=DATAb (99 downto 90);
  when others=>VD<=( others=>'0' );
```

```
end case;
end if;
end process Vedioproc;
```

### 4 结论

本实时成像及显示系统在 Quartus 8.0 开发环境下,进行 VHDL 程序开发和调试,获得了满意的结果,实现了大面阵高帧频数字成像及同步显示功能.在 60 fps 的帧频下以全帧 1 280×1 024 的方式进行逐行扫描成像和显示,其分辨率达到了 1.3 M 像素.输出两路信号一路可以连接 SXGA 方式的液晶显示器进行图像同步显示;另一路 2×10 位视频数据 FD [0:19]经 X2 输出到图像处理器进行图像的实时处理.

#### 参考文献

- [1] GAO Yang, LIU Rong-ke, HU Wei. Design and implementation of high definition video image system based on FPGA+DSP[J]. *Electronic Measurement Technology*, 2011, **34**(1): 69-73.  
高杨,刘荣科,胡伟.基于FPGA+DSP的高清视频图像系统设计与实现[J].电子测量技术,2011,**34**(1):69-73.
- [2] WANG Ming-fu, YANG Shi-hong, WU Qin-zhang. Design of large-array CCD real-time display system[J]. *Optics Precision Engineering*, 2010, **18**(9): 2053-2059.  
王明富,杨世洪,吴钦章.大面阵CCD图像实时显示系统的设计[J].光学精密工程,2010,**18**(9):2053-2059.
- [3] LIU Xin-ming, LIU Wen, LIU Zhao-hui. Design of a large area array CMOS APS camera system[J]. *Acta Photonica Sinica*, 2009, **38**(12): 3235-3238.  
刘新明,刘文,刘朝晖.大面阵CMOS APS相机系统的设计[J].光子学报,2009,**38**(12): 3235-3238.
- [4] CHEN Shu-dan, WEN De-sheng, YAND Wen-cai. Design and implementation of driving circuit for high frame rate CMOS camera based on CPLD[J]. *Electronic Design Engineering*, 2008, **11**: 9-11.  
陈淑丹,汶得胜,杨文才,等.基于CPLD的高帧频CMOS相机驱动电路设计[J].国外电子元器件,2008,**11**:9-11.
- [5] RAN Xiao-qiang, WEN De-sheng, ZHENG Pei-yun. Designing on driving sch edule gen erat or f or space array CCD camera and hardware based on CPLD[J]. *Acta Photonica Sinica*, 2007, **36**(2): 364-367.  
冉晓强,汶得胜,郑培云,等.基于CPLD的空间面阵CCD相机驱动时序发生器的设计与硬件实现[J].光子学报,2007,**36**(2):364-367.
- [6] YANG Lu, SU Xiu-qin, XIANG Jing-bo. Design of video image processing system based on DSP and FPGA[J]. *Control & Automation*, 2008, **24**(21): 288-289.  
杨露,苏秀琴,向静波,等.基于DSP和FPGA的视频图像处理系统设计[J].微计算机信息,2008,**24**(21):288-289.
- [7] SU Wan-xin, CHENG Ling-yan, CHENG Fei-yan. Design of real-time video signal processing system based on DSP+ FPGA[J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, **25**(1): 145-148.  
苏宛新,程灵燕,程飞燕.基于DSP+FPGA的实时视频信号处理系统设计[J].液晶与显示,2010,**25**(1):145-148.
- [8] Micron. Mt9m413c36stc Handbook[M]. Micron, Ver. 3.0 1/2004 EN.

## Design of a Large Array CMOS Image and Display System in Real-time Synchronization

SU Wan-xin

*(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)*

**Abstract:** In order to achieve real-time imaging and simultaneous display, a large array CMOS camera system with simple structure and portable size is designed. Making use of EPF10K50, image timing of MT9M413C36STM, display timing of SXGA and multiplex of output data are designed. Image sensor data is divided into two way signals. One way data outputs for processor electric circuit to deal with, the other way data through ADV7127 video AD transformation outputs to display simultaneity in SXGA. The related hardware electric circuit is designed, and the device driver is written using the VHDL language. Under the development environment of the Quartus 8.0, it is debugged. Experimental results show that this system can stably work in  $1\ 280 \times 1\ 024 @ 60$  Hz line-by-line scan.

**Key words:** Drive procedure; Timing; MT9M413C36STM; EPF10K50