

文章编号:1004-4213(2010)06-1053-5

一种实现 MSD 加法的光学方法*

李梅¹,何华灿¹,金翊²,王先超²

(1 西北工业大学 计算机学院,西安 710072)

(2 上海大学 计算机学院,上海 200072)

摘要:三值光学计算机系统结合光强与光的偏振方向表示三值信息,其核心器件——三值逻辑光学处理器是按照降值设计理论完成的,该处理器能完成所有 19683 种二元三值逻辑运算.本文旨在提出一种实现加法运算的新方法——用三值逻辑光学处理器实现加法.为了解决加法的串行进位延时问题,使用改良符号数表示进行数据编码,从而实现全并行无进位加法.用三值光学计算机与改良符号数表示相结合的方法实现加法既能够充分发挥三值光学计算机位数巨大的优势以及三值逻辑光学处理器能完成所有二元三值逻辑运算的特性,同时又发挥了改良符号数加法的无进位特点.经实验证明该方法具有可行性和正确性,是实现光学加法器的一种新思路.

关键词:光学加法; MSD; 三值逻辑光学处理器; 降值设计理论

中图分类号: TP301

文献标识码: A

doi: 10.3788/gzxb20103906.1053

0 引言

加法是所有算术运算中最基本的运算,而且其他基本运算如减法、乘法、除法都可以通过加法运算和一些逻辑操作组合起来共同完成,因此对加法的研究对于提高系统的整体计算速度具有重要意义.

由于加法的运算速度受到低位向高位串行传播的进位延时限制,如何解决进位延时成为研究热点之一.在电子计算机中,采用了先行进位策略,就是把各进位值分别表示成运算数的本位和所有低位的逻辑函数,在计算本位数值的同时计算进位值.这一方法中进位逻辑电路随运算位数的增加而迅速复杂化,因此电子计算机在实际应用中采用了折中做法,既分组先行进位,如 4 位一组,组内采用先行进位算法,组间采用串行进位^[1].

由于光具有空间巨并行性和无高频辐射特性,很多学者开始尝试用光学方法实现加法,并取得了较多的研究成果,例如采用光学并行逻辑实现按位片做并行加法的全加器、使用 SEED 阵列实现的先行进位加法器^[2],利用细菌视紫红质薄膜完成全光布尔逻辑运算从而实现加法^[3]等.为了解决进位问题,人们还提出了各种非二进制的系统如余数系统

(Residue Number),多值固定基数系统(Multiple-valued Fixed-radix Number),符号数系统(Signed-digit Number)^[4-6].改良符号数(Modified Signed-Digit,MSD)系统是符号数系统 SD 的子集;基于 MSD 编码的加法没有进位传播,算法的复杂度与加法操作数的位数无关,这些特性有利于充分发挥光的并行性,因此特别适用光学方法实现 MSD 全并行加法.已经有较多光学实现方法问世,如共享内容寻址存储器、电子捕获(Electron Trapping)设备、相关器、逻辑门阵列等^[7-9].

2000 年,金翊教授首次将光强度与偏振方向结合起来表示三值信息,提出了一种全新的光计算机体系结构——三值光计算机^[10].在经历了理论设计到实验研究几个阶段,目前三值光计算机的结构趋于成熟.2007 年完成了三值逻辑光处理器的设计和实现,该处理器是基于降值设计理论^[11]设计的,具有可重构性.配置不同的电控信号,该运算器能完成所有 19683 种二元三值逻辑运算.

本文提出用该处理器实现基于 MSD 编码的光学全并行加法的新方法,正是利用了该处理器能快速简单地完成二元三值逻辑操作以及 MSD 数加法的无串行进位延迟的优点.

1 三值逻辑光学处理器

1.1 降值设计理论简介

2007 年,金翊教授同博士研究生严军勇和左开中发现了多值逻辑处理器的降值设计规律(或称降

*国家自然科学基金(60473008)、陕西省自然科学基金(2007F45)和西北工业大学基础研究基金(W018101)资助

Tel:029-88493182

Email:plumlee@nwpu.edu.cn

收稿日期:2009-06-18

修回日期:2009-08-24

值构造规律),为实现三值光学计算机奠定了技术基础,成为三值光学计算机的基本理论之一。

该理论的核心内容为:“D”是一个特殊物理状态,它与任何其他状态 A 相遇后结果仍是状态 A。如果用来表示信息的物理状态中包含一个状态“D”,则 $n^{(n \times n)}$ 个 n 值逻辑运算器中的任一个都可以按照规范的构造步骤,组合 $n \times n \times (n-1)$ 个最简单运算基元中的几个而成。

降值设计理论解决了运算器的规范设计问题,将其应用于三值光学计算机的光学逻辑处理器的设计,实现三值逻辑光学处理器。下面说明该处理器的结构。

1.2 三值逻辑光学处理器

三值逻辑光学处理器结构如图 1 所示,它由面光源、编码器、运算器以及解码器(感光阵列)构成。其中,编码器由两片垂直偏振片和两块液晶组合而成,能够调制三值数字信息;运算器是由一块液晶和两片混合偏振片(白色是垂直偏振片,黑色是水平偏振片)组合而成。此结构根据降值设计理论完成。该处理器的实际结构是所有这些部件紧贴在一起,液晶阵列的像素完全对齐。

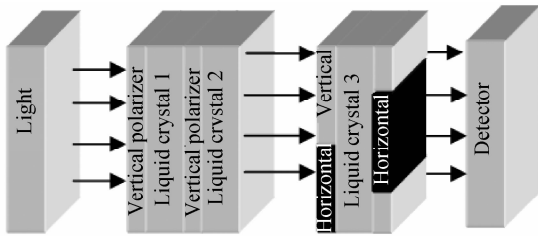


图 1 三值逻辑光学处理器的结构

Fig. 1 Structure of ternary logic optical processor

用 MSD 表示的加法没有进位过程。加法操作时只需并行地对被加数和加数的对应位完成几个二元三值逻辑运算。这一特性非常适合使用三值逻辑光学处理器。

下面详细说明用三值逻辑光学处理器实现 MSD 加法的方法。

2 用三值逻辑光学处理器实现全并行加法

2.1 MSD 简介

1961 年 Avizienis 首次提出 MSD (modified signed-digit) 表示法^[6],后来 Draker 等人将其引入光计算中^[12]。MSD 是一种冗余二进制表示法,任何非零数均可用多种 MSD 数形式表示。给定一个十进制数 X 可以用一个 N 位的 MSD 数表示为:

$$X = \sum_{i=0}^{N-1} x_i 2^i, x_i \in \{\bar{1}, 0, 1\}. \quad (1)$$

式中, $\bar{1}$ 表示 -1。例如,十进制数 5 用 MSD 数

表示有 $(101)_{\text{MSD}}, (\bar{1}\bar{1}01)_{\text{MSD}}, (10\bar{1}\bar{1})_{\text{MSD}}$ 等,二进制表示只有 $(101)_2$ 。

负数用 MSD 表示很简单,仅需对相应的正数的每一位取反。1 取反是 $\bar{1}$, $\bar{1}$ 取反是 1, 0 取反是 0。因此在作 MSD 减法时只要先对减数做一次按位取反操作,然后按照 MSD 加法继续进行即可。

MSD 数表示法的冗余性使得在进行加法运算时所产生的进位限制在相邻的两个位上而不会产生进位传播,这样就可以解决光学加法器的串行进位延时问题。

2.2 MSD 加法

按照算法的步骤数来划分,可以把 MSD 加法的算法分为三种:三步法、二步法、一步法^[13]。两步法及一步法虽然步骤减少了,但是操作真值表的复杂性以及光学实现的难度增加了。在我们的实现方法中,利用三步法完成加法。

设被加数 X 和加数 Y 的 MSD 表示分别为:

$X_{\text{MSD}} = X_{n-1}, \dots, X_i, \dots, X_0, Y_{\text{MSD}} = Y_{n-1}, \dots, Y_i, \dots, Y_0$; 若 X_{MSD} 与 Y_{MSD} 的位数不等,则在位数较少者的最高位补若干‘0’以使其位数相等。

第一步:计算 $X_i + Y_i = 2T_{i+1} + W_i, (i=0, \dots, n-1)$

对 X_{MSD} 和 Y_{MSD} 相应的每一位 X_i 和 Y_i 并行进行如表 1 所示的 T 变换,得到向高一位的进位 T_{i+1} ;同样对 X_i 和 Y_i 并行进行如表 2 所示的 W 变换,产生每一位的本位 W_i ;

表 1 T 变换

Table 1 T truth table

T	1	0	$\bar{1}$
1	1	1	0
0	1	0	$\bar{1}$
$\bar{1}$	0	$\bar{1}$	$\bar{1}$

表 2 W 变换

Table 2 W truth table

W	1	0	$\bar{1}$
1	0	$\bar{1}$	0
0	$\bar{1}$	0	1
$\bar{1}$	0	1	0

第二步:计算 $T_i + W_i = 2T'_{i+1} + W'_i, (i=0, \dots, n-1)$

对上一步得到的每一位 T_i 和 W_i 并行进行如表 3 所示的 T' 变换,得到向高一位的进位 T'_{i+1} ;同样对 T_i 和 W_i 并行进行如表 4 所示的 W' 变换,产生每一位的本位 W'_i ;

表 3 T' 变换

Table 3 T' truth table

T'	1	0	$\bar{1}$
1	1	0	0
0	0	0	0
$\bar{1}$	0	0	$\bar{1}$

表 4 W' 变换

Table 4 W' truth table

W'	1	0	$\bar{1}$
1	0	1	0
0	1	0	$\bar{1}$
$\bar{1}$	0	$\bar{1}$	0

第三步:计算 $S_i = W'_i + T'_i, (i=0, \dots, n-1)$

对上一步得到的 T'_i 和 W'_i 再进行表 1 所示的 T 变换,即可得到和 S 的每一位 S_i .

至此,完成了 X_{MSD} 与 Y_{MSD} 的加法.

2.3 MSD 加法在三值逻辑光处理器上的实现

三值逻辑光学处理器的编码器是由两片垂直偏振片和两片液晶阵列构成的,用于生成三态光(无光态、垂直偏振光和水平偏振光).我们把三值逻辑光学处理器的运算器按照前后偏振片的偏振方向不同分成四个区:VV 区、VH 区、HV 区、HH 区(如图 2 所示).VV 区两侧均为垂直偏振片;VH 区左侧为垂直偏振片,右侧为水平偏振片;HH 区两侧均为水平偏振片;HV 区左侧为水平偏振片,右侧为垂直偏振片.VV 区和 HV 区只能输出垂直偏振光和无光,VH 区和 HH 区只能输出水平偏振光和无光.

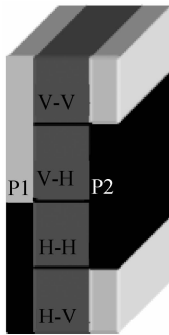


图 2 三值逻辑光学处理器的运算器
Fig. 2 Calculator of ternary logic optical processor

根据降值设计理论,分布在这四个区上的符合三值逻辑光学运算器结构并且可以应用的运算基元共有 54 个,任意一个二元三值逻辑运算(共有 19683 种)均可以由其中最多 6 个基元来实现.其中完成二元三值的 T 变换需要 VV 区的 3 个基元和 HH 区的 3 个基元;完成 W 变换需要 VH 区的 2 个基元和 HV 区的 2 个基元;完成 T' 变换需要 VV 区的 1 个基元和 HH 区的 1 个基元;完成 W' 变换需要 VV 区的 2 个基元和 HH 区的 2 个基元,如表 5.

表 5 4 个区变换的基元数

Table 5 Number of basic unit of transformations in four sections

	V-V	V-H	H-H	H-V
T	3	0	3	0
W	0	2	0	2
T'	1	0	1	0
W'	2	0	2	0

下面说明表 5 中的 W 变换所用的基元数.

按照通用降值设计规范,完成 W 变换的光学运算器设计如下:

- 1) 写出 W 变换的真值表(见表 1);
- 2) 在真值表中,逻辑值 0 出现的次数最多(5 次),因此确定元素 d 的值为逻辑值 0;
- 3) 确定集合 Ω 与集合 Φ 的元素一一对应关系为: d 对应 D (无光态),1 对应垂直偏振光(V), -1 (用 u 替代)对应水平偏振光(H);
- 4) 对 W 变换应用分解定理,得到表 6 的式子;

该式表明 W 变换分解后可得到四个基元真值表 c_1 、 c_2 、 c_3 和 c_4 ,再根据集合 Ω 与集合 Φ 的元素一一对应关系,对照基元表可得到相应的四个光学运算基元编号: $A_5(3)$ 、 $A_{12}(3)$ 、 $A_{13}(3)$ 和 $A_{16}(3)$.这四个基元分别位于 VH 区、HV 区、VH 区和 HV 区.因此完成 W 变换需要 VH 区的 2 个基元和 HV 区的 2 个基元.

对其他三个变换使用的基元数的说明与此类似,在此不一一赘述.

表 6 W 变换的基元

Table 6 Basic units of W transformation

a	b	c	c_1	c_2	c_3	c_4
0	0	d	d	d	d	d
0	u	1	d	d	d	1
0	1	u	d	d	u	d
u	0	1	d	1	d	d
u	u	d	d	d	d	d
u	1	d	d	d	d	d
1	0	u	u	d	d	d
1	u	d	d	d	d	d
1	1	d	d	d	d	d

完成 MSD 加法的第一步时,在 VV 区和 HH 区完成所有位的 T 变换,同时在 VH 区和 HV 区完成所有位的 W 变换.完成 MSD 加法的第二步时,在 VV 区和 HH 区完成所有位的 T' 变换,同时在 VV 区和 HH 区也完成所有位的 W' 变换.完成 MSD 加法的第三步时,在 VV 区和 HH 区完成所有位的 T 变换.

在完成多位数的变换时,给每一位分配相应个数的基元,就可以保证并行执行所有位的运算了.

解码过程中,任何变换所使用的基元最多有一个有光,例如 W 变换使用 VH 区的 2 个基元和 HV 区的 2 个基元中最多只能有一个是有光的. 如果在 VV 区或 HV 区的基元有光,则表示该位输出的是 1; 如果 VH 区或 HH 区的基元有光,则表示该位输出的是 -1; 如果该变换使用的所有基元都无光输出则表示该位为 0.

3 实验验证

给定 $X=12287, Y=-24994$; 它们的 MSD 表示分别为: (MSD 数有多种表示, 选择其中一种验证)

$$X_{\text{MSD}} = 011000000000\bar{1}1,$$

$$Y_{\text{MSD}} = \bar{1}\bar{1}00\bar{1}100\bar{1}100\bar{1}10.$$

第一步: 对 X_{MSD} 和 Y_{MSD} 并行进行 T 变换和 W 变换, 其结果如图 3 所示. 由表 5 可知 T 变换的结果在 VV 和 HH 区, 而 W 变换的结果在 VH 和 HV 区. 根据表中 T 和 W 变换的编码使用解码器得到其运算结果分别为 $\bar{1}010\bar{1}100\bar{1}100\bar{1}010$ 和 $10\bar{1}01\bar{1}00\bar{1}10010\bar{1}$.

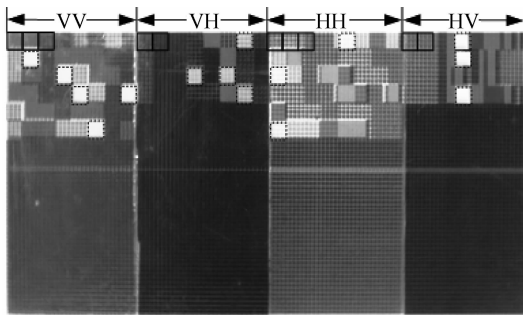


图 3 T 变换和 W 变换后的结果

Fig. 3 Result of T and W transformation

第二步: 对第一步得到的 T_i 和 W_i 并行进行 T' 变换和 W' 变换, 其结果如图中 4 所示. 可得 T' 变换和 W' 变换运算结果解码后分别为 100000000000 和 $\bar{1}11\bar{1}\bar{1}0\bar{1}010\bar{1}0\bar{1}11\bar{1}$. 由于一位 T' 变换只使用 VV 区和 HH 区的各一个基元, 所以利用这两个分区的前两行进行 T' 变换, 其变换后的结果在图中用较大的虚线框标出; 利用这两个分区的其余部分进行 W' 变换.

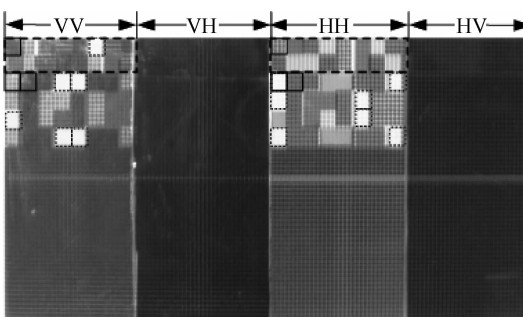


图 4 T' 变换和 W' 变换后的结果

Fig. 4 Result of T' and W' transformation

第三步: 对第二步的运算结果进行 T 变换, 其结果如图 5 所示, 解码后得到 $\bar{1}11\bar{1}00\bar{1}010\bar{1}0\bar{1}11\bar{1}$, 转换成十进制是 -12707.

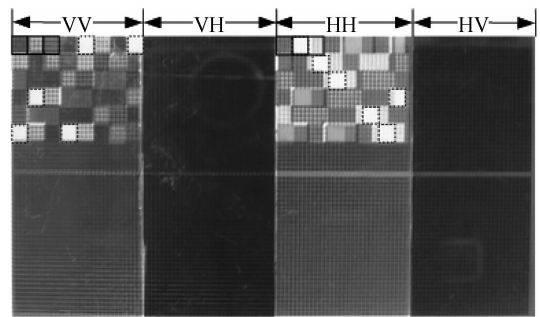


图 5 最后 T 变换的结果

Fig. 5 Result of last T transformation

$X+Y = 12\ 287 - 24\ 994 = -12\ 707$. 从实验结果看该方法具有正确性和可行性.

4 讨论

光的巨并行性使得光计算机轻松拥有 10^4 以上的位数, 本文提出的方法能够充分发挥光学处理器位数巨大的优势, 经过对加法的两个操作数的相应每一位进行并行的逻辑变换求和, 加法的运算步骤与加数、被加数的位数无关. 但是 MSD 加法也存在缺点, 需要把两个操作数先转换成 MSD 数表示, 最后还要再把 MSD 表示换成二进制十进制这样的常用表示方式. 我们下一步的工作要继续研究利用本方法实现光学乘法.

参考文献

- [1] XING Yun-hui, YANG Xu-dong. Computer composition principle practical tutorial [M]. Beijing: Tsinghua University Press, 2001: 73.
幸云辉, 杨旭东. 计算机组成原理实用教程 [M]. 北京: 清华大学出版社, 2001: 73.
- [2] LI Yu-lin, FU Xiao-li. Space light modulator and its application [M]. Beijing: National Defense Industry Press, 1996: 348.
李育林, 傅晓理. 空间光调制器及其应用 [M]. 北京: 国防工业出版社, 1996: 348.
- [3] FENG Xiao-qiang, CHEN Feng. Photonic logic gates based on bacteriorhodopsin [J]. *Acta Photonica Sinica*, 2001, **30**(1): 1-5.
冯晓强, 陈烽. 细菌视紫红质用于光子逻辑门的研究 [J]. 光子学报, 2001, **30**(1): 1-5.
- [4] GOUTZOULIS A P, DAVIES D K, MALARKEY E C. Prototype position-encoded residue look-up table using laser diodes [J]. *Opt Commun*, 1987, **61**: 302-308.
- [5] PSALTIS D, CASASENT D, NEFT D, et al. Accurate numerical computation by optical convolution [C]. International Optical Computing Conference II, SPIE, 1980.
- [6] AVIZIENIS A. Signed-digit number representations for fast parallel arithmetic [J]. *IRE Trans Electron Comp*, 1961, **EC**(10): 389-400.
- [7] HA B, LI Y. Parallel modified signed-digit arithmetic using an optoelectronic shared content-addressable-memory processor [J]. *Appl Opt*, 1994, **33**: 3647-3662.
- [8] LI Guo-qiang, QIAN Feng, RUAN Hao, et al. Compact parallel

- optical modified-signed-digit arithmetic-logic array processor with electron-trapping device[J]. *Appl Opt*, 1999, **38**: 5038-5045.
- [9] CASASENT D, WOODFORD P. Symbolic substitution modified signed-digit optical adder[J]. *Appl Opt*, 1994, **33**: 1498-1506.
- [10] JIN Yi, HE Hua-can, LB Yang-tian. Ternary optical computer principle[J]. *Science in China (Series F)*, 2003, **46**(2): 145-150.
- [11] YAN Jun-yong, JIN Yi, ZUO Kai-zhong. Decrease-radix design principle for carrying/borrowing free multi-valued and application in ternary optical computer [J]. *Science in China (Series F)*, 2008, **51**(10): 1415-1426.
- [12] DRAKER B L, BOCKER R P, LASHER M E, *et al.* Photonic computing using the modified signed-digit number representation[J]. *Optical Engineering*, 1986, **25**: 038-043.
- [13] ZHOU Shao-min, CAMPBELL Scott. Two-stage modified signed-digit optical computing by spatial data encoding and polarization multiplexing[J]. *Appl Opt*, 1995, **34**: 793-802.
- [11] YAN Jun-yong, JIN Yi, ZUO Kai-zhong. Decrease-radix

An Optical Method for MSD Addition

LI Mei¹, HE Hua-can¹, JIN Yi², WANG Xian-chao²

(1 School of Computer Science, Northwestern Polytechnical University, Xi'an 710072, China)

(2 School of Computer Science, Shanghai University, Shanghai, 20072, China)

Abstract: Ternary optical computer combines light intensity and polarization to denote ternary information. The core component of ternary optical computer is ternary logic optical processor which is designed and completed according to the the decrease-radix design principle (DRDP). This processor can finish all the 19683 dualistic ternary logic operations. This paper aims at proposing a new method of using ternary logic ternary processor to complete optical addition. To solve the carry-propagation of addition, to use the MSD representation to encode the operand and realize fully parallel carry-free addition. Using this method of combing ternary optical computer and MSD representation together to complete addition can both take good advantage of the feature of huge band-width and easily finishing dualistic ternary logic operations of ternary optical computer, and make use of the carry-free feature of MSD addition. By experiment the feasibility and correctness are proved and this method is a new idea for optical adder.

Key words: Optical addition; MSD; Ternary logic optical processor; Decrease-radix principle



LI Mei was born in 1977, is a Ph. D. student. She is majoring in optical computing and ternary optical computer.



HE Hua-can was born in 1938. He is one of the professors and doctor candidate mentors in school of computer science of Northwestern Polytechnical University and majors in artificial intelligence and universal logic.