

爆炸闪光脉冲波形实时采集与存储系统

舒雅^{1,2}, 欧阳嫻¹, 白永林¹, 刘百玉¹

(1 中国科学院西安光学精密机械研究所 瞬态光学与光子国家重点实验室, 西安 710119)

(2 中国科学院研究生院, 北京 100039)

摘要:介绍了一种针对爆炸时刻的测量而设计的爆炸波形实时采集与存储系统. 该系统通过可编程逻辑阵列控制模数转换器的时序来完成数据实时采集, 同时将采集到的数据实时存储到闪速存储器中. 数据采集存储结束后, 后系统通过 PC/104 总线传至 PC/104 计算机以便进行数据的后续处理获得完整的爆炸波形来判断爆炸时刻.

关键词:可编程逻辑阵列, 闪速存储器, PC/104 总线, 数据采集和存储

中图分类号: TH714

文献标识码: A

文章编号: 1004-4213(2009)07-2112-5

0 引言

在靶场试验中, 爆炸时刻是飞行弹体试验鉴定的重要性能指标之一, 只有精确测量出这一数值, 才能为脱靶参量的计算、引战配合性能的评估提供准确的时间数据^[1]. 各种飞行弹体在爆炸时产生冲击波和火光, 光电转换器将采集到的光信号转换成电信号来进行处理. 有用的爆炸信号与背景噪音和其他各种干扰最大的区别在于有用的爆炸信号上升沿速度较快, 因此通过对上升沿时间进行判断可以提取出有用的爆炸信号, 同时通过记录电信号波形测量幅度最高点进行爆炸时刻的测量.

爆炸时刻测量系统中, 爆炸波形采集存储系统具有重要作用. 通过记录爆炸波形数据可以设计合适的数字滤波器滤除干扰源得到爆炸波形, 同时可以将爆炸全过程记录下来以便于日后有效的管理试验数据. 本文设计了基于 PC/104 总线的实时数据采集系统, 对爆炸波形进行实时采集和存储, 为后续爆炸数据的处理提供了重要信息, 是爆炸时刻测量系统中不可缺少的一部分.

1 数据采集系统的硬件结构

基于 PC/104 总线的实时数据采集存储系统的主要功能模块包括: 模数转换模块, 系统逻辑控制模块 FPGA, 闪速存储器, 其原理框图如图 1.

爆炸发生后, AD 将光电转换器传来的模拟电信号转换成数字信号然后通过 FPGA 的控制将该数字信号交替写入两个 Flash 存储器中. 每个 Flash 存储器有 512 Mb 的容量, 可以保证记录下足够的波形数据值. 存储结束后, 采集到的数据由 FPGA 控制经 PC/104 总线传输到 PC/104 计算机上进行

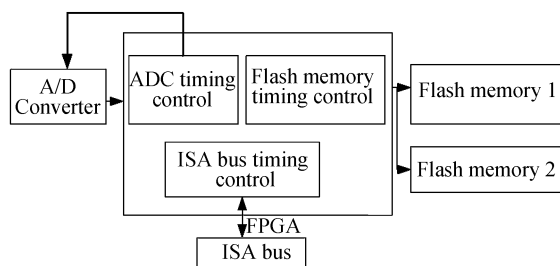


图 1 数据采集存储系统硬件框图

数据的后续处理. 现场可编程逻辑阵列 FPGA 可以根据系统需要自己定义器件内部逻辑和管脚, 将原来由电路板设计完成的工作放在芯片的设计中进行, 使得设计者能在集成度要求很高的系统中实现复杂的逻辑控制和时序驱动, 提升系统性能. 基于 FPGA 的设计方法具有实时性好, 设计灵活, 集成度高, 低功耗等优点^[3], 因此该系统所有的控制逻辑均由现场可编程逻辑阵列 FPGA 完成. FPGA 完成的主要功能包括: AD 时序控制、Flash Memory 控制逻辑, PC/104 总线逻辑控制. 通过对输入输出口的写操作将初始化参量和 A/D 控制命令写入 FPGA 内部寄存器, 由 FPGA 实现对 A/D 芯片的启动与数据输出使能以及 Flash 芯片的片选和读写操作^[4]. 当启动采样时, FPGA 的控制逻辑使 A/D 芯片的相应引脚有效, 以便启动 A/D. 在采样期间, FPGA 输出 Flash Memory 片选信号并将采样的数据直接存入 Flash Memory 中. 由于 PC/104 总线的数据线/地址线与 Flash 的数据线/地址线连接, 采样结束后, Flash 中的数据便通过 PC/104 总线传输到主机, 之后通过软件对采集的数据进行处理, 最后得到一个完整的爆炸波形.

2 FPGA 时序控制

2.1 模数转化器的逻辑控制

根据实验经验, 爆炸信号最高频率在 10KHz 左

右,根据奈奎斯特采样定律,只要采样频率在 20KHz 以上即可以无失真的还原原信号,考虑到系统要求的时间分辨率为 $1 \mu\text{s}$,选用最大采样率为 1MS/s 的 AD 转换器 AD7821. AD7821 控制逻辑比较简单,非常适用于 FPGA 控制. AD7821 工作时序图如图 2.

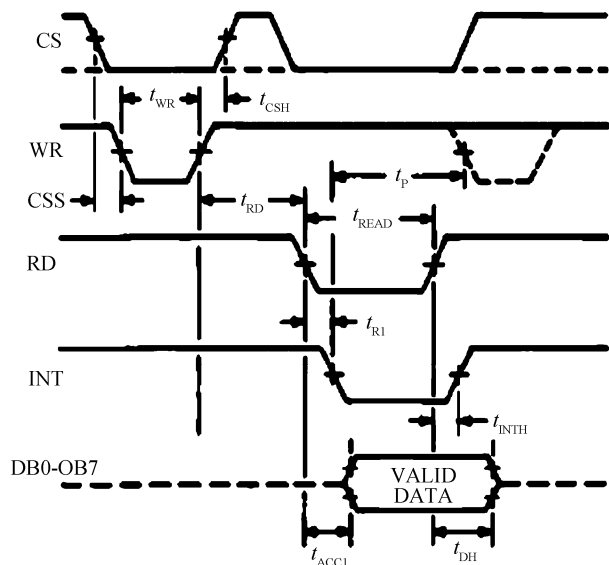


图 2 AD7821 工作时序

Fig. 2 Timing diagram for AD7821

AD7821 工作在 WR-RD 模式下,在 WR 的下降沿 AD 开始采样输入的模拟信号,在 RD 为高时输出转换后的数字信号.在 WR 的下降沿到来之前它需要保持 350 ns 的高电平.当 WR 为低之后,开始进行高 4 位的转换这个时间最少需要 250 ns,高 4 位转换完毕后 WR 为高开始低 4 位的转换,WR 上升沿 250 ns 之后, RD 为高开始输出数据. AD 转换器控制时序由 FPGA 产生.通过设计有限状态机可以很方便的表述模数转换器数据转换过程. AD 转换器在 FPGA 的控制下实时的将接受到的模拟电信号转换成数字信号以便于存储在存储介质中.

2.2 闪存存储器 flash memory 的逻辑控制

Flash 存储器由于其具有非易失性、电可擦除性、可重复编程以及高密度、低功耗等特点,而被广泛地应用于 U 盘、MP3 和数码相机等的数据存储设备中. NAND 和 NOR Flash 是目前市场上两种主要的非易失闪存芯片.与 NOR 型 Flash 相比, NAND 型 Flash 在容量、功耗、使用寿命等方面的优势使得它成为高数据存储密度的理想解决方案^[4].设计中选用 Samsung 公司 NAND 型 Flash 存储器 K9F1208UOC. K9F1208UOC 是基于页编程,块擦除的 Flash 存储器.它的存储容量是 512 Mbit, 8 位位宽,页大小为 $512 \times 8 \text{ bit}$,每块由 32 页组成,共 4096 块.每页带有 $512 \times 8 \text{ bit}$ 的存储区和 $16 \times$

8 bit 的空闲存储区.基于页编程,基于块进行擦除操作.块擦除时间为 2 ms,页编程的典型时间为 200 μs ,最大页编程时间为 500 μs .一页的数据在写入 flash memory 时需要经过至少 200 μs 的编程等待时间,为了避免在这期间送过来的数据流失,设计中采用两块 flash memory 交替存储的方式.对 flash memory 的操作主要包括页面编程,读数据,块擦除,坏块检测.可以在 VHDL 语言中利用状态机来完成对 Flash Memory 的控制以实现这些操作.因为 Flash Memory 中存在坏块,为了避免数据丢失,需要对 Flash Memory 进行坏块检查,将检查出来的好块的地址记录下来,在每次进行操作之前都先将这块表读出,只对这块表中的地址进行操作.并且由于 Flash Memory 使用过程中也会出现坏块因此还需要对这个表进行更新.

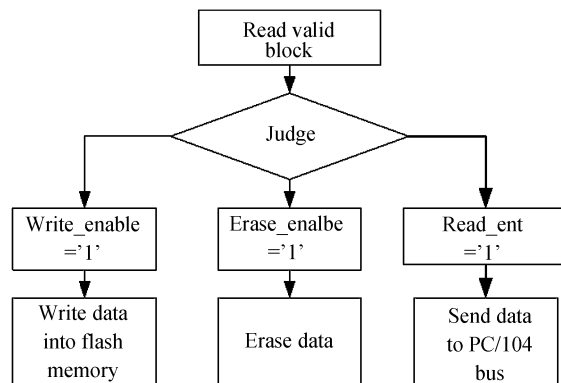


图 3 系统流程

Fig. 3 System Flow

2.2.1 坏块检测

一块 Flash memory 中包含一定数量的坏块.当一个块中有一位或更多位不能正确操作时就定义此块为无效块.无效块并不影响其他块的正常工作,各块之间的操作时独立的. K9F1208UOC 在出厂时就标记本身的无效块,如果某块第一页和第二页空闲存储区的第六个字节中存放的均不是 FFh,则该块为无效块.对无效块进行擦除或者写入操作会使原本的无效块标识信息丢失或者有效数据的丢失,因此在对 flash memory 进行操作之前需要先对它进行坏块检测标记出坏块在操作中避开.坏块检测的流程如下.

利用 FPGA 内部的 RAM 开辟一个 $4096 \times 8 \text{ bit}$ 的存储空间,在每次坏块检查结束后用于存放有效块的地址,在进行擦除和写入等操作时,只对这个列表中的块地址进行操作.这样处理的一个优点是,不用在每次写入地址前都要对地址进行判断来确定该块是否为好块,可以避免数据的丢失.由于 Flash Memory 在使用过程中也可能产生新的坏块,因此在写入过程中也需要对有效块地址进行更新.

Samsung 公司保证每块 Flash Memory 中第一个块一定为好块,因此在每次操作完毕后将 RAM 块中存放的有效块地址传送至第一块进行保存,在下次进行写或者擦除操作时先从第一块中读出块地址列表再进行操作^[5].

2.2.2 页编程时序控制

K9F1208UOCA 采用的基于页面的编程方式,每次页编程操作由 5 步所组成.

- 1) 发送页编程命令(80h)
- 2) 发送四个周期的地址指令. K9F1208UOC 地址位由 26 位所组成,其中 A0-A7 表示页内地址, A9-A25 表示页地址,其中 A14-A25 表示块地址, A9-A13 表示块内地址. 四个送地址周期,第一个周期送最低 8 位,第四个周期送高 8 位.
- 3) 送数据,512 个数据进入页面缓存器.
- 4) 送确认命令(10h)
- 5) 200 μ s 的页编程时间(即 200 个周期). 在页编程期间,只有读状态寄存器操作和复位操作命令会被接受,其他操作都会被忽略.

由于数据在写入 Flash 后还有较长的编程时间,而数据在存储上不能有任何的停顿,否则就会丢失数据. 为了解决高速的数据采集和低速的 Flash 访问速度之间的矛盾,采取两片 Flash 以流水方式工作来完成数据写入操作. 具体如图 4 所示. 首先,外部 A/D 采样通道加载数据到第一组 Flash 数据寄存器,加载完成后第一组 Flash 进入自动编程阶

段,同时第 2 组 Flash 加载开始,数据加载完成后,进入自动编程阶段,此时第一组 Flash 已经完成页编程开始再次接收数据.

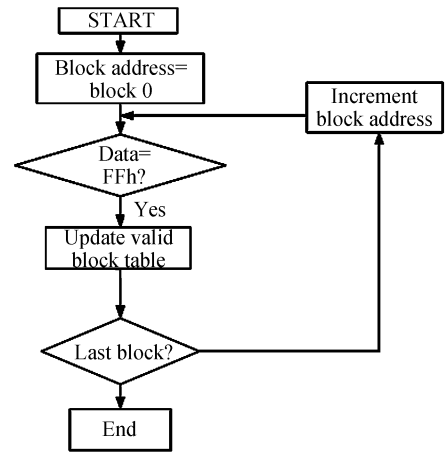


图 4 坏块检查算法流程

Fig. 4 Software algorithm for bad block check

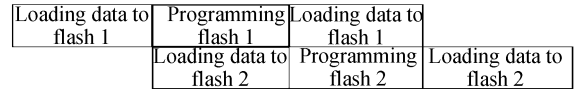


图 5 Flash Memory 流水操作示意图

Fig. 5 Pipeline for Flash Memory

对这部分操作进行仿真,仿真波形图如图 6. 图中 IO 为第一片 Flash Memory 的输入输出, IO1 为第二片 Flash Memory 的输入输出. 从图中可以看出数据轮流写入两片 Flash Memory,没有丢失数据的现象发生.

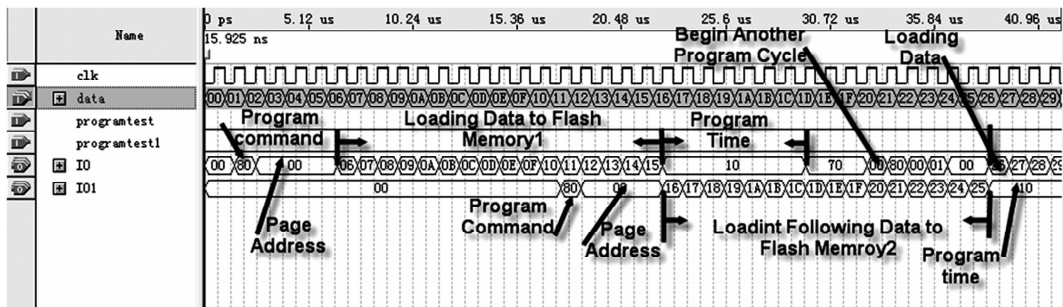


图 6 数据写入仿真波形

Fig. 6 Data Writing Simulate Wave

2.2.3 块擦除时序控制

Flash Memory 的擦除操作是以块为单位进行操作的. 擦除操作将选定块中的所有数据均设为“1”,之前块中所有数据均丢失. 在进行擦除操作时需要特别注意的是不要对坏块列表中的块进行操作,因为 Flash Memory 在刚出厂时在每块的空闲存储区有存储坏块信息,如果不慎对标记为坏块的块进行擦除操作会擦除原来的坏块信息,在下次进行坏块检查时,不能将该坏块标记出来,在写入操作时会导致数据的丢失.

一个擦除操作由四步所组成:

- 1) 发送块擦除命令(60h)
- 2) 三个周期的送块地址指令. 在块地址中只有 A14-A26 有效,在最后一个送地址周期中 I/O1-I/O7 必须均设为 0
- 3) 发送确认命令(D0h)开始擦除操作
- 4) 2 ms 擦除操作

块擦除操作仿真波形图如图 7.

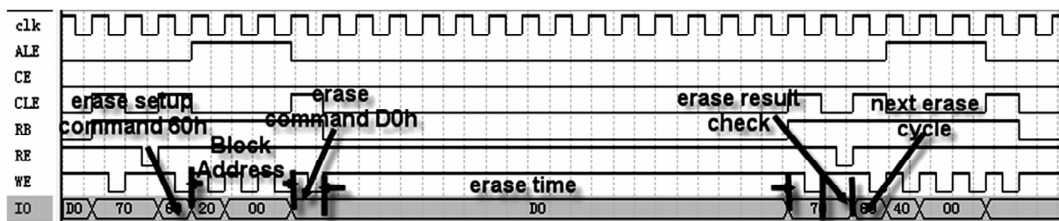


图 7 擦除操作仿真波形
Fig. 7 Block Erase Simulate Wave

2.2.4 读操作时序控制

读操作以页为单位进行操作,主要由四步所构成:

- 1) 送读操作命令(00h)
- 2) 送地址操作(送每页头一个字节地址)
- 3) 经过 12us(12 个时钟周期)将数据送到页缓存器.

存储器.

4) 一页的数据依次在数据线上出现(一页包括 512 个数据,这个部分的操作即为 512 个周期)

考虑到 Flash Memory 送出数据和 PC/104 总线取走数据的速度不匹配,读操作时采用 FPGA 内部的 RAM 作为缓存,读操作时序仿真图如图 8.

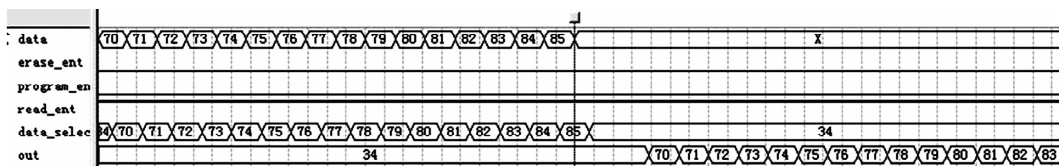


图 8 数据写入仿真波形
Fig. 8 Data Read-out Simulate Wave

图中 data 变量为 Flash Memory 中存储的数据, data_select 为从读操作中从 Flash Memory IO 口中送入缓存 RAM 的数据, out 为从缓存 RAM 读出的数据.

2.3 PC/104 总线与采集卡的接口

设计中采用 PC/104 计算机来处理采集到的爆炸波形数据,因此需要设计 Flash 存储器与 PC/104 总线的接口.考虑到时序问题,总线通过对 I/O 口的操作来读 Flash Memory 中的数据,而没有采用对存储器的操作方法. Flash Memory 一次送出 512 个数据,而系统机留给用户扩展存储器空间不足 512,因此需要对 I/O 空间地址进行变换.

PC/104 计算机的端口地址空间为 000-3FFH, 这些地址通过对 A0-A9 这 10 根地址线译码生成. 一般情况下,需要对端口进行读写操作,因此还需要把地址线和读/写控制信号 AEN、IOR 和 IOW 相配合,就可以得到用户需要的译码. 数据线则经由一个三态门与 FPGA 中暂存数据的 RAM 的输出口连接. 对端口地址与 IOR 和 IOW 配合使用,就可以对该端口进行读写操作.

3 结论

该设计利用 FPGA 控制 AD 转换器, Flash 存储器来进行爆炸波形的采集和存储,同时通过 PC/104 总线将采集到的数据传送到 PC/104 计算机来对数据进行滤波处理来得到完整的爆炸波形. 该设

计是爆炸波形和爆炸时刻测量中的重要组成部分,对爆炸时刻测量的研究具有重大意义.

参考文献

- [1] ZHANG Wen-wen, OUYANG Xian, BAI Yong-lin, et al. High-precision and high-reliability IR photoelectric time measurement system[J]. *Acta Photonica Sinica*, 2007, **36**(1): 39-42.
张稳稳, 欧阳娴, 白永林, 等. 一种高准确度、高可靠的红外光点时刻测量系统[J]. *光子学报*, 2007, **36**(1): 39-42.
- [2] SHI Yu-xiang. High precision bomb point time auto measure instrument [J]. *Journal of changchun University*, 2002, **12**(3): 1-4.
石玉祥. 新型高准确度炸点时刻测量仪[J]. *长春大学学报*, 2002, **12**(3): 1-4.
- [3] LIANG Yi-tao, WEN De-sheng, WANG Hong, et al. The design and implementation of logic control in a transient feeble optical signal detection system [J]. *Acta Photonica Sinica*, 2007, **36**(SUP): 309-312.
梁义涛, 汶德胜, 王宏, 等. 瞬态微光探测系统逻辑控制设计与实现[J]. *光子学报*, 2007, **36**(SUP): 309-312.
- [4] CHEN Yun, ZHAO Xing-guo. Real-time data acquisition system of single-ring absolute optical shaft encoder based on PCI bus[J]. *Acta Photonica Sinica* 2007, **36**(3): 441-445.
陈贇, 赵兴国. 基于 PCI 总线的单圈绝对式光电轴角编码器实时数据采集系统[J]. *光子学报*, 2007, **36**(3): 441-445.
- [5] LI Chao, WANG Hong-xian, XING Meng-dao. Design of a flash storage system with high speed and large capacity[J]. *Fire Control Radar Technology*, 2007, **36**(3): 83-88.
李超, 王虹现, 邢梦道. 高速大容量 FLASH 存储系统设计[J]. *火控雷达技术*, 2007, **36**(3): 83-88.

Real-time Acquisition and Storage System for Explosion Flash Pulse Waveform

SHU Ya^{1,2}, OU-YANG Xian¹, BAI Yong-lin¹, LIU Bai-yu¹

(1 *State Key Laboratory of Transient Optics and Photonics, Xi'an Institute of Optics
and Precision mechanics of CAS, Xi'an 710119, China*)

(2 *Graduate School of CAS, Beijing 100039, China*)

Received date: 2008-05-19

Abstract: An explosion waveform acquisition and storage system which is designed for explosion time measurement is introduced. FPGA is used to control A/D converter and flash memory, the data is acquired and stored in the speed of 1data/1 μ s. Then the data is transferred by PC/104 bus into PC/104 computer to do further processing to get a complete explosion waveform and the explosion time.

Key words: FPGA; Flash memory; PC/104bus; Data acquisition and storage

SHU Ya was born in 1986. She received the M. S. degree from Xi'an Institute of Optics and Precision Mechanics, CAS. Her major research focused on ultrafast electronics.