

基于 VHDL 技术实现视频采集处理器的控制

田 雁¹ 曹剑中¹ 许朝晖¹ 李变霞¹ 刘 莹^{1,2}

(1 中国科学院西安光学精密机械研究所, 西安 710068)

(2 中国科学院研究生院, 北京 100039)

摘 要 针对目前视频图像采集技术中图像采样控制复杂, 应用不灵活的问题, 基于现有视频采样芯片 SAA7111, 提出一种采用 VHDL 技术来模拟实现 I2C 总线接口的方法, 控制视频采集处理器实现视频图像采集. 实验证明, I2C 总线控制 SAA7111 采样图像数据正确、稳定. 该方法具有非常好的可移植性.

关键词 I2C 总线; VHDL; 视频采集; SAA7111

中图分类号 TN911.72 **文献标识码** A

0 引言

视频图像采集是视频图像处理、应用的前项通道. 目前, 无论是在军事、工业还是民用领域, 视频图像监测技术应用越来越广. 无论是对图像的实时处理还是事后分析, 可靠准确地将模拟视频图像采集为需要的数字视频图像数据格式就成为关键. 以往, 对于视频图像的采集多采用视频分离门电路、A/D 转换电路及锁相环电路来实现, 设计中多采用分立元件, 调试环节多, 可靠性低, 并且数据采集格式单一, 变化不够灵活. 如果要对多种制式的模拟视频图像进行采集, 电路体积就非常大. 目前市场上虽然有很多数据采集卡销售, 但这些数据采集卡一般都是针对计算机应用设计的, 不能够灵活应用在多种脱离计算机系统的设计中. 随着视频输入、输出处理器件的发展, 解决上述问题已成为可能. 本文基于市场上现有器件产品, 发展了一种基于 I2C 总线接口技术的灵活可靠的视频图像采样技术^[1,2]. 详细介绍了采用 VHDL 技术来实现 I2C 总线接口技术, 控制视频采集处理器实现视频图像采集的实现方案, 该方案既可以独立应用, 又可以作为嵌入式模块应用于其它系统中, 具有非常好的可移植性和产品开发能力. 该设计方案已经成功应用于多项图像采集系统中, 工作稳定可靠.

I2C 总线接口实现的方法主要有采用单片机、DSP 以及 CPLD 器件三种. 设计时可以针对系统特点, 灵活选用三种器件中的一种. 单片机和

CPLD 器件成本较低, 采用 DSP 单独实现 I2C 总线接口的成本较高, 而且 CPLD 器件相对于单片机和 DSP, 除了能够实现 I2C 总线接口外还可以利用资源完成其它逻辑设计, 节省 DSP 控制器或单片机等核心处理芯片的通用 I/O 接口. 因此, 设计一种能够独立应用的视频图像采集方案时, 选用了 CPLD 器件来实现^[3,4].

1 方案设计

1.1 设计思想

目前, 视频采集处理器最主要的生产厂家是 Philips 半导体公司和 A/D 公司. Philips 半导体公司生产的这类视频采集处理产品种类较丰富, 用户可以根据需求选用合适的产品. 在这些产品的控制中, 均采用 I2C 总线实现对外接口控制, 但是目前的单片机和 DSP 器件大多都不带有 I2C 总线接口, 因此设计思想是通过 CPLD 器件采用 VHDL 语言实现 I2C 总线接口对其进行控制, 将模拟视频采集处理器模块化, 使其应用简单灵活, 适用性强.

1.2 系统结构设计

系统中主要的器件为视频采集处理器和用来实现 I2C 总线接口的 CPLD 器件. 设计完成后的系统功能可以作为一个具有模拟输入通道, 控制参量接口和数字输出接口的视频采样模块.

采用 Philips 半导体公司的 SAA7111 作为视频采集处理器. I2C 模块功能用 ALTERA 公司的 MAX7064 实现, 功能框图如图 1.

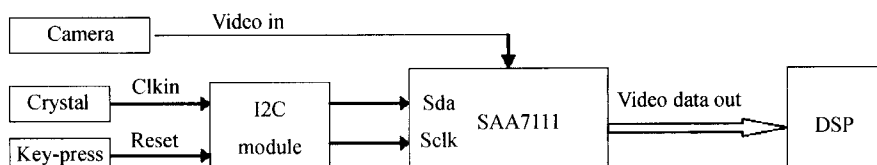


图 1 系统功能框图

Fig. 1 Diagram of system function

1.2.1 SAA7111 性能及工作协议

Philips 半导体公司的 SAA7111 作为视频采集处理器, 是系统设计中的核心器件, 了解其控制特性

及工作模式是设计控制器的关键^[5,6]. SAA7111 可以在输出 A/D 采样图像数据的同时, 输出各种视频同步参考脉冲, 如: 行同步、场同步、采样时钟信号、奇偶场信号等, 为图像数据的正确、灵活采样提供参考信号.

该处理器的主要特点如下:

1) 具有 4 路模拟输入 ($2 \times \text{CVBS}$ 、 $2 \times \text{Y/C}$ 或二者相结合);

2) 内含 2 路 8 位 CMOS 视频 A/D 转换器; YUV 总线支持以下数据率:

— $864 \times \text{fh} = 13.5 \text{MHz}$, 对于 625 行信号;

— $858 \times \text{fh} = 13.5 \text{MHz}$, 对于 525 行信号;

3) 数据输出格式有

— YUV 4:1:1 (12bit);

— YUV 4:2:2 (16bit);

— YUV 4:2:2 (CCIR) (8bit)

— RGB (5,6,5) (16bit)

— RGB (8,8,8) (24bit)

4) 带有可控制的 I2C 总线.

用户根据 I2C 总线协议, 将需要的控制字写入控制地址即可对 SAA7111 进行相应的控制. 这些控制包括: 图像数据输出格式、色彩、明暗、饱和度及各种参考信号的输出.

SAA7111 写控制协议:

S	SLAVE ADDRESS	W	ACK-s	SUBADDRESS	ACK-s	DATA(N BYTES)	ACK-s	P
---	---------------	---	-------	------------	-------	---------------	-------	---

代码描述:

S: 起始条件;

Slave address W: 01001000b (IICSA = LOW) or 01001010b (IICSA = HIGH);

ACK-s: 应答信号;

Sub address: 控制字地址;

Data(N BYTES): 控制命令字节;

STOP condition: 停止条件.

1.2.2 I2C 总线技术

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线, 可发送和接收数据. 在 CPU 与被控 IC 之间、IC 与 IC 之间进行双向传送. 各种被控制电路均并联在这条总线上, 但就像电话机一样只有拨通各自的号码才能工作, 所以每个电路和模块都有唯一地址. 在信息传输过程中, I2C 总线上并接的每一模块电路既是主控器 (或被控器), 又是发送器 (或接收器), 这取决于它所完成的功能. CPU 发出的控制信号分为地址码和控制量两部分, 地址码用来选址, 即接通需要控制的电路, 确定控制的种类; 控制量决定该调整的种类 (如对比度、亮度等) 及需要调整的量. 这样, 各控制电路虽然挂在同一条总线上, 却彼此独立, 互不相关^[7].

I2C 总线在传送数据过程中共有三种类型信号, 它们分别是: 开始信号、结束信号和应答信号.

开始信号: SCL 为高电平时, SDA 由高电平向低电平跳变, 开始传送数据.

结束信号: SCL 为低电平时, SDA 由低电平向高电平跳变, 结束传送数据.

应答信号: 接收数据的 IC 在接收到 8bit 数据后, 向发送数据的 IC 发出特定的低电平脉冲, 表示已收到数据. CPU 向受控单元发出一个信号后, 等待受控单元发出一个应答信号, CPU 接收到应答信号后, 根据实际情况作出是否继续传递信号的判断.

若未收到应答信号, 判断为受控单元出现故障.

2 I2C 模块设计

2.1 设计思想

利用 CPLD 器件模拟实现 I2C 总线接口, 利用状态机实现时序. 主要包括输入数据锁存、起始、数据传输、停止等状态机. 通过状态机, 在每一状态下确定下一状态. SDA 和 SCL 是高电平或者低电平, 通过这种方式实现了 I2C 所需要的每一种时序.

2.2 模块设计

根据 I2C 协议中传输过程的特点和 SAA7111 芯片的控制协议及功能需要, 在设计中主要实现四种功能: 开始条件功能、字节发送功能、应答条件功能和停止条件功能. 四种功能信号的时序如图 2.

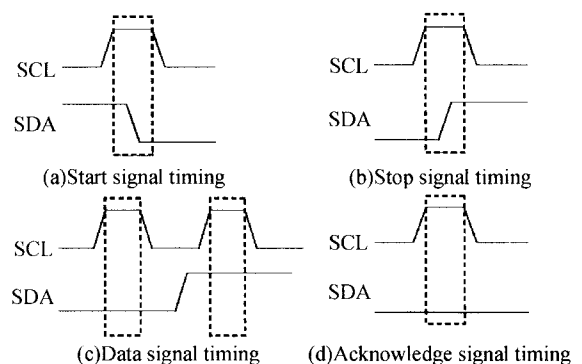


图 2 信号时序图

Fig. 2 Signal timing

I2C 总线上最高的传输速率在标准模式下可以达到 100 kbps, 在快速模式下可以达到 400 kbps, 在高速模式下可以达到 3.4 Mbps.

本文采用 VHDL 语言设计完成上述功能, 时钟 SCL 和数据 SDA 分别采用不同的进程完成. 时钟信号源采用 10MHz 的晶振, 16 分频后作为进程激励信号 clkin, 因此设计中的数据率为 625 kbps, 能够满足 SAA7111 芯片的数据率要求. 如果在更高

速的应用场合,需要快速通过 I2C 总线对被控器件进行设置,只需修改时钟频率即可。

程序设计中首先发送的是开始条件信息,紧接着发送 IC 器件唯一的地址码,然后依次是子地址和其需要的数据。在该设计中将 IICSA 的引脚下拉到低电平,因此写 SAA7111 的地址码为 48H,读 SAA7111 的地址码为 49H。发送控制命令的程序流程如图 3。

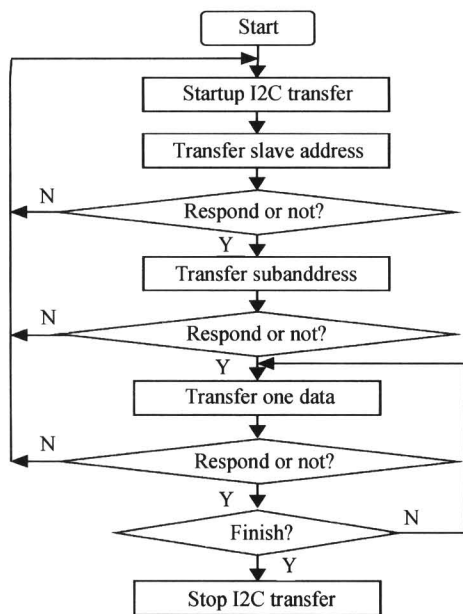


图 3 程序流程
Fig. 3 Program flow chart

在传输数据信号时,如果是连续多个数据依次发送,地址值可以只发送起始地址,后续地址可以自动依次增加。

在该设计中,SAA7111的初始设计参量如表1。

寄存器功能	子地址	参量设置
Chip version	00h	00000000
Analog input contr 1	02h	11000100
Analog input contr 2	03h	00000111
Analog input contr 3	04h	00001011
Analog input contr 4	05h	00010000
Horizontal sync start	06h	01101100
Horizontal sync stop	07h	11100000
Sync control	08h	00001000
Luminance control	09h	00000000
Luminance brightness	0ah	10000000
Luminance contrast	0bh	01000111
Chroma saturation	0ch	01000000
Chroma Hue control	0dh	00000000
Chroma control	0eh	00000001
Format/delay control	10h	11001000
Output control 1	11h	00001101
Output control 2	12h	00000101
Output control 3	13h	00000000

3 设计仿真结果

设计中利用 MaxplusII 集成环境采用 VHDL 语言实现了 I2C 总线对 SAA7111 的控制。图 4 是集成后的 Symbol。图示中的 reset 信号可以外接复位信号,时钟信号可以根据需要外接所需频率时钟信号。



图 4 I2C Symbol
Fig. 4 I2C Symbol

对于上述初始化数据,进行仿真,仿真波形如图5。

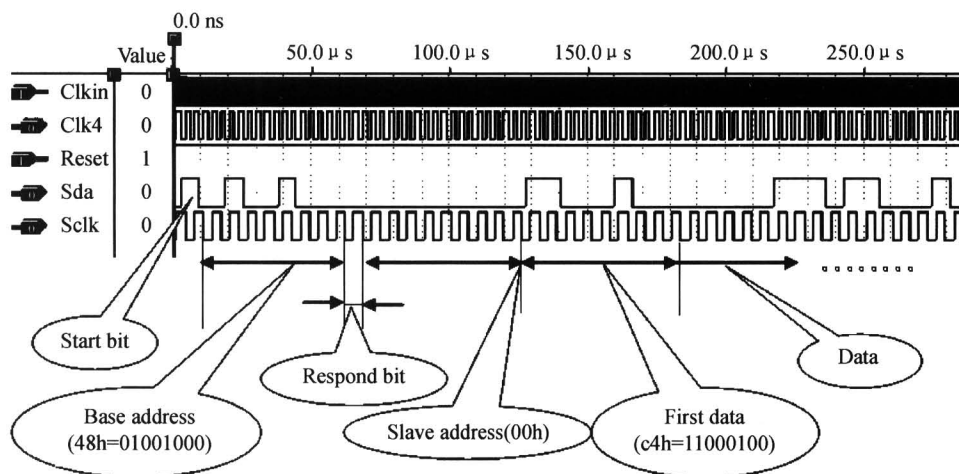


图 5 I2C 总线仿真波形
Fig. 5 I2C BUS imulate wave

仿真结果输出正确后,配置与电路设计相符的输入、输出引脚。完成该设计的 CLPD 芯片选型为 EPM7064SLC44-4,可以通过编程电缆 Byteblaster

(mv)将生成的 .pof 文件下载。根据测试结果,该设计可以稳定可靠的对 SAA7111 进行参量控制,如果需要修改只需更换程序中参量,再次编译下载即可。

4 结论

该设计已经应用在多个视频采集处理系统中, I2C 总线接口的实现仅占用 CLPD 器件资源的 40%, 而且数据采集正确、稳定. 该设计方案可以独立于 DSP 控制器, 单片机等核心器件与图像数据采集芯片配合使用, 节省 DSP 控制器或单片机等核心处理芯片的通用 I/O 接口, 既能降低硬件成本又能大大减小系统主板的面积, 使电路的设计更具灵活性.

参考文献

- 1 路永坤. 用 Verilog HDL 实现 I2C 总线功能. 电子技术应用, 2004, **30**(4): 67~69
Lu Y K. *Application of Electronic Technique*, 2004, **30**(4): 67~69
- 2 王华, 汶德生. 无压缩多路数字视频光纤传输系统地研制. 光子学报, 2005, **34**(1): 150~153
Wang H, Wen D S. *Acta Photonica Sinica*, 2005, **34**(1): 150~153
- 3 达选福, 张伯珩. 基于 CPLD 和单片机的多光谱数码相机下位机设计. 光子学报, 2005, **34**(12): 1915~1917
Da X F, Zhang B H. *Acta Photonica Sinica*, 2005, **34**(12): 1915~1917
- 4 谷林, 胡晓东. 基于 FPGA 的线阵 CCD 亚像元边缘检测片上系统. 光子学报, 2004, **33**(5): 617~621
Gu L, Hu X D. *Acta Photonica Sinica*, 2005, **33**(5): 617~621
- 5 Brown S, Rose J. FPGA and CPLD architectures. *Design & Test of Computers. IEEE*, 1996, **13**(2): 42~57
- 6 SAA7111A Enhanced Video Input Processor datasheet 2C. www.Phillips.com
- 7 张博, 吴芝路. 基于 FPGA 的电子稳像平台的研究. 电子技术应用, 2004, **30**(5): 21~237
Zhang B, Wu Z L. *Application of Electronic Technique*, 2004, **30**(5): 21~237

The Control of Video Processor Base on VHDL Technique

Tian Yan¹, Cao Jianzhong¹, Xu Zhaohui¹, Li Bianxia¹, Liu Ying^{1,2}

¹ Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, Xi'an 710068

² Graduate School of the Chinese Academy of Sciences, Beijing 10039

Received date: 2005-11-10

Abstract Aiming at the problem of complexity and inflexibility of image sampling control in the video image collection technology today, a method of realizing I2C bus interface by VHDL technology is proposed in this paper. This method based on the available video sampling chip SAA7111 can be used for control video collection processor to collect video image. The experiment indicates that I2C bus can control SAA7111 to sample image data correctly and steadily. This scheme is well transplantable.

Keywords I2C bus; VHDL; Video collection; SAA7111



Tian Yan was born in 1975. Graduated and got bachelor degree in Applications Electron from Xi'an University of Technology. She has worked in Xi'an institute of optics and precision mechanics of cas for five years and she has engaged in the research of high-speed video since 2001. In 2000, she began her study for master's degree in Xi'an Institute of Optics and Precision Mechanics of CAS. Her master's speciality is communicate and information processing. At present, she mostly works in high speed camera measure and video image process.