

并行帧同步扰码器的扩充比特设计法*

张羿猛 黄芝平 毕占坤 王跃科

(国防科技大学机电工程与自动化学院仪器系,长沙 410073)

摘 要 在递推公式并行扰码处理方法的基础上,提出了一种使用扩充比特进行帧同步扰码器设计的新方法. 利用扰码序列的周期性原理,从理论上证明了并行扰码复杂度与扰码生成多项式的具体形式无关. 无需计算并行扰码递推公式,简化了解扰码器的设计过程,只须用深度与生成多项式阶数相关的存储器和少量的读写控制逻辑就可以实现对任意字宽解扰码处理. 该方法在 FPGA 设计与实现中得到了验证,实现了高效和低复杂度. 采用该方法的处理模块已在光通信传输网前端处理系统中得到了应用.

关键词 并行扰码;扩充比特法;SDH 传输网

中图分类号 TN929.11 **文献标识码** A

0 引言

在 SDH 通信系统中,需要对数据流进行扰码处理以增强数据的随机性. 扰码后的信号便于时钟恢复与同步、平衡数据发射端的功率、增强通信的保密性. 随着光通信技术的高速发展,数据传输速率得以成倍提高,首先从速度上提高了对扰码解扰的要求;同时光通信系统不断向接入层渗透,要求有简便、高效、易于实现的扰码与解扰处理方法. 串行方式的扰码与解扰处理需要工作于数据传输的线速度上,目前的 SDH 传输系统普遍采用的 2.5G(STM-16)、10G(STM-64)甚至 40G(STM-256)的工作速率^[1,2],这就要求扰码器的串行工作速率最高要达到 40 Gbp/s,这在串行方式上进行是非常困难的,于是各种并行的扰码与解扰算法应运而生,并行方式通过扩展位宽降低了工作频率,使得扰码与解扰用低速电路即可实现.

目前关于并行扰码处理多采用矩阵法^[3]、扩展矩阵法、状态转移法、延迟法^[4]等,这些方法的基本思想都是通过数学的方法得到并行扰码处理的递推公式,然后设计硬件使之满足递推公式. 这种方法具

有较强的适用性,可对任意生成多项式进行处理;但同时生成并行扰码器不但要占用额外的硬件资源,而且有时从复杂的生成多项式推导并行扰码递推公式是非常困难的. 本文提出的方法充分利用了同步扰码周期性的特点,不需要计算并行扰码的递推公式,只须占用极少的逻辑资源和一定量的 RAM. 通过理论分析还得出存储深度仅与生成多项式的阶数有关,而与它的具体表达形式无关的结论. 该方法可大大提高解扰码器设计的效率,非常适用于高速光通信场合.

1 设计原理

在数学上可以用本原多项式表示一个伪随机序列发生器,通过本原多项式可以用递推的方法生成一系列连续的码流,因此该本原多项式又称为扰码的生成多项式. 一个通用的生成多项式可描述为

$$g(x) = x^r + c_{r-1}x^{r-1} + \dots + c_1x + 1 = \sum_{i=0}^r c_i x^i \quad (1)$$

式中 $c_0 = c_r = 1$

图 1 表示了以式(1)为基础的串行扰码器的硬件组成^[3]. 可以证明,该生成多项式可以产生以

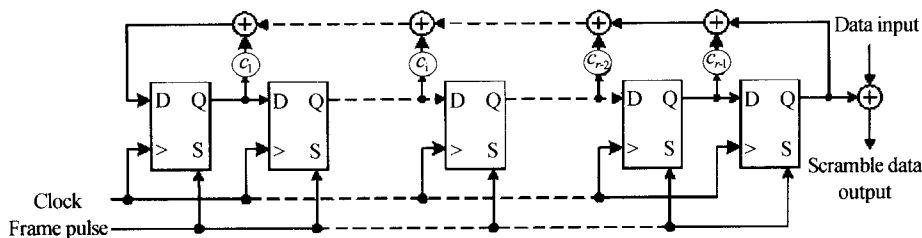


图 1 串行扰码硬件组成
Fig. 1 Architecture of serial scrambler

$2^r - 1$ 为周期的码流.

将周期为 $2^r - 1$ 的序列表示为 $\{b_1, b_2, \dots, b_{2^r-1}\}$, 记该序列为 $B = \{b_k\}$, 其中 $1 \leq k \leq 2^r - 1$. 考虑到扰码序列的周期性,当数据比特流中的前 $2^r - 1$

* 国防预研基金资助项目
Tel: 0731-457337 Email: zhang_yimeng@sina.com
收稿日期: 2005-06-13

一个扰码完成后,下一个比特所对应的扰码比特仍然为 b_1 ,依此类推,相当于序列 $\{b_k\}$ 沿时间轴进行周期性延拓,由此可得延拓后的序列为

$$\tilde{B} = \{B, B, \dots, B, \dots\} = \{b_1, b_2, \dots, b_{2^r-1}, b_1, b_2, \dots, b_{2^r-1}, \dots, b_1, b_2, \dots, b_{2^r-1}, \dots\} \quad (2)$$

串行扰码过程就是将等式(2)中 \tilde{B} 序列的每一个元素依次与数据比特流中的每一位模 2 相加,得到扰码后的信号. 并行扰码处理就是要每次取出多个比特,与码流中的数据一次完成扰码运算,每次参与计算的位数越多,并行性越强,需要并行计算速率就越低.

假设并行处理的位宽为 W ,也就是说每次从扰码序列 \tilde{B} 中取出 W 位与数据码流进行运算. 那么原始数据码流中的一个 W 位宽的字可以记为

$$S_w = \{s_1, s_2, \dots, s_w, \dots, s_w\} \quad (3)$$

式中 $1 \leq w \leq W$.

同步扰码一般由帧信号指示扰码的开始,此时扰码序列的第一个比特 b_1 与数据流中第一个字节 S_w^1 的第一个比特 s_1^1 进行模 2 相加运算,扰码序列中的第 2 个比特 b_2 与随后到来的那个比特 s_2^1 进行运算,依此类推. 由于扰码序列的周期为 2^r-1 ,所以经过 2^r-1 个比特后,扰码序列将重复前一个周期的数值. 设扰码序列的第 n 个比特对应数据流中 m 个字的第 k 个比特,式(4)表示了扰码比特对应关系.

$$\begin{aligned} \tilde{B} &= \{b_1 \quad b_2 \quad \dots \quad b_n \quad \dots\} \\ &\quad \downarrow \quad \downarrow \quad \dots \quad \downarrow \quad \dots \\ S &= \{s_1^1 \quad s_2^1 \quad \dots \quad s_k^m \quad \dots\} \end{aligned} \quad (4)$$

式(4)中的 n, m 和 k 应该满足

$$n = (m-1) \times W + k \quad (5)$$

考虑到扰码序列的周期为 2^r-1 ,所以扰码序列中的元素 b_n 可以用第一个周期的 2^r-1 个比特表示. 第 n 个比特可表示为

$$b_n = \begin{cases} b_n & 1 \leq n \leq 2^r-1 \\ b_{n - \lfloor \frac{n}{2^r-1} \rfloor \times (2^r-1)} & n \geq 2^r \end{cases} \quad (6)$$

式中 $\lfloor * \rfloor$ 表示取整

2 理论推导与证明

考虑到在数据处理过程中数据都是按字节进行的,并且通常在并行处理中位宽都是 2 的幂次,且位宽大于 8,因此记 $W = 2^q (q \geq 3)$. 下面分两种情况讨论扰码序列的扩充与分段方法:

1) 当 $q < r$ 时,总可以找到合适的正整数 m_0 ,使 $2^r = m_0 2^q$. 由于扰码序列一个周期的长度为 2^r-1 ,

因此将扰码序列扩充为 2^r 个比特即可以与 m_0 个数据字进行并行处理. 扰码对应关系如下

$$\begin{aligned} \tilde{B} &= \{b_1 \quad b_2 \quad \dots \quad b_w \quad b_{w+1} \quad \dots \quad b_{2^r} \quad b_1 \quad \dots\} \\ &\quad \downarrow \quad \downarrow \quad \dots \quad \downarrow \quad \downarrow \quad \dots \quad \downarrow \quad \downarrow \quad \dots \\ S &= \{s_1^1 \quad s_2^1 \quad \dots \quad s_w^1 \quad s_{w+1}^1 \quad \dots \quad s_{m_0}^1 \quad s_{m_0+1}^1 \quad \dots \quad s_{m_0}^{m_0} \quad s_{m_0+1}^{m_0} \quad \dots\} \end{aligned} \quad (7)$$

在式(7)中,并行处理的位宽为 W ,要进行 m_0 次并行处理需要 2^r 个扰码比特. 因此对扰码序列的第一个周期进行 1 比特的扩充,扩充比特为周期性扰码序列 B 第一个比特 b_1 . 记第一组 m_0 个字所对应的扰码比特为 $B_1 = \{b_1, b_2, \dots, b_w, b_{w+1}, \dots, b_{2^r-1}, b_1\}$,序列长度为 2^r ,那么依次可得到第二组 m_0 个字所对应的扰码序列为 $B_2 = \{b_2, b_3, \dots, b_{2^r-1}, b_1, b_2\}, \dots$,第 W 组 m_0 个字所对应的扰码序列为 $B_w = \{b_w, b_{w+1}, \dots, b_{2^r-1}, b_1, \dots, b_w\}$. 比较 B_1 与 B_w 可以看出 B_1 的前 W 位与 B_w 的后 W 位相同. 这说明,当进行位宽为 W 的并行扰码处理时,实际需要的比特个数 N 为

$$N = 2^r W - W = (2^r - 1)W \quad (8)$$

式(8)说明,将 W 个长度为 2^r-1 的扰码序列依次首尾拼接,并以位宽 W 进行分段,所得到新的并行扰码序列 B' 的周期为 2^r-1 . B' 与数据流 S' 的关系可用式(9)表示

$$\begin{aligned} B' &= \{B'_1 \quad \dots \quad B'_m \quad \dots \quad B'_{2^r-1}\} \\ &\quad \downarrow \quad \dots \quad \downarrow \quad \dots \quad \downarrow \\ S' &= \{S_w^1 \quad \dots \quad S_w^m \quad \dots \quad S_w^{2^r-1}\} \end{aligned}$$

式中

$$\begin{aligned} B'_m &= \{b_{(m-1)W+1}, \dots, b_{mW}\} \\ S_w^m &= \{s_{(m-1)W+1}, \dots, s_{mW}\} \end{aligned} \quad (9)$$

因此 \tilde{B} 相当于序列 B' 沿时间轴进行周期性延拓,可以表示为式(10)

$$\tilde{B} = \{B' \quad B' \quad \dots \quad B' \quad \dots\} \quad (10)$$

2) 当 $q \geq r$ 时,数据流的字长大于扰码序列一个周期的长度. 此时计算一个字长的扰码就需要将扰码序列进行扩充,扩充的长度为 $L = 2^q - (2^r - 1)$. 总可以找到适当的正整数 m_1 使得 $2^q = m_1 2^r$,因此可得扩充的扰码序列由 m_1 个整周期扰码序列 B 和 B 的前 $2^q - m_1(2^r - 1) = m_1$ 个比特组成. 第一个数据字与扰码序列 B' 的对应关系如式(11)

$$\begin{aligned} B_1^q &= \{B \quad \dots \quad B \quad b_1 \quad \dots \quad b_{m_1}\} \\ &\quad \downarrow \quad \dots \quad \downarrow \quad \dots \quad \downarrow \\ S_w &= \{s_1^1 \quad \dots \quad s_{m_1(2^r-1)+1}^1 \quad \dots \quad s_{2^q}^1\} \end{aligned} \quad (11)$$

参照 $q < r$ 的推导,第 2^r-1 个字对应的扰码序列为 $B_{2^r-1}^q = \{b_{(2^r-2)m_1+1}, \dots, b_{2^r-1}, B, \dots, B\}$. 第 2^r 个字对应的扰码序列为 $B_{2^r}^q = \{B, \dots, B, b_1, \dots, b_{m_1}\}$,

可以看出,第 2^r 个字对应的扰码序列与第一个字对应的扰码序列相同,因此可以认为将 \tilde{B} 进行 $W=2^q$ ($q \geq r$) 分段,每段可用 B_m^r 表示,这时 \tilde{B} 的周期 $T=2^r-1$. 用行列式写出 \tilde{B} 的一个周期 B^r 的表示形式,此时,扰码的并行位宽为 $W=2^q$,扰码序列的周期 $T=2^r-1$.

$$B^r = \begin{bmatrix} B_1^r \\ B_2^r \\ B_3^r \\ \vdots \\ B_{2^r-1}^r \end{bmatrix} = \begin{bmatrix} B & \cdot & \cdot & B & \cdot & B & b_1 & \cdot & b_{m_1} \\ b_{m_1+1} & \cdot & b_{2^r-1} & B & \cdot & B & b_1 & \cdot & b_{2m_1} \\ b_{2m_1+1} & \cdot & b_{2^r-1} & B & \cdot & B & b_1 & \cdot & b_{3m_1} \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ b_{(2^r-2)m_1+1} & \cdot & b_{2^r-1} & B & \cdot & B & b_1 & \cdot & b_{2^r-1} \end{bmatrix} \quad (12)$$

综和考虑式(9)、(10)、(11)和(12)可知,对生成多项式为 $g(x) = \sum_{i=0}^r c_i x^i$ 进行位宽为 $W=2^q$ 并行扰码时,不论 r 与 q 的取值如何,均有扰码序列的周期 $T=2^r-1$ 成立. 因此,在进行扰码计算时,只要知道扰码的前 2^r-1 个位宽为 W 的字即可. 进一步,前 $(2^r-1)W$ 个比特是由扰码序列 B 一个周期的 2^r-1 个比特经扩充、分段组成的. 在实际使用时这 2^r-1 个位宽为 W 的字可以事先计算好,存储在 RAM 中待用, RAM 位宽为 W ,深度为 2^r-1 .

3 设计方法与实现步骤

以 SDH 传输系统中的帧同步解扰码器为例,来说明当扰码序列周期与解扰码所使用位宽的关系. SDH 帧同步扰码的生成多项式为 $g(x) = x^7 + x^6 + 1$,扰码序列的周期为 $T=2^7-1=127$. 根据前面的推导过程,扰码序列的一个周期可表示为 $B = \{b_1, \dots, b_{127}\}$. 在目前的高速骨干网 SDH 光通信系统中,传输模式主要有 STM-16、STM-64 和 STM-256 三种,其传输速率分别为 2.5Gbit/s、10Gbit/s 和 40Gbit/s^[5]. 随着传输速率的提高,在一定的硬件工作速度约束下,进行并行解扰码处理其字宽也逐渐加长. 以下分别针对 $W < T$ 和 $W > T$ 的情况来讨论比特扩充法并行解扰码处理的实现途径.

对 STM-16 信号进行扰码处理时,要想使处理速度降低到 STM-1 信号的水平就需要对原有的串行比特流进行 16 位并行化处理. 此时并行位宽 W 小于扰码周期 T ,与上一节中讨论的第一种情况相符. 一个扰码序列周期包含有 127 比特数据,将该序列扩充 1 个比特就可以包含 8 个 16 位的并行扰码字,扩充的比特从周期性扰码序列的第一个比特取得. 依此类推,将 16 个周期的扰码序列进行扩充

后,就得到一个周期的并行扰码字序列. 根据串行扰码序列的周期性原理,并行扰码序列同样具有周期性,其周期为 127,字宽为 16 比特. 根据式(7)~(10)的推导过程,16 位并行扰码序列可用图 2 中存储器的数据表示.

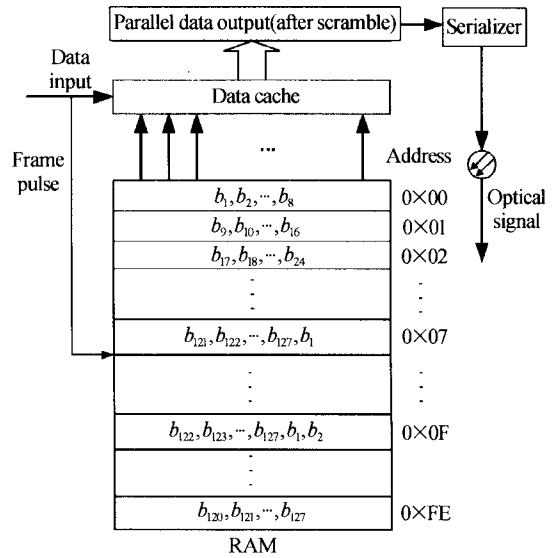


图 2 并行扰码器硬件结构
Fig. 2 Hardware architecture of parallel descrambler

在 STM-16 光传输系统中数据串行传输的速率高达 40Gbps,以目前的技术水平,在如此高的速率上进行串行解扰码处理是不可能的,只有采用并行化的方法,降低扰码所需的速率,才可以在电子域进行处理. 对 40Gbps 的 SDH 信号进行位宽为 $W=2^8=256$ 比特的并行扰码处理^[6],则解扰码速率可降低为 155.520 MHz,这样的速率以当前的电路水平就很容易实现. 此时并行位宽 W 大于扰码周期 T ,运用式(11)、(12)的推导结论,数据帧的第一个字所对应的扰码序列为 $B_1 = \{B, B, b_1, b_2\}$. 可以设计字宽为 256,深度为 127 的存储器,将事先计算好的扰码序列依次放置在其中. 当帧同步信号到来时,地址指针置 0,读出存储器中 0 地址的内容与解串后的数据流进行运算,此后每一个时钟周期地址加一,取出新的扰码字与数据字进行计算. 若已完成 127 次并行扰码处理而数据帧还没有结束,则地

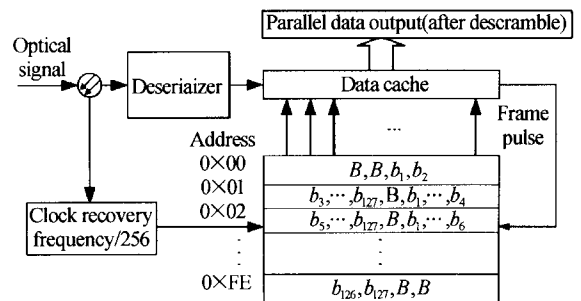


图 3 并行解扰器硬件结构
Fig. 3 Hardware architecture of parallel descrambler

址指针回绕到 0 地址取值,如此反复进行,直到一帧的数据处理完毕. 在下一帧数据到来时,不论此时地址指针为何值,都重新从 0 地址开始计算扰码. 图 3 表示了该方法所设计的并行扰码器的硬件组成.

在实际应用中,复杂度的增加体现在存储器深度上,需要的存储器深度为 $2^r - 1$;存储器位宽与并行扰码处理位宽相同,为 $W = 2^q$,在一定降速比的情

况下,这是任何一种并行扰码处理都不能减少的. 扩展存储器深度与位宽相对于推导并实现并行扰码逻辑来说比较容易实现. 该方法已在 Altera 公司的 FPGA Stratix 上经过验证并实现了所有功能. 图 4 为用该方法在进行 STM-16 信号进行 16 位并行解扰时的仿真结果. 该扰码器设计法已成功应用到骨干网光通信系统中.

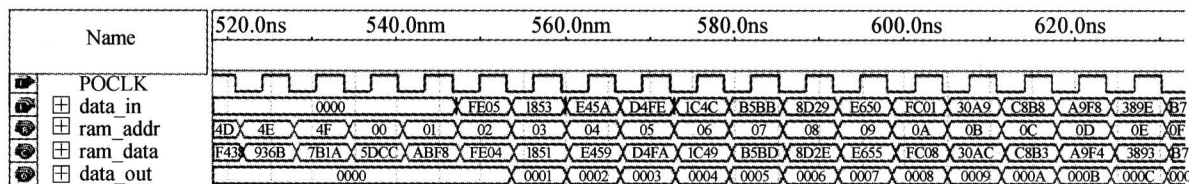


图 4 硬件仿真结果

Fig. 4 Hardware simulation result

4 结论

本文介绍了使用扩充比特法进行扰码并行化处理的方法,该方法与之前的扰码并行化处理相比具有计算简便、硬件代价小、易于实现的特点. 用该方法进行并行扰码处理,复杂度仅与扰码生成多项式的阶数有关,而与其具体表达形式无关,即使存在生成多项式各阶系数都不为 1 的情况,也不会增加扰码处理的复杂性.

参考文献

- 1 ITU-T G. 707. International Telecommunications Union-Telecommunications standardization sector. 1996. 3,16~18
- 2 ITU-T G. 709. International Telecommunications Union-Telecommunications standardization sector. 2003. 3,33~35

- 3 Byeon G. Scrambling techniques for lightwave transmission. *IEEE Transactions on Communications*, 1995, **43**(4):1844-1853
- 4 张晓如,曾烈光. 帧同步扰码器的并行化技术. 通信学报, 1996, **17**(2):126~130
Zhang X R, Zeng L G. *Journal of China Institute of Communications*, 1996, **17**(2):126~130
- 5 洪伟,黄德修. 基于 SOA 光纤环镜的 NRZ 信号时钟分量提取的数值模拟. 光子学报, 2004, **33**(1):43~46
Honk W, Huan D X. *Acta Photonica Sinica*, 2004, **33**(1):43~46
- 6 徐志根,李艳和,张汉一,等. 可重构的多波长光分插复用节点研究. 光子学报, 2004, **33**(9):1086~1089
Xu Z G, Li Y H, Zhang H Y, et al. *Acta Photonica Sinica*, 2004, **33**(9):1086~1089

A Extension Bit Method for Parallel Frame Synchronous Scrambler

Zhang Yimeng, Huang Zhiping, Bi Zhankun, Wang Yueke

Department of Mechanic Engineering and Automatization, National University of Defence Technology, Changsha 410073

Received date: 2005-06-13

Abstract Based on parallel recursive synchronous scramble method, an novel extension bit method for parallel frame synchronous scrambler is proposed. Using periodicity of the scramble sequence, it is theoretic proved the complexity of this method is not depended on the expression of generation polynome. This method does not need to calculate recursive formula of the parallel scrambler. It makes the design of scrambler and descrambler simple. The memory depth of scramler is only relative to the rank of the generation polynome. The arbitrary word-wide scrambler can be constitute with the memory a few read/write logic. It is high efficence and low logical complexity proved by FPGA designing, and this mothded has been applied in the front terminal of high-speed optical transport system.

Keywords Parallel scramble; Extension bit method; SDH transport network



Zhang Yimeng was born in 1975 in Luoyang, Henan, China. He received the M. S. degree in Department Mechanic Engineering and Automatization from National University of Defence Technology (NUDT) in March, 2001. Currently, he is a candidate for engineering Doctor in measure & control science and instrument techenology in NUDT. His research interests include telligent optical networks and digital communication based networks, including Information Processing on the SDH test and control network, optical network design, routing and signaling protocols.