

基于 CPLD 和单片机的多光谱数字相机下位机设计

达选福^{1,2} 张伯珩¹ 边川平¹ 来林芳³

(1 中国科学院西安光学精密机械研究所, 西安 710068)

(2 中国科学院研究生院, 北京 100039)

(3 飞秒光电科技(西安)有限公司, 西安 710119)

摘要 介绍一种基于单片机和 CPLD 结合的多光谱 CCD 相机下位机系统的设计实现. 利用 CPLD 扩展多光谱相机下位机的输出控制端口. 分别用图形输入法和 VHDL 硬件编程语言作为 CPLD 的输入方式, 使之成为一个多用途 I/O 端口扩展芯片, 既简化了电路设计, 减小了电路尺寸, 降低了电路功耗, 又便于修改配置, 非常适合于多光谱遥感相机下位机系统应用.

关键词 多光谱; 下位机; CPLD; I/O 口扩展

中图分类号 TP368 **文献标识码** A

0 引言

多光谱数字遥感相机已经逐渐成为航空以及航天对地观测的重要手段. 下位机系统是多光谱数字相机的重要组成部分, 通常完成多光谱相机与其载体之间的通信以及对多光谱相机进行必要控制的功能^[1,2]. 通常的下位机系统多由单片机以及外围芯片组成, 为了完成所需的功能, 下位机还必须扩展大量的 I/O 端口. 通常都用 8255 和 8155 等芯片来扩展 I/O 端口, 但是这些芯片体积庞大, 并且每片最多只能扩展三个 8-bit I/O 口, 当需要的控制端口较多时, 不得不用多个这种专用芯片, 造成电路复杂, 控制不便, 而且增大了电路的功耗、体积和重量. 为了提高系统的智能性、可靠性和实用性, 本文提出采用 CPLD 作为接口扩展芯片, 大大减少了所用芯片的种类和数量, 缩小了体积, 降低了功耗, 提高了系统的可靠性, 加强了系统的整体性.

1 系统设计

本下位机系统包括 80C31 单片机、存储器、RS-232 通信部分、模拟信号采集部分、增益控制、行频控制、曝光控制、工作模式控制等几个部分. 除了 RS-232 通信接口和模拟信号采集端口与单片机的 I/O 口直接连接外, 其它输出控制接口均采用 CPLD 进行扩展, 也就是用一片 CPLD 代替了体积庞大、数目繁多的外围接口芯片. 系统原理框图见图 1.

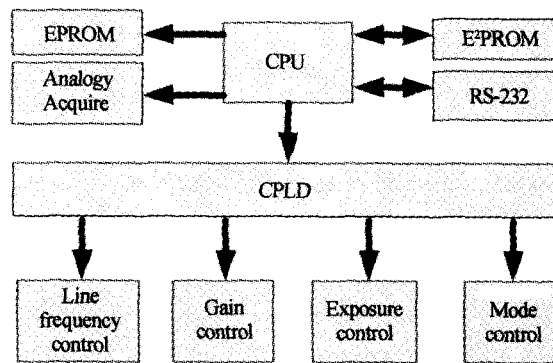


图 1 系统原理框图
Fig. 1 System diagram

1.1 系统硬件设计

下位机与上位机的通信是通过 RS-232 通信部分实现的. RS-232 通信部分直接使用单片机提供的串行通信端口 TXD 和 RXD, 为了达到 CMOS 电平和 RS-232 电平的匹配, 使用了 MAX232A 电平转换器件. 通信协议规定为 1 个起始位, 8 个数据位、一个停止位共 10 位数据, 波特率为 9600bit/s. 当需要执行控制命令或是需要查询相机状态时, 上位机向下位机发送控制指令、控制参数或状态查询指令; 下位机完成指令工作后向上位机回送命令执行状态以及多光谱相机当前工作状态. 为了保证通信指令和参数的正确, 发送的每一条指令前都加有两个判断字节(为了防止错误判断, 判断字节应选择在指令和参数中出现几率最小的值), 若接收方接收到规定的这两个判断字节, 并且判定无误, 则认为后面的指令和参数是有效的, 否则认为这次通信无效, 并要求发送方重新发送本条指令和参数. 下位机接收到有效指令和参数后, 根据要求执行相应的控制, 并且向上位机回送指令执行情况.

模拟信号采集端口使用 AD 公司的 AD775 8-bit A/D 转换器. AD775 的输入端接有一片八选一

模拟开关,分别与待测量的各点连接,AD775 的输出端直接同单片机的 P0 口连接.单片机直接控制模拟开关通道的选择和导通,以及 AD775 的转换工作的开始和转换结果的输出.通过选择不同通道的导通,将各个待测点的模拟值循环采集到单片机中进行判断,并将判断结果存储到片外的 E²PROM 中.当需要向上位机传送这些测量结果时,再从 E²PROM 中读出并通过 RS-232 回送到上位机中显示,为排除故障提供依据.

为了简化电路板,减小体积,方便修改,下位机系统的其它对外控制口均通过一片 ALTERA 的 EPM7064LC84 CPLD 来实现.CPLD (Complex Programmable Logic Device)是在 PAL、GAL 等逻辑器件的基础上发展起来的可编程逻辑器件.EPM7064LC84 属于 MAX7000 系列,是基于第二代 MAX 结构,包含 1200 个可用门,可以容纳 68 个输入口或 64 个输出口,有 64 个被划分成 4 块逻辑阵列块的逻辑单元^[3,4].

在本下位机系统中,CPLD 需要实现多个对外控制端口的实现.要求必须在一片 CPLD 上设置一个 8-bit 数据输入口、一个 8-bit 的增益控制输出口、一个 16-bit 的行频控制输出口、一个 4-bit 的曝光控制输出口和一个 4-bit 的工作模式控制输出口.为了预防以后应用中控制量数目有可能增加的情况,还预留了两个 8-bit 的输出控制口.此外,为了确保控制量的正确输出,还需要一个 3-bit 的通道选择输入口以及使能端口.只用一片 EPM7064LC84 CPLD 就可以满足整个下位机系统对外控制的配置要求.CPLD 分别采用了 VHDL 硬件语言输入法和图形输入法,在 MAXPLUS-II 下编译测试并且完成了仿真,最后用 ByteBlaster 并行下载电缆下载到 EPM7064LC84 CPLD 器件中.

图形输入法类似于通常 Protel 的电路原理图输入,就是将各种数字逻辑器件按照要求组合连接,使输入逻辑信号经过这些组合逻辑电路后,形成所需的逻辑输出.本系统要求 CPLD 完成的功能如图 2.

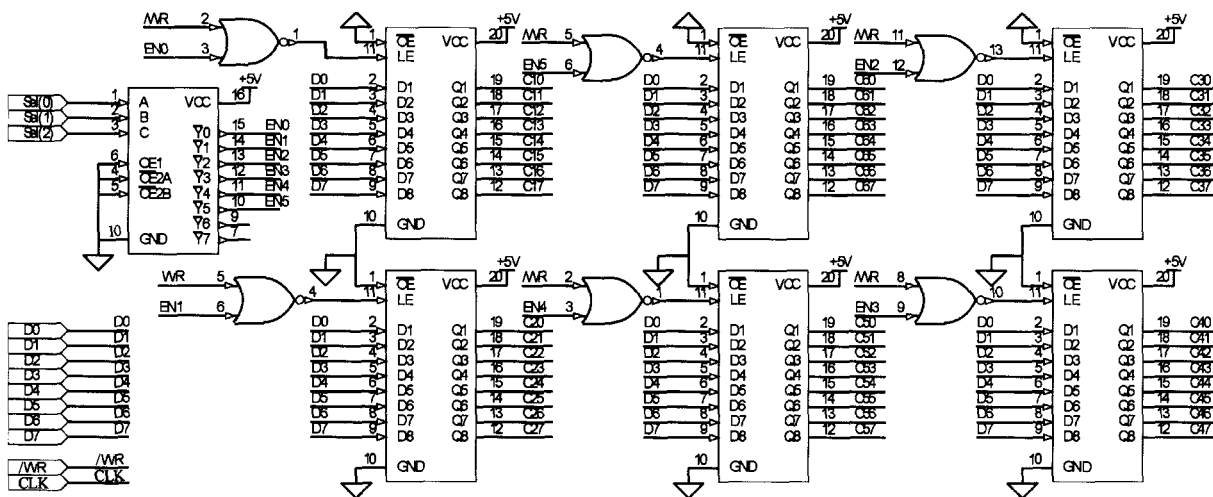


图 2 CPLD 实现的功能
Fig. 2 The function of CPLD

实际应用中还采用了 VHDL 硬件描述语言实现上述功能^[5~6].当单片机需要某一组输出工作时,只需要使用一条指令:MOVX A,@DPTR.单片机执行这条指令时,DPTR 中已经包含了地址信息,同时“/WR”被拉低,而 CPLD 的通道选择端口与单片机的 P2.4~P2.5 相连接,CPLD 通过这组信号判断选择并且使能某一组输出工作,并将输出控制代码从单片机经过 CPLD 的相应端口输出,完成控制动作.实现方式如下:

```

if (CLK'event and CLK = '1') then
  if STLD = '1' and wr = '0' then
    CASE sel IS
      WHEN "001" =>选择第一组输出工作;
      WHEN "010" =>选择第二组输出工作;

```

```

      WHEN "011" =>选择第三组输出工作;
      WHEN "100" =>选择第四组输出工作;
      WHEN "101" =>选择第五组输出工作;
      WHEN "110" =>选择第六组输出工作;
      WHEN OTHERS =>不是有效选择;
    END CASE;

```

end if;
end if ;
其中,STLD 是 CPLD 的选通信号,定义为“1”选通,“0”禁止;wr 是单片机的写信号.可以看出,在进行数据输出操作时,用 VHDL 语言逻辑关系非常明确并且表述十分简练.只需要在并行语句中首先将需要输出的数据读入 CPLD 中:t_latch <= data_in.然后在进程中再将输入数据传送到有关输出口,使

用如下语句: $\text{data_out} \leq \text{t_latch}$, 就实现了数据从 CPLD 输入端传送到输出端输出。

1.2 系统软件

单片机软件用汇编语言开发。首先初始化系统: 设置单片机各个寄存器的初始值; 设置看门狗; 从 E²PROM 中读取各个端口的初始值, 并且发送到相应的端口; 禁止 CPLD 输出; 启动 A/D 转换器, 采集一个循环的电压量, 并且判断是否在规定范围内, 将判断值存入 E²PROM 中; 启动定时器, 等待上位机命令的到来。

为了安全以及方便执行, 使用了串行口中断和一个定时器中断。串行口中断是为了不遗漏上位机发送的命令, 定时器中断是为了定时采集模拟电压量, 并且串行口中断的优先级要高于定时器中断的优先级, 以保证不论任何条件下, 下位机都能够接收到上位机的每一条指令。当上位机有命令到来时, 程序响应串口中断, 跳转到中断响应子程序。中断响应子程序首先关中断, 然后判断命令是否有效。若命令无效, 则向上位机回送命令无效应答, 要求重新发送指令; 若命令有效则进入相应的处理程序。根据命令和参数设置输出控制编码, 使能 CPLD, 打开相应输出通道, 输出控制编码, 设置回送编码, 发送回送指令和参数, 最后开中断, 退出中断响应子程序, 进入等待循环。

为了保证程序的可靠性, 在程序中添加了看门狗复位语句, 在一定时间间隔内必须将看门狗复位, 增加了程序的可靠性。除此之外, 还在程序中增加了许多保护语句, 使程序的可靠性得到了进一步的提高。

2 系统试验

为了测试 CPLD 工作是否正常, 验证其功能是否正确, 在烧写前经过了多次仿真运行, 并且根据仿真结果进行了适当的修改完善, 使仿真结果与功能要求达到了一致。仿真运行结果见图 3。

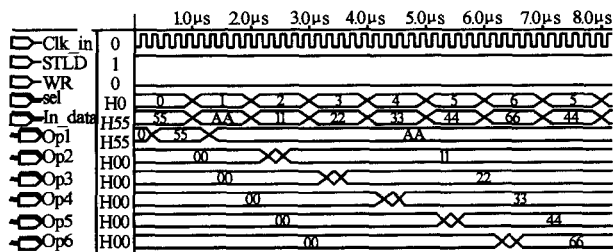


图 3 仿真波形

Fig. 3 Wave of simulation

目前, 多光谱相机已经调试完毕, 并且经过了室内外试验。实验过程中, 下位机系统运行良好, 各种

控制功能例如增益控制、曝光控制和行频控制等均能按照上位机指令要求完成, 为多光谱相机成功地得到目标的多光谱图像提供了保证。通过下位机的这些控制, 即使在照度条件不是很理想的条件下, 相机仍然能够较好地成像; 由于下位机系统的监视, 相机系统的状态参数能够实时反馈到上位机中, 使得操作人员能够及时掌握相机当前的工作状态, 有利于及时发现问题以及解决问题。

3 结论

实验证明, 本系统能够有效地实现过去需要利用单片机和大量外围接口芯片才能完成的功能, 并且极大地降低了系统的功耗, 减小了电路尺寸以及重量。而且易于修改, 只需要重新烧写 CPLD 就可以改变配置, 甚至改变接口功能。随着技术的发展和国际环境的改善, 高级别 CPLD 器件已经可以正常获得, 而且价格也在逐渐降低, 使得将其应用于高技术产品中成为可能。由于 CPLD 器件大容量的特点以及其相对简便地开发方式, 可以大大缩短系统的设计周期, 从而极大提高产品的市场竞争力。

参考文献

- 1 Teo C Y, Gooi H B. A Microcomputer based integrated generation and transmission system simulator. *IEEE Transactions on Power Systems*, 1995, **10**(1): 44~50
- 2 Jae Wook Jeon. A microprocessor course: designing and implementing personal microcomputers. *IEEE Transactions on Education*, 2000, **43**(4): 426~433
- 3 Brown S, Rose J. FPGA and CPLD architectures: a Tutorial. *Design & Test of Computers. IEEE*, 1996, **13**(2): 42~57
- 4 Chang M. Teaching top-down design using VHDL and CPLD. *Proceedings of IEEE Frontiers in Education Conference*, 1996, **2**: 514~517
- 5 Alexander M J, Robins G. New performance-driven FPGA routing algorithms. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1999, **15**(12): 1505~1517
- 6 Singh S, Rose J, Chow P. The effect of logic block architecture on FPGA performance. *IEEE Journal of Solid-State Circuits*, 1992, **27**(3): 281~287
- 7 谷林, 胡晓东. 基于 CPLD 的线阵 CCD 光积分时间的自适应调整. *光子学报*, 2002, **31**(12): 1533~1537
Gu L, Hu X D. *Acta Photonica Sinica*, 2002, **31**(12): 1533~1537
- 8 谷林, 胡晓东, 陈良益, 等. 基于 FPGA 的线阵 CCD 亚像元边缘检测片上系统. *光子学报*, 2004, **33**(5): 617~621
Gu L, Hu X D, Chen L Y, et al. *Acta Photonica Sinica*, 2004, **33**(5): 617~621

Design and Realization of the Microcomputer System of Multispectral Digital Camera Based on Single Chip Computer and CPLD

Da Xuanfu^{1,2}, Zhang Boheng¹, Bian Chuanping¹, Lai Linfang³

¹ Xi'an Institute of Optics and Precision Mechanics Chinese Academy of Science, Xi'an 710068

² Graduate University of the Chinese Academy of Sciences, Beijing 100049

³ Femto technology (Xi'an) Co., Ltd, Xi'an 710119

Received date: 2005-06-10

Abstract The design and realization of the microcomputer System of multispectral digital camera based on single chip computer and CPLD had been introduced. Single chip computer was the core of the system, and a CPLD had been used to extend the control interface of it. The CPLD was programmed by VHDL and graphic editor, and made the CPLD a multiple-use I/O interface chip. The design not only predigested the circuit, minished the size of circuit board and reduced the power dissipation, but also was easy to modify the configure of interface. And it fit for applications of microcomputer system of the multispectral camera.

Keywords Multispectral; CPLD; Microcomputer system; I/O interface extending



Da Xuanfu was born in 1972, Lanzhou, China. He received the B. S degree from Nanjing University of Science and Technology in 1996 and the M. S. degree from Xi'an Institute of optics and Precision Mechanics of CAS in 2002. Now he is a Ph. D. candidate at Xi'an Institute of optics and Precision Mechanics of CAS. His interests include multispectral and hyperspectral imaging technology.