

激光打靶数字延时信号完整性的研究

欧阳娴¹ 刘进元¹ 刘百玉¹ 蒋军敏² 白永林¹ 黄 蕾¹ 王 琛¹ 张稳稳¹

(1 中国科学院西安光学精密机械研究所,瞬态光学技术国家重点实验室,西安 710068)

(2 西安邮电学院通信工程系,西安 710061)

摘 要 针对高速数字电路设计中遇到的信号完整性问题,本文给出了激光打靶装置中高速数字电路延时分配原理.根据传输线理论,提出端接迹线最大匹配长度值限定法,结合 PCB 设计,可避免端接失配反射.由电学理论,建模串扰的产生及消除串扰的端接方式.通过对噪声电流 I_n 和瞬态负载电流 I_L 复合干扰分析,采取了相应的抑制方法.打靶实验表明,对保证延时信号的完整性是有效的.

关键词 信号完整性;延时分配; l_{max} 限定法;复合干扰

中图分类号 TN491 **文献标识码** A

0 引言

激光惯性约束核聚变的实现,要求激光脉冲辐照靶而产生的消融压力有步骤的增加,对打靶的多路激光脉冲不但需要波形的一致性,而且要求打靶的多路激光脉冲在时域上的严格同步^[1].同步系统采用了大量的高速数字集成电路,其时钟频率 80 MHz,以高密度数字电路、脉冲瞬变快斜率和高频率的数字运算,从而完成多路数字延时脉冲信号,以达到多路打靶的激光束在空间响应与时间同步的一致性要求.

由于高速数字延时电路与低速延时电路设计中必须考虑的数字电路延时的分配性,反射、串扰、噪声骚扰的问题^[2,3].它影响了高速数字电路延时脉冲时间的准确性与多路延时脉冲的一致性,即破坏了延时脉冲信号的完整性,造成数字同步系统的精度无法保证.因此,本文研究工作的目的是解决高速数字延时电路上述的问题,以保证延时信号的完整性.

1 数字电路延时分配

“神光Ⅲ”的数字电路延时分配设计为四路相同的数字电路延时通道,其每一延时通道完成相同的 12.5 ns~1 s 的延时量值.在 12.5 ns~1 s 的延时量值范围中,分配三个延时时段区,为 12.5 ns~50 ns, 50 ns~800 ns, 800 ns~1 s.其中,12.5 ns~50 ns 的延时量值分配给 ECL 计数器完成,50 ns~800 ns 的延时量值分配给 HC 计数器完成,800 ns~1 s 的延时量值分配给 LSI 计数器完成.数字延时电路的

时基频率为 80 MHz.

在输入端,为了避免因触发信号不确定性而导致数字电路延时量值的不准确,外部/内部产生的触发信号是通过同步触发器与 80 MHz 时基同步后,输入给数字延时电路进行计数的.在输出端,三个延时时段的信号同时馈给 ECL 触发器实现同步,保证了一致性、完整性的数字延时信号输出.全部计数器的数字控制是由单片机 8031CPU 执行的.图 1 为一路数字延时电路原理图.

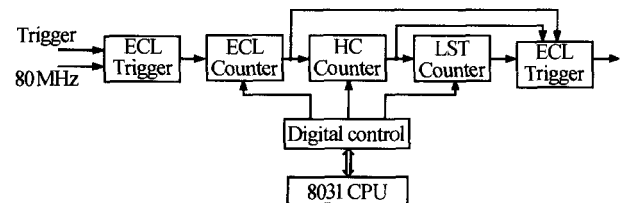


图 1 数字延时电路原理图

Fig. 1 Schematic diagram of the digital delay circuit

2 延时信号传输完整性的实现

2.1 端接迹线最大匹配长度值限定法

由传输线理论知,信号线的长度大于传输信号的波长 λ 时,这条信号线看作长线处理.用于激光打靶装置中的数字延时电路,采用了高速逻辑 IC 器件,工作速度快、频率高,印制迹线可看作长线.线路存在有分布参数的影响,尤其在线间的互连接处,存在阻抗不连续而产生的信号反射.实验表明,在芯片 I/O 引脚与印制迹线连接处(点),端接失配而产生的反射信号尤为明显,使传输的延时脉冲波形出现上冲、下降、和振荡,降低了数字电路的噪声容限,干扰了延时脉冲的稳定性,是抑制信号反射的主要部位.

在芯片的 I/O 端接入匹配电阻,是消除信号反射通常的方法.在同步装置中,由于数字延时电路是

ECL、HCMOS、LSI 器件构成的, 芯片的 I/O 端接迹线多、密度大, 采用通常方法解决信号反射, 显然是不方便的.

利用传输线理论, 假定信号线是无耗线, 则可设传输信号的波长 λ 等效为端接印制迹线的长度, 端接迹线最大匹配长度值表示式为

$$l_{max} = t_r v / K \quad (1)$$

式中 l_{max} 表示端接迹线最大匹配长度值, t_r 表示传输信号的前沿时间(ns), v 表示电磁波传播速度(m/s), K 表示经验系数, 一般取 4.

由于在 PCB 中存在沿着空间传播和沿着迹线电介质传播的两部分电磁波, 前者传播的速度大于后者传播的速度, 考虑选取 l_{max} 的可靠性, 式(1)中的 v 是由后者传播的速度确定的.

研制的数字延时电路的 PCB 采用了环氧玻璃的电介质材料, 其相对介电常数 ϵ_r 为 4.7, 可得

$$v = C / \sqrt{\epsilon_r} = 3 \times 10^8 / \sqrt{4.7} = 1.38 \times 10^8 \text{ m/s}$$

又知传输信号的 t_r 为 2 ns~5 ns, 选取 2 ns 代入式

(1)得

$$l_{max} = 2 \times 10^{-9} \times 1.38 \times 10^8 / 4 = 0.069 \text{ (m)}$$

分析式(1)可以看出, 当端接迹线长度小于 l_{max} 时, 为端接匹配. 反之, 大于 l_{max} 时, 可看作为长线.

依据 l_{max} 数值, 可预测划定芯片之间的 I/O 端接的轮廓区域, 在不大于 l_{max} (0.069 m) 的限定条件下, 结合 PCB 整体布局的设计要求, 选择合理的端接长度, 避免了导致端接失配的信号反射.

2.2 串扰建模和端接方式

数字延时电路的若干条高速信号线平行行走, 其相邻线间距离 d 很近时, 由电学理论知, 相邻信号线上会产生相互作用的电容性耦合和电感性耦合的串扰. 从上面讨论可知, 延时电路信号迹线的长度 l 小于传输信号波长 λ , 由此认为, 相邻信号迹线间的分布参数即单位长度的电阻 r 、电感 L 、对地电容 C 是均匀相等分布的. 假定只考虑两线间的互电容耦合 C_{12} 和互电感耦合 M_{12} , 则两条平行的门传输信号迹线之间的串扰可以用图 2 仿真建模.

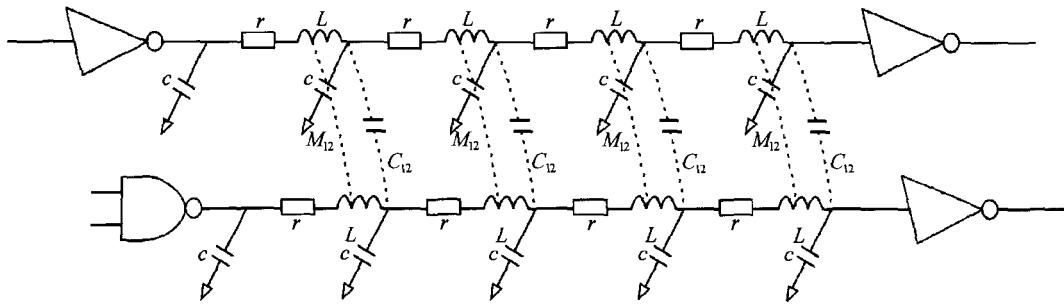


图 2 串扰的仿真建模
Fig. 2 Simulation model of crosstalk

从图 2 建模可以看出, 数字延时电路“NOT”门输出线上的信号和“NAND”门输出线上的信号, 因线间同时存在容性和感性耦合作用而产生交叉串扰. 假如门输出线并行走线的长度伸长, 则线间单位长度的互电容耦合 C_{12} 和互电感耦合 M_{12} 增加, 从而产生串扰影响就愈大. 由电学理论, 消除串扰的基本方法是控制相邻线并行的有效长度尽量减小, 同时增大线间的距离.

由于数字延时电路密集度高, PCB 的设计尺寸不能保证并行线间的足够间距, 因此在设计中, 基于保护重要信号线的情况下, 灵活优化布线策略, 采取端接的不同方式, 结合最大匹配长度值限定法, 有效的抑制了串扰的影响. 端接的方式应视不同的布线拓扑结构而改变, 如是单负载网路, 可选择串行端接方式; 如是菊花链结构或星形布线, 一般考虑采取 AC 并行端接方式, 如图 3.

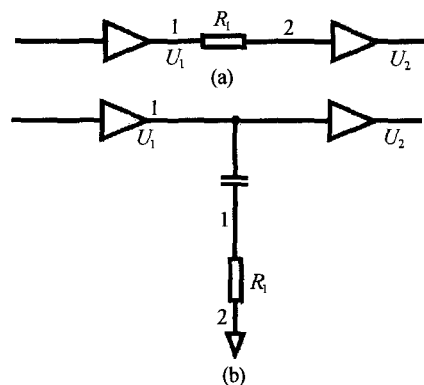


图 3 (a) 串行端接; (b) AC 并行端接
Fig. 3 (a) Serial termination; (b) AC parallel termination

2.3 噪声电流 I_n 和瞬态负载电流 I_L 的复合干扰与抑制

在数字延时电路中, 当大量芯片内的门电路发生高低电位“1”和“0”变换时, 会产生噪声电流 I_n 和瞬态负载电流 I_L , 导致干扰电源线或地线上的电流

产生不平衡,导致电压波动即“地跳”。

图 4 表示延时电路中的一个由 4 门构成的数字电路. 假设门 1 翻转前,其输出为高电位,对寄生电容 C_s 充电,其充电值等于电源电压. 当门 1 由高电位向低电位翻转时,噪声电流 $I_n = I_p$ 经门电路流入地线, C_s 放电电流等于瞬态负载电流 I_L 也流入地线. 由于地线电感 L 的作用,在门 1 和门 2 接地端产生干扰尖峰电压,引起电源电压的波动. 当门 2 输出低电平时,尖峰脉冲干扰源耦合到门 4 的输入端,如果尖峰噪声电压足够大,则造成门 4 的工作状态异常,使输出延时脉冲的波形失真. 由于门电路发生翻转时, I_n 总是从所接电源注入器件,或者从器件注入地线,而瞬态负载电流 I_L 在脉冲从低到高翻转时, I_L 为正,与 I_n 复合叠加,当脉冲从高到低翻转时, I_L 为负,与 I_n 抵消,如图 5.

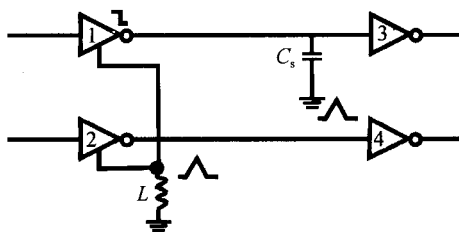


图 4 4 门构成的数字电路

Fig. 4 Digital circuit chip with four gate

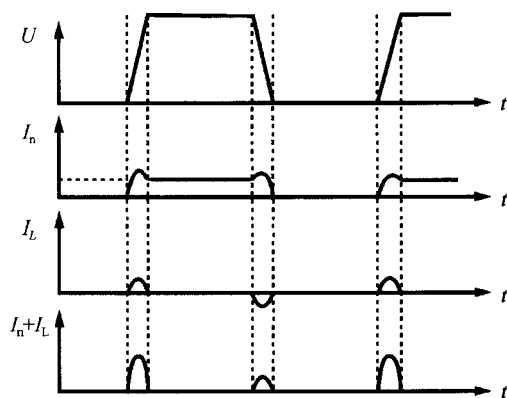


图 5 I_n 和 I_L 的复合

Fig. 5 Composite schematic diagram of I_n and I_L

从上图可以看出,在高开关(翻转)速度和存在引线电感 L 及驱动线对地电容 C_s 时, $I_n + I_L$ 复合干扰产生的“地跳”尤其明显,是破坏数字延时信号传输完整性的传导干扰底层源。

由上述分析可知,减小 L 、 C_s 的存在,从而可抑制复合干扰的影响。

数字延时电路采用多层板,在印制板顶层和底层大面积铺铜,用较多的过孔将这些地平面连接在一起,极大地削弱和减少了 L 、 C_s 存在的“环境”条件. 在数字电路电源连接处,加有磁滤波,抑制了 I_n 沿电源分配系统传导,干扰其它的芯片. 选择合适的位置安装去耦电容,减小电源线和地线结构呈现的感性阻抗,可抑制复合干扰产生的噪声电压,阻止了电源电压的波动突变. 另一方面,采用去耦技术提供电流补偿源,以补偿数字电路开关动作时所需的瞬变电流,防止了数字芯片在高低电位变换时,从电源和接地分布系统中出现噪声电流而导致的电压波动,支持了数字延时电路的正常工作。

3 结论

“神光 III”的数字系统采用自顶向下(top-down)的设计步骤,以数字电路的功能划分布局排列. 对兼容器件置于相对集中区域,对重要的数字信号传输线保证布线合理性. 凭借 EDA 软件工具,仿真优化 PCB 布线策略和端接方式,分析仿真波形,辅助消除反射、串扰和噪声的影响. 结合同步系统的 EMC(电磁兼容)性能,保证了数字延时信号在打靶应用中的完整性。

参考文献

- 1 刘进元. 多路激光装置同步技术研究. 强激光与粒子束, 2000, **12**(2): 188~190
Liu J Y. *High Power Laser and Particle Beams*, 2000, **12**(2): 188~190
- 2 蒋军敏. 用于激光打靶装置中的新型同步系统的研究. 光子学报, 2002, **31**(3): 381~383
Jiang J M. *Acta Photonica Sinica*, 2002, **31**(3): 381~383
- 3 李辉. 激光打靶装置中的集散式数字同步系统的研究. 光子学报, 2004, **33**(7): 786~788
Li H. *Acta Photonica Sinica*, 2004, **33**(7): 786~788
- 4 张松春, 竺子芳, 赵秀芬, 等. 电子控制设备抗干扰技术及其应用. 北京: 机械工业出版社, 1995. 176~182
Zhang S C, Zhu Z F, Zhao X F, et al. *The anti-jamming technique and application in electronical control device*. Beijing: China Machine Press, 1995. 176~182
- 5 Steve Kaufer. Controlling crosstalk in high-Speed digital systems. *Electronics Systems*, 1999

The Research of Digital Delay Signal Integrity in Laser Targeting

Ouyang Xian¹, Liu Jienyuan¹, Liu Baiyu¹, Jiang Junmin², Bai Yonglin¹, Huang Lei¹,
Wang Chen¹, Zang Wenwen¹

*1 State key laboratory of Transient optics Technology, Xi'an Institute of Optics and Precision Mechanics,
Chinese Academy of Science, Xi'an 710068*

2Department of communication Eengineering, Xi'an Institute of Posts & Telecoms, Xi'an 710061

Received date: 2004-09-13

Abstract In order to solve the problem of signal integrity displayed in the design high-speeding digital circuit, a delay distribution method of high-speeding digital circuit was discussed in this paper. The maximum matching length of termination trace based on the transportation theory was set up, which was helpful to decrease the termination reflection in PCB designing. The crosstalk model and the termination means based on the electronics theory were also discussed, which was used to eliminate the crosstalk. Analyzing the composite disturbance of noise current I_n and transient load current I_L , some restrain methods were taken, which ensured the delay signal integrity.

Keywords Signal integrity; Delay distribution; Limitation means of l_{max} ; Composite disturbance



Ou Yangxian was born in 1949. She was graduated from the physics department in Northwest University in 1976, Now she works in Institute of Optics and Precision Mechanics as an advanced engineer. She researches on the ultrafast electronics technology.