

# 基于FPGA的线阵CCD亚像元边缘检测片上系统

谷林 胡晓东 陈良益 曾志雄

(中国科学院西安光学精密机械研究所,西安 710068)

**摘要** 为提高线阵CCD边缘检测系统的精度、速度、集成度,以及系统的可靠性,提出一种集成于单片FPGA、全数字化的亚像元边缘检测系统. 根据图像边缘灰度梯度的阶跃特性,通过边缘自动检测算法确定出经过高斯滤波处理的CCD图像的像元级边界,在此基础上应用多项式插值算法对图像边缘位置进行亚像元细分,实现亚像元边缘检测. 以FPGA作为系统的处理核心及数字电路硬件载体,利用VHDL语言以及MAX+plus II软件对系统进行模块化设计,设计出集成于单片FPGA的线阵CCD亚像元边缘检测系统. 系统仿真和测试表明,所设计的片上系统具有高精度、高速度、高集成度、高可靠性的特点.

**关键词** CCD;FPGA;VHDL;亚像元;片上系统;边缘检测

**中图分类号** TN386 **文献标识码** A

## 0 引言

图像测量的目的是通过处理被测物体图像的边缘而获得物体的几何参数或位置参数,因此在图像测量系统中,图像边缘检测是测量的基础和关键,亚像元细分技术是提高CCD测量系统精度的有效途径. 传统的采用CCD亚像元细分技术的测量系统均以微机或单片机作为系统的处理单元,占用较多的软、硬件资源,存在系统体积、成本、速度、精度等不能兼顾的矛盾,因而难以满足在恶劣自然环境下高速、高精度、高可靠性、高机动性的要求.

本文介绍了一种利用VHDL语言设计而成的、集成于单片FPGA的全新数字系统. 利用VHDL语言对系统进行了硬件行为描述,并结合FPGA器件高集成度、高速度的特性,使高斯滤波、边缘检测、多项式插值等算法在FPGA器件上得以实现,从而设计出具有高速并行数据处理能力CCD亚像元边缘检测系统. 最后利用MAX+plus II软件针对Altera公司的可编程逻辑器件ACEX 1K系列的EPIK50进行综合、优化、编程. 该系统很好地解决了高速、高集成、高精度、高可靠性的要求.

## 1 线阵CCD亚像元细分原理

CCD亚像元细分所采用的一种基本方法是多项式插值算法. 该算法的原理是以CCD输出信号的幅值作为对应像元中心点处的灰度值,该像元内其它位置的灰度值经插值获得. 已知 $n$ 个像元对应的灰度函数 $f(x_i)$  ( $i=0,1,\dots,n$ ),既可构造 $m$  ( $2 \leq m < n$ )次多项式<sup>[1]</sup>

$$y_m(x) = a_0 + a_1x + a_2x^2 \cdots + a_mx^m \quad (1)$$

该多项式满足 $y_m(x_i) = f(x_i)$ ,  $y_m(x)$ 即为 $f(x)$ 的插值多项式. 式中 $x_i$ 表示第 $i$ 个像元的中心坐标. 连续的插值函数较离散的采样函数更接近于原始图像,对连续的插值函数进行相关的计算即可实现亚像元细分.

## 2 基于多项式插值的亚像元边缘检测算法

已经证明图像灰度梯度峰值的位置对应图像的边缘<sup>[2]</sup>,因此边缘检测一般是通过对原始灰度图像求一阶导数来检测边缘的存在,再利用二阶导数过零点定出边缘的位置,在此基础上结合边缘点及其相邻像元的梯度值,利用多项式插值算法可以实现高精度的亚像元细分. 导数的计算对噪声很敏感,因此必须使用滤波器来降低噪声对边缘检测器性能的影响. 由于大多数滤波器在降低噪声的同时也导致边缘的损失,因而经过滤波后还需要对图像进行必要的锐化处理. 边缘检测算法可利用空间域微分算子对灰度图像进行卷积实现,实际数字图像处理中常用差分算子近似替代微分算子<sup>[3]</sup>.

### 2.1 高斯平滑滤波器

高斯滤波器是一类根据高斯函数的形状来选择权值的线性平滑滤波器,无论在空间域还是频率域都是十分有效的低通滤波器,对去除服从正态分布的噪声特别有效. 高斯滤波器用像素相邻域的加权平均值来代替该点的像素值,而每一邻域像素点的权值是随该点距中心点的距离单调增减的,这避免了平滑运算造成的图像失真. 高斯函数的傅里叶变换频谱是单瓣的,这意味着平滑图像不会被不必要的高频信号(噪声)所污染,同时保留了大部分所需的信号(如边缘). 可用杨辉三角型的第 $n$ 行作为高

斯滤波器的一个具有  $n$  点的一维逼近,其五点逼近对应杨辉三角型的第 5 行<sup>[4]</sup>,如图 1 所示.用这一模板对图像进行卷积,便可实现平滑图像、抑制噪声影响的作用.

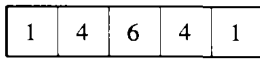


图 1 高斯滤波模板  
Fig. 1 Gauss filtering template

### 2.2 边缘自动检测算法

已经证明,对于图像的阶跃边缘其边缘点在灰度梯度最大的地方<sup>[2,5,6]</sup>. 以此为依据,首先对经过高斯滤波的图像利用梯度算子获取其对应的梯度图像,然后构造一如图 2 所示的矩形窗口,在窗内对梯度图像作提取边缘的处理. 具体算法如下

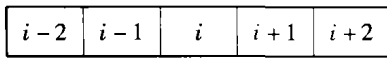


图 2  $Q=5$  的矩形窗口  
Fig. 2  $Q=5$  rectangle window

设经过高斯滤波的一维数字图像的灰度函数为  $f(i)$ ,其中  $i=0,1,\dots,N-1$ .

第 1 步:对  $f(i)$  求梯度,用差分算子替代微分算子近似求得其一维梯度图像  $R(i)$

$$R(i) = |f(i+1) - f(i)|$$

第 2 步:窗口边缘检测

$$\text{当 } R(i) \geq R(i+1) > R(i+2) \quad (2)$$

$$\text{且 } R(i) \geq R(i-1) > R(i-2) \quad (3)$$

$$E_x(i) = R(i) \quad (4)$$

否则  $E_x(i) = 0$

同时满足式(2),(3)的点  $i$ ,为边缘点.

否则转第 2 步继续.

以上各步在 FPGA 中并行完成.

### 2.3 基于二次插值的亚像元边缘检测算法

用边缘自动检测算法可将图像边缘位置精确到一个像元级,边缘点坐标可近似为像元的几何中心  $X_i$ . 这时测量系统的精度受到 CCD 光敏元间距  $w$  的约束,其分辨率误差约为一个光敏元间距. 为提高测量系统的精度可利用二次插值算法求得图像梯度函数在边界点附近的二次插值函数  $P(x)$ . 用该连续函数作为梯度函数的估计函数,使  $P(x)$  取得最大值的  $x$ ,即为亚像元级的图像边界. 为得到亚像元级的分辨精度,首先利用边缘检测算法找到边缘点  $X_i$ ,对梯度图像  $R(X_i)$  取三点  $R(i-1), R(i), R(i+1)$ ,求  $R(x)$  的二次多项式插值函数,对  $P(x)$  求导并令其导函数为零,即可求出导数最大点的坐标  $X_e$ .  $X_e$  即为亚像元级的图像边界位置.

根据计算方法,二次插值函数可表示为<sup>[1,7]</sup>

$$P_2(x) = \frac{(x-x_1)(x-x_2)}{(x_0-x_1)(x_0-x_2)}f(x_0) +$$

$$\frac{(x-x_0)(x-x_2)}{(x_1-x_0)(x_1-x_2)}f(x_1) + \frac{(x-x_0)(x-x_1)}{(x_2-x_0)(x_2-x_1)}f(x_2) \quad (5)$$

令:  $x_0 = x_i - w, x_1 = x_i, x_2 = x_i + w; f(x_0) = R(i-1), f(x_1) = R(i), f(x_2) = R(i+1)$

对式(5)求导并令导函数为零,解得

$$x_e = x_i + \frac{R(i-1) - R(i+1)}{R(i-1) - 2R(i) + R(i+1)} \frac{w}{2} \quad (6)$$

根据误差理论以及本系统  $R(i) \geq R(i+1), R(i-1)$  的特性,对式(6)进行全微分,可获得检测误差为

$$|dX_e| \leq \frac{1}{2}(3w|dR_0| + |dw|)$$

因 A/D 转换有  $\pm 1\text{LSB}$  的量化误差,CCD 的制造精度可达百分之一像元间距;所以

$$|dX_e| \leq \frac{1}{2} \left( 3w \frac{2}{1024} + w \frac{1}{100} \right) = \frac{w}{126}$$

故在不考虑系统其它误差,取 10 位 A/D 转换的前提下,该算法的检测分辨率可达到近一百二十分之一像元宽度.

## 3 基于 FPGA 的多项式插值亚像元边缘检测的实现

### 3.1 系统工作原理

线阵 CCD 亚像元边缘检测系统的原理框图如图 3 所示. 本系统由 FPGA 及 CCD 信号前端处理芯片 TLC8188 构成. 在驱动模块的作用下,CCD 输出的原始信号送入前端处理芯片 TLC8188,通过内置的相关双采样电路及 A/D 转换器,将经过噪声抑制的模拟信号转换成数字信号. 数字信号进入 FPGA 后,经过高斯滤波模块的消噪声平滑处理后,进入差分运算模块既可获得 CCD 信号的梯度图像. 边缘检测模块根据梯度值可以精确的将图像边缘定位在一个像元上,同时提取边缘点两相邻两像元的位置以及梯度数据. 插值细分模块通过上述三点的位置及梯度值便可计算出亚像元级的边界位置. 计算结果经显示驱动模块送显示单元输出.

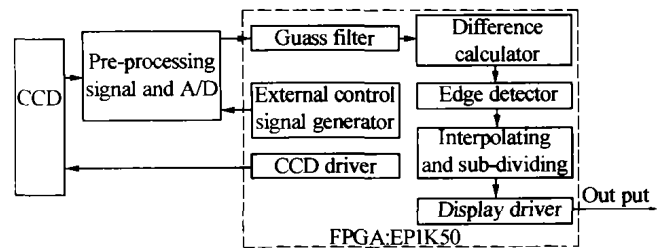


图 3 系统工作原理图  
Fig. 3 System working principle

### 3.2 基于 FPGA 的系统功能的实现

采用 MAX + plus II 9.6 开发工具进行系统设计. 为了便于进行层次化设计,采用 VHDL 语言编程和图形化输入相结合的混合输入的方法,同时 LPM 库的使用提高了编程的效率以及所设计系统的可靠

性,同时缩短了设计周期.

### 3.2.1 高斯平滑滤波器的实现

高斯滤波器是一种线性滤波模板,模板各位的权重是根据高斯分布函数确定的.高斯滤波器的基本结构是一个分节延时线,它通过在一条有均匀间隔抽头的延迟线上对抽头信号进行加权求和构成<sup>[8]</sup>,其结构如图 4 所示.

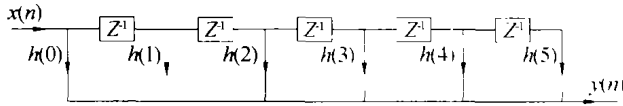


图 4 高斯滤波器实现形式

Fig. 4 Realizing formation of Gauss filter

高斯滤波器层次结构图如图 5 所示:串/并转换单元的作用是将串行输入的数据并行送入各加权单元,同时实现模板的相对数据流滑动;加权单元用以对进入各抽头的数据进行加权运算;累加单元实现对各抽头的输出进行相加获得滤波的输出结果.

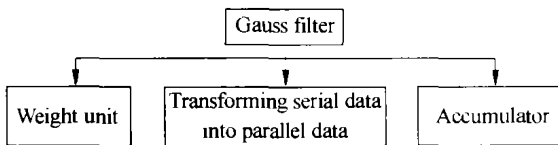


图 5 高斯滤波器层次结构图

Fig. 5 Structure of Gauss filter

### 3.2.2 边缘检测的实现

边缘检测的目的是找出图像灰度变化的阶跃点,既局部梯度值最大的像元位置.为了提高系统的处理速度,采用四个比较器进行数据的并行处理,如图 6 所示,比较器可从 MAX + plus II 软件中的 LPM 库中直接调用.5 个 D 触发器组成移位寄存器,串行输入的数据在时钟的驱动下移位并做并行输出.一组输出的数据如图 6 所示送入并行比较结构中,当某一组的数据同时满足式(2)、式(3)时,输出端为高电平.将该信号进行相应的处理后作为锁存信号,在锁存器中锁存该组数据的中间三位及其对应的位置信息.该组数据即为图像边缘及其相邻两像元的梯度值以及像元位置.

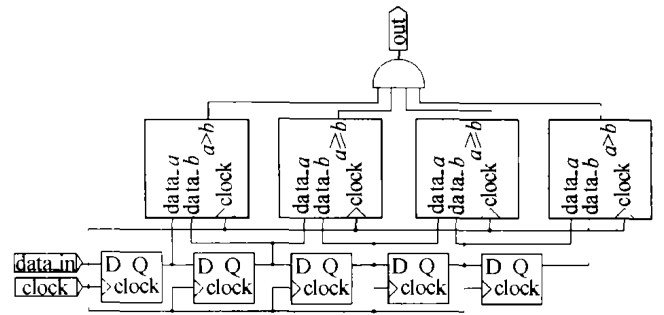


图 6 边缘检测电路原理图

Fig. 6 Circuit principle of detecting edge

### 3.2.3 插值细分的实现

插值细分模块的功能是利用边缘检测模块所提供的边界点位置信息,以及边界点及其前后相邻点的梯度值,根据式(6)计算出细分后图像边界的精确位置.本系统采用的 CCD 像元尺寸为 8 μm,综合考虑系统误差后采用 20 细分,系统细分后的精度可以达到 0.4 μm.为了便于计算,以数字化后的像元尺寸替代其真实物理量进行计算,在最后结果显示时转换为实际物理量即可.为了提高系统的处理速度,以适应高速测量的要求,本系统采用了如图所示的并行算法.像元尺寸做二十细分后(即 W = 20),对式(6)做适当的变形得

$$x_e = x_i \times 20 + \frac{R(i+1) - R(i-1)}{[R(i) - R(i-1)] + [R(i) - R(i+1)]} \times 20 \quad (7)$$

其中  $x_e$  即为细分后图像边界的精确位置.观察式(8),结合边缘检测条件式(2)、(3),式(8)中第二项的正负号由  $R(i-1)$  及  $R(i+1)$  的相对大小决定.由上述分析,可得出如图 7 所示的基于 FPGA 的细分算法的电原理图.程序采用了基于 VHDL 语言的图形化输入方式,图中的减法器由 VHDL 语言编写而成,其余加法器、乘法器、除法器、以及比较器均为直接调用 MAX + plus II 中的 LPM 库获得<sup>[9]</sup>.在同步时钟的驱动下,如图 7 所示在 FPGA 芯片上实现了式(8)的计算,从而实现了亚像元细分.

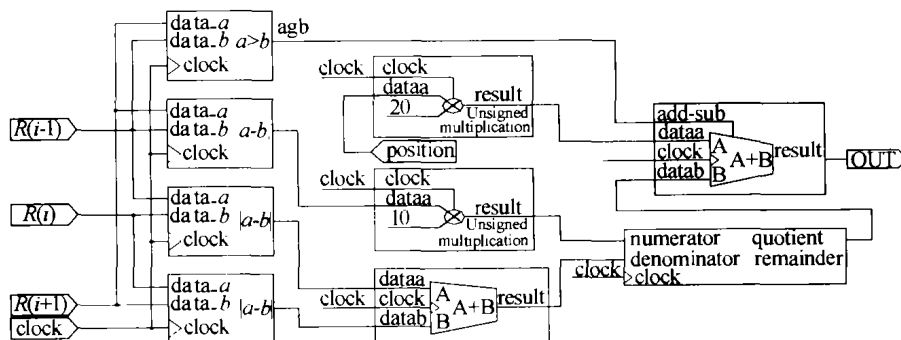


图 7 插值细分电原理图

Fig. 7 Circuit principle of interpolating and sub-dividing

### 3.3 系统功能仿真

在进行了 VHDL 描述和编译之后,就可以利用 MAX + plus II 软件对所设计的系统进行功能仿真. 功能仿真与器件无关,用于验证系统数学模型的正确性,在通过功能仿真后,再进行针对具体器件的 RTL 级仿真,从而验证系统的最终可行性<sup>[10]</sup>.

系统的仿真结果见图 8. 其中 c\_1 到 c\_5 为高斯滤波器每一个抽头的输出,add 为数据经过高斯

滤波器后的最终输出结果.  $R(i-1)$ ,  $R(i)$ ,  $R(i+1)$  为边界点及其相邻点的梯度值, pos 则为通过边缘检测器后所获得的未经细分的边缘位置信息, edge 为经过细分后的边缘位置. 由下图的仿真结果可以看出,所设计的基于 FPGA 的集高斯滤波器、边缘检测器、细分于一体的片上系统实现预期的目的. 本系统选用 Altera 公司的 EP1K50, RTL 级仿真结果表明,该系统工作频率可以达到 10 MHz 以上.

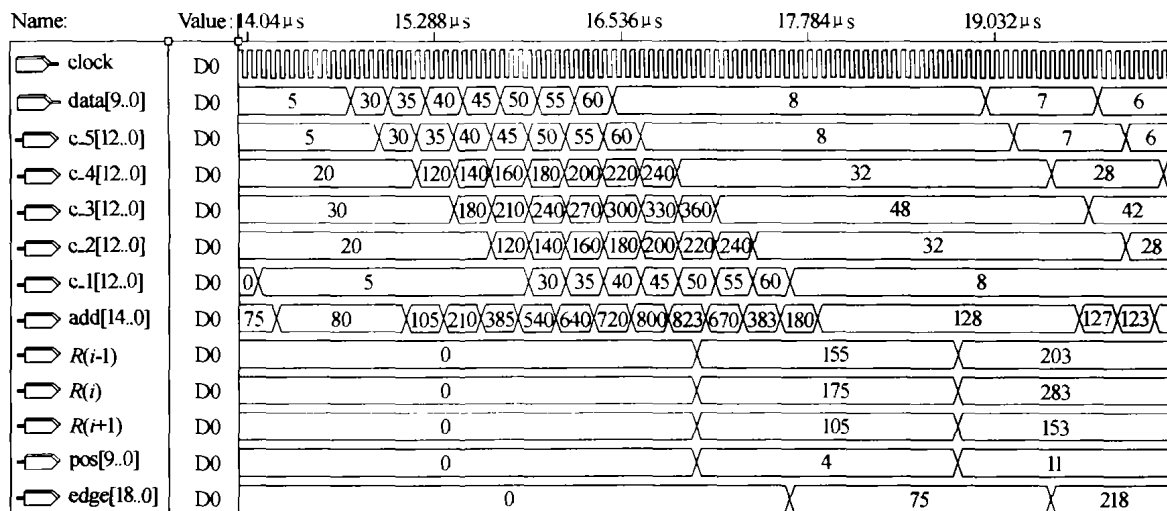


图 8 系统仿真结果

Fig. 8 Simulation result of system

## 4 结论

本文首先讨论图像测量系统的结构、原理及算法等问题. 结合数字图像处理的特点,提出了具有保持边缘特征同时有效地抑制噪声的矩形窗边缘检测算法,使检测出的图像边缘精确的定位在一个像元宽度位置上;同时为了提高测量精度,又提出了一种基于二次插值原理的亚像元细分算法.

最后,结合 FPGA 器件的特点以及测量系统高速、小型化、高可靠性的要求,在一片 FPGA 器件上完成了高斯滤波器、边缘检测、插值细分等内部功能模块的设计. 将 FPGA 器件高集成度、高速、延时小、设计简便、调试灵活等优点,与该检测系统所具有并行处理能力的特性相结合,在单片 FPGA 芯片上实现了高速亚像元边缘检测系统. 结合本文提出的设计方法并采用高性能的 FPGA 器件,可以较大地提高测量系统的精度和速度,为研制高速、高精度的 CCD 测量系统提供了条件.

### 参考文献

- 张池平,施云慧. 计算方法. 北京:科学出版社, 2002. 117 ~ 120  
Zhang C P, Shi Y H. Calculating Method. Beijing: Science Press, 2002. 117 ~ 120
- 吴晓波. 图像边缘特征分析. 光学精密工程, 1999, 7(1): 59 ~ 63

Wu X B. *Optics and Precision Engineering*, 1999, 7(1): 59 ~ 63

- 赵荣椿. 数字图像处理导论. 西安:西北工业大学出版社, 1995. 84 ~ 88  
Zhao C R. Introduction of Digital Image Process. Xi'an: Northwestern Polytechnical University Press, 1995. 84 ~ 88
- 贾云得. 机器视觉. 北京:科学出版社, 2002. 71 ~ 76  
Jia Y D. Machine Vision. Beijing: Science Press, 2002. 71 ~ 76
- 邹仲力. 提高 CCD 尺寸测量分辨力的解调测量法. 仪器仪表学报, 1986, 7(1): 38 ~ 44  
Zhou Z L. *Chinese Journal of Scientific Instrument*, 1986, 7(1): 38 ~ 44
- 李佳列,丁国清. 采用 CCD 的非接触测量中提高精度的一种方法. 光学精密工程, 2002, 10(3): 281 ~ 284  
Li J L, Ding G Q. *Optics and Precision Engineering*, 2002, 10(3): 281 ~ 284
- 吴晓波. 应用多项式插值函数提高面阵 CCD 尺寸测量的分辨力. 仪器仪表学报, 1996, 17(2): 154 ~ 158  
Wu X B. *Chinese Journal of Scientific Instrument*, 1996, 17(2): 154 ~ 158
- 刘志新. 用 CPLD 实现 FIR 数字滤波器. 电子产品世界, 2001, (7): 41 ~ 43  
Liu Z X. *Electronic Product World*, 2001, (7): 41 ~ 43
- 侯伯亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计. 西安:西安电子科技大学出版社, 1999. 134 ~ 175  
Hou B H, Gu X. VHDL Hardware Described Language &

Digital Logic Circuit Design. Xi'an: Xidian University Press, 1999. 134 ~ 175

10 Altera Corporation. MAX + PLUS II GETTING STARTED. www. altera. com, 1996

## SOC of Measuring the Sub-pixel Edge of Linear CCD Based on FPGA

Gu Lin, Hu Xiaodong, Chen Liangyi, Zeng Zhixiong

*Xi'an Institute of Optics & Precision Mechanics, Chinese Academy of Sciences, Xi'an 710068*

Received date: 2003-03-21

**Abstract** In order to improve the precision, speed, integration and reliability of the linear CCD system, which was used to detect the sub-pixel edge of picture, a new digital system based on FPGA was designed. Before the CCD signal entered the edge detecting system, it had been filtered by gauss filter. Utilizing the characteristic that the grads of grey scale breaks at the edge of picture, the pixel edge of picture was detected by the algorithm which can be used to detect the edge of picture automatically. Based on it, polynomial interpolation algorithm was used to detect the sub-pixel edge of picture. FPGA was used as the core of the system and the carrier of digital circuit. The system was modularly designed with VHDL and MAX + plus II software. By using all method mentioned above, the new SOC of measuring the sub-pixel edge of linear CCD based on FPGA was designed. Simulated and tested, the system was proved to have the characteristic of high precision, speed, integration, and reliability.

**Keywords** CCD; FPGA; VHDL; Sub-pixel; System on chip; Edge detection



**Gu Lin** was born in 1973. He got his B. E. from Changchun Institute of Optics & Fine Mechanics in 1996, and M. S. degree in communication & information system from Xi'an Institute of Optics & Precision Mechanics. Now he is a Ph. D. candidate in Xi'an Institute of Optics & Precision Mechanics, Chinese Academy of Sciences. His present research field is photoelectric detecting, electronic engineer and optical engineering.