

基于 CPLD 的可选输出 CCD 驱动时序设计

许秀贞 李自田 李长乐 皮海峰 薛利军

(中国科学院西安光学精密机械研究所, 西安 710068)

摘要 在分析了 CCD 器件驱动时序关系的基础上, 设计了可选输出的驱动时序发生器. 作为卫星上的有效载荷, CCD 成像系统可以根据入射能量的多少及探测分辨率的需求, 以单像元或像元二合一方式输出. 选用复杂可编程逻辑器件 (CPLD) 作为硬件设计平台, 使用 VHDL 语言对驱动时序发生器进行了硬件描述, 采用 Maxplus II 对所设计的驱动时序发生器进行了仿真, 针对 Altera 公司的可编程逻辑器件 EPM7128SLC84-7 进行适配. 系统测试结果表明, 所研制的驱动时序发生器可以满足高速 CCD 成像仪的驱动要求.

关键词 CCD; 驱动时序; 复杂可编程逻辑器件 (CPLD); 相关双采样 (CDS)

中图分类号 TN386.5 **文献标识码** A

0 引言

CCD (charge coupled device) 作为近代新兴的固体成像器件, 具有体积小、重量轻、分辨率高、灵敏度高、可靠性好等优点, 广泛应用于机器人视觉系统、安全保卫系统、智能交通系统以及 Internet 接入装置等领域. 随着 CCD 技术的迅速发展, CCD 成像仪也朝着控制更方便、品质性能更高的方向发展, 并逐步应用于航天探测领域^[1].

CCD 成像仪一般由 CCD 感光芯片、驱动时序发生器、逻辑控制单元、外部光学成像系统等部分组成, 其中驱动时序发生器性能的优劣直接决定了摄像机的品质参数. 本文分析了 VCCD512H 芯片的工作过程和对驱动时序的要求, 在此基础上设计出合理的时序控制方案. 作为卫星上的有效载荷, 可根据光的强弱及探测所需的分辨率, 采用单像元和像元二合一信号输出两种方式进行采样. 在综合比较各种硬件实现电路的优缺点后, 选用复杂可编程逻辑器件 (CPLD) 作为硬件设计平台, 使用 VHDL 语言对驱动电路方案进行了硬件描述, 采用 Maxplus II 对所设计的时序发生器成功地进行了系统仿真.

1 可选输出 CCD 驱动时序发生器原理

1.1 芯片结构说明

美国 Sarnoff 公司的 VCCD512H 是背照型帧转移面阵 CCD, 16 路信号并行输出. 该芯片噪声低, 在 350 ~ 1000 nm 范围内光谱响应特性好, 且具有片内 CDS 电路, 性能优异.

VCCD512H 属分离型帧转移结构. 它由两个感光区、两个存储区和读出寄存器构成. 每个感光区 (或存储区) 包含有 8 个子阵列, 每个子阵列含有 256 (行) × 64 (列) 个有效像元, 整个像面则由 16 个子阵列, 共 512 × 512 个有效像元构成, 16 路信号分别读出.

电荷移动方向如图 1 中箭头所示, 先由感光区转移到存储区, 再由存储区逐行转移到读出寄存器顺序读出. 16 个子阵列有各自独立的读出寄存器和 CDS 放大器. 信号的输出方式是 16 个端口并行输出.

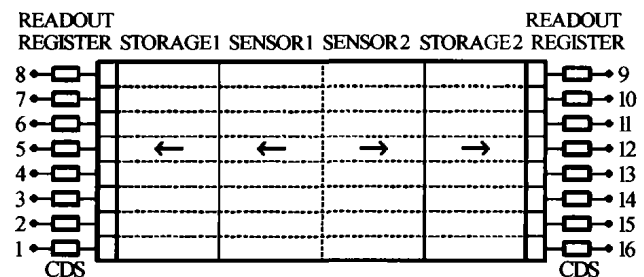


图 1 VCCD512H 芯片结构
Fig. 1 Structure of VCCD512H

其信号输出电路原理图如图 2 所示.

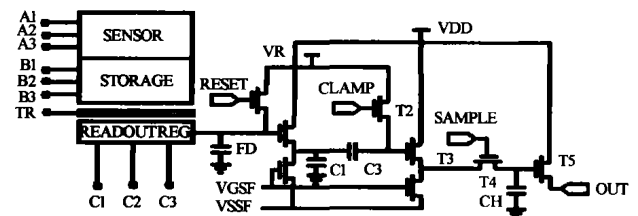


图 2 信号输出原理图
Fig. 2 Signal output principle

其中, A1、A2、A3 为 CCD 感光区控制时序 (即帧转移控制信号), B1、B2、B3 为存储区控制信号 (即行转移控制信号), TR 为由存储区向输出寄存器进行信号转移的控制信号, C1、C2、C3 为输出寄存器的读出控制信号 (即像元转移控制信号), RESET 为片内 CDS 电路的复位信号, CLAMP 为钳

位信号, SAMPLE 为采样信号. VGSF、VSSF、VR、VDD 为 CCD 芯片的工作偏压, 由外加电源产生. OUT 为最终的输出信号, 送到后续的模拟、数字信号处理电路.

1.2 驱动时序分析

由芯片结构可知, CCD 的一个工作周期分两个阶段: 感光阶段和转移阶段. 感光阶段实现感光阵列的电荷积累, 帧存储区到转移寄存器的电荷转移以及转移寄存器向输出放大器的电荷输出; 转移阶段主要完成感光阵列所积累的电荷向帧存储区的转移, 同时清空帧存储区的无效电荷.

在感光阶段, 感光阵列接受外界光源照射产生电荷, 帧转移控制信号 A 不变, 感光阵列和帧存储区之间为阻断态, 不会发生电荷转移现象; 同时由行转移控制信号 B 控制, 电荷逐行转移到转移寄存器, 行转移时, 像元转移控制信号 C 不变, 无像元信号输出; 每行信号中, 各像元电荷逐次经过输出放大器输出, 每读出一行信号, 进行一次行转移. 三相 CCD 中, 电荷的转移是通过三相控制电压按一定顺序依次变化来实现的. 此处, 进行电荷转移时, 三相控制时序依次变化; 三相信号不变时, 为阻断态. 为保证信号电荷的完整转移, 各相时序间必须保证一定的电平交叠.

转移阶段, 帧转移控制信号 A 与行转移控制信号 B 相同, 且一直有效. 同时像元控制信号 C 也一直有效, 但输出数据无效. 进入感光阶段, 首先进行一次行转移, 开始信号的输出, 同时感光区像元进入电荷积累.

在整个周期里, TR 都被置为高电平, 这样信号从存储区到输出寄存器的转移完全由行转移信号 B1、B2、B3 控制. 整个系统是否有信号输出, 完全由 A、B、C 控制. CDS 控制信号 RESET、CLAMP、SAMPLE 一直有效, 占空比较小.

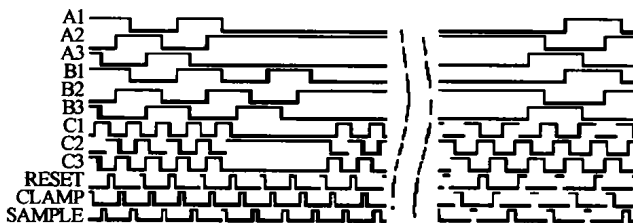


图3 整帧转移时序图
Fig. 3 Driving schedule of one frame



图4 未采样信号与复位、钳位、采样信号对比
Fig. 4 Signal unsampled of one pixel and RESET, CLAMP, SAMPLE

为保证信号读出的完整性, 整帧转移的行数、输出的行数、像元数都进行了一定的冗余设置.

1.3 像元二合一信号输出

以上的驱动时序关系只能满足 CCD 芯片的基本工作条件. 作为卫星上的有效载荷, 根据入射能量的多少及探测分辨率的需求, 提高成像仪对环境的适应能力, 设计了单像元和像元二合一两种信号输出方式. 当光照较弱或所需分辨率不高时, 为提高光的利用率, 可将两相邻像元的信号合并, 作为一个信号输出; 当光照较强或所需分辨率较高时, 仍采用单像元信号输出. 同时, 由于像元信号噪声的随机性, 像元信号合并有效的提高了系统信噪比.

像元二合一信号输出, 分为行合并和列合并两种实现方式. 行合并方式, 在信号读出时, 每进行两次信号行转移, 进行一次输出寄存器信号移位输出, 这样就将两列信号电荷在输出寄存器的势阱中叠加后输出, 实现了信号的合并; 列合并方式, 为每进行两个像元的信号移出 (C 信号控制), 进行一次复位、钳位、采样, 且应对第一个像元复位、钳位, 在第二个像元处采样. 这样在 CDS 的信号存储电容上, 将相邻两像元的信号电荷进行积分叠加后输出, 实现合并. 在该项目中, 采用的是列合并方式.

图5为C控制信号与复位、钳位、采样信号的对比.

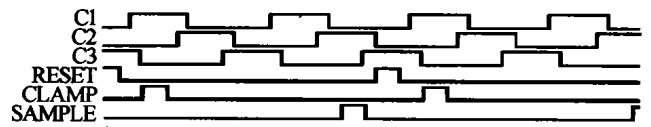


图5 像元二合一的C控制信号与复位、钳位、采样信号对比
Fig. 5 Contrast between C and RESET, CLAMP, SAMPLE in mode of two-in-one

2 CCD 驱动时序的 CPLD 实现

2.1 复杂可编程逻辑器件 (CPLD)

为了产生系统中用到的时序, 此处采用复杂的可编程逻辑器件 (CPLD). 其包括可编程逻辑宏单元、可编程 I/O 单元、可编程内部连线三种结构, 其集成度远远高于 PAL 等传统的 PLD 器件, 并在速度上有一定的优势, 成为高频领域应用的首选器件^[2,3]. 结合系统工作频率高的特点, 我们选用了 Altera 公司 MAX 7000 系列器件^[2,3]. MAX 7000 系列是工业界速度最快的高集成度可编程逻辑器件系列, 可模仿 TTL, 并且可将 SSI (小规模集成电路)、MSI (中规模集成电路)、LSI (大规模集成电路) 的逻辑功能高密度集成^[4].

2.2 CCD 驱动时序的 VHDL 描述

在 Maxplus II 软件设计环境下, 使用硬件描述

语言(HDL, Hardware Description Language),以自顶向下的方式,设计 CCD 驱动时序,实现硬件设计的软件化.设计复杂的 CCD 驱动时序发生器,关键是如何用 VHDL 语言来描述 CCD 的驱动时序关系.

首先定义时序驱动器的输入输出端:三个输入端,即时钟输入(Clk)、复位信号(Op)、输出方式选择(Single);十二个输出信号,即帧转移控制信号 A、行转移控制信号 B、像元转移控制信号 C、三个 CDS 控制信号.

CCD 成像仪的驱动时序关系实质上是多重嵌套的循环.其中,感光阶段和转移阶段构成了时序循环外环,一次循环代表了一帧图像从曝光到转移的全部过程;感光阶段存储区的逐行转移构成了时序循环的中环,一次循环结束表明 CCD 感光阶段结束;而在行转移信号结束后,一行图像的元素逐列输出,构成了时序循环的内环.一个循环周期代表一帧图像中一行像素的转移.各循环之间采用计数器进行控制.整体的循环过程构成了系统的主工作流程.

2.3 CCD 驱动时序的系统仿真

使用 Maxplus II 软件对驱动时序发生器进行仿真.在整个帧周期中,系统先进入感光阶段,感光区像元进行电荷积累,同时存储区、转移寄存器、输出电路将上一帧的电荷信号读出;然后进行转移阶段,将感光区的像元电荷整帧转移到存储区;系统再次进入感光阶段,将本帧信号读出,同时感光区进入下一帧电荷积累.

输入复位信号(Op)外接一个 RC 充电电路.系统一上电,输入为低电平,系统各信号复位;经过短暂延时后,变为高电平,系统开始运行.输出方式选择信号 Single 控制系统的输出方式为单像元信号输出还是以像元二合一方式输出.该信号由后续的控制电路进行反馈控制.

由 Maxplus II 软件根据系统设计选择相应的 CPLD 器件,选用 Altera 公司的 EPM7128SLC84-7.该器件有八个 LAB(逻辑帧列块),时序电路中 CPLD 除了提供要求的信号外,仍然保留了部分的引脚和功能模块,以备今后信号驱动时序电路的进一步改进和增加新的功能需要.

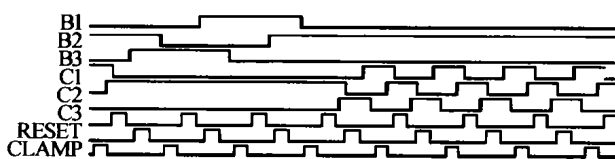


图6 系统仿真时序图(行转移)

Fig.6 Emulational driving schedule of one row

2.4 系统测试

在驱动时序信号的驱动下,将 CCD 输出信号经

信号处理电路、A/D 转换、16 路信号拟合后,由计算机采集图像并显示.图 7 为同等条件下,单像元信号输出和像元二合一(列合并)信号输出的对比.



图7 单像元输出与像元二合一输出图像对比

Fig.7 Contrast between single and two-in-one mode

经过测试,驱动时序发生器产生的各控制信号符合设计要求,可以满足 CCD 芯片的工作需要.驱动时序发生器可根据外界输入进行相应的单像元信号输出和像元二合一信号输出.

3 结论

在分析 CCD 驱动时序关系的基础上,提出了 CCD 成像仪驱动时序发生器的设计方案,并实现了根据光照强弱,进行像元信号二和一输出的功能.

1) 采用在输出 CDS 电路中将采样信号 SAMPLE 减半的方法,根据系统输入,有效地将相邻像元的电荷信号进行了合并,提高了光的利用率,并减小了像元噪声,提高了系统信噪比.

2) 复杂可编程逻辑器件(CPLD)较其它类型器件具有延时小、设计简便、调试灵活等优点,且由其构成的驱动时序发生器工作稳定可靠,体积小,为自行研制的可调输出 CCD 成像仪实用化提供了条件.

参考文献

- 王庆有. CCD 应用技术. 天津:天津大学出版社,2000,30~45
Wang Q Y. CCD application technique. Tianjin: Tianjin University Press,2000,30~45
- 谷林,胡晓东,罗长洲,等. 基于 CPLD 的线阵 CCD 光积分时间的自适应调节. 光子学报,2002,31(12):1533~1537
Gu L, Hu X D, Luo C Z, et al. Acta Photonica Sinica, 2002, 31(12):1533~1537
- 张虎,李自田,汶德胜. 一种多 CCD 系统时序产生方法. 微计算机应用,2002,23(5):296~298
Zhang H, Li Z T, Wen D S. Microcomputer Applications, 2002, 23(5):296~298
- 宋万杰,罗丰,吴顺军. CPLD 技术及其应用. 西安:西安电子科技大学出版社,1999
Song W J, Luo F, Wu S J. CPLD technique and application. Xi'an: Xidian University press, 1999
- 刘国媛,李露瑶,张伯珩,等. CDS 器件在 TDI-CCD 视频信号处理中的应用. 光子学报,2000,29(1):82~86

Liu L Y, Li L Y, Zhang B H, *et al.* *Acta Photonica Sinica*,

2000, 29(1): 82 ~ 86

Design on Driving Generator Based on CPLD Technology for CCD Camera With Optional Output

Xu Xiuzhen, Li Zitian, Li Changle, Pi Haifeng, Xue Lijun

Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, Xi'an 710068

Received date: 2003-10-22

Abstract Driving schedules have been examined in detail. The driving schedule generator with optional output has been designed for CCD camera. As a load of satellite, CCD camera gives the output signal in mode of single or two-in-one, according to incident energy and exploration resolution request. Complex programmable logic device (CPLD) has been chosen as the hardware design platform, driving schedule generator has been described with VHDL. The designed generator has been successfully fulfilled system simulation with Maxplus II software and fitted into EPM7128SLC84-7 (a kind of CPLD products that made by Altera). Experiments show that designed generator is suitable for the driving of CCD camera.

Keywords CCD camera; Driving schedule; Complex programmable logic device (CPLD); Correlated double sample (CDS)



Xu Xiuzhen was born in 1979, Shandong Province. She received her bachelor degree from Electric College, Shandong University of Technology in 2001. She is working towards the Master degree in Xi'an Institute of Optics and Precision Mechanics of Chinese Academy of Science. She researches on CCD signal disposal of Hyper-spectral imager.