

相变材料辅助的光子卷积神经网络加速器

郭鹏星^{1,2}, 刘志远^{1,2}, 侯维刚^{1,2*}, 郭磊^{1,2}¹重庆邮电大学通信与信息工程学院, 重庆 400065;²重庆邮电大学智能通信与网络安全研究院, 重庆 400065

摘要 由于卷积神经网络(CNN)识别精度与人类接近,故其在计算机视觉、图像和语音处理等方面取得了巨大的成功,但这种成功离不开硬件加速器的支撑。受到电子器件功率与速率的限制,当前的电加速器难以满足未来大规模卷积运算对硬件算力和能耗的需求。作为一种替代方案,提出了一种低能耗存算一体光子 CNN 加速器结构。该结构采用微环谐振器和非易失性相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 构成无源光学矩阵乘法器来实现存内计算,从而减小了权重数据读取的能耗。利用 Ansys Lumerical 仿真平台验证了 10 Gb/s 与 20 Gb/s 速率下 4×4 规模的光学矩阵乘法的运算。与传统的基于电光微环谐振器的光子 CNN 加速器数字电子与模拟光子(DEAP)相比,所提加速器结构在保持原运算速率的情况下减少了 48.75% 的功耗,并且在矩阵运算处的面积能够减少 49.75%。此外,基于 MNIST 与 notMNIST 数据集对所提加速器的推理效果进行了仿真验证,识别精度分别为 97.80% 和 92.45%。

关键词 机器视觉; 光子卷积神经网络加速器; 微环谐振器; 相变材料; 存算一体

中图分类号 TN256

文献标志码 A

DOI: 10.3788/AOS221329

1 引言

卷积神经网络(CNN)在图像识别、语音处理等多个领域中具有广泛的应用^[1-2]。CNN 属于一种计算密集型网络,其运算过程包含用于实现矩阵向量乘法(MVM)运算的线性部分与用于实现激活、池化等功能的非线性部分,其中 MVM 运算占到总处理时间的 80% 以上。因此,为应对人工智能时代对超大数据集计算的需求,能够加速矩阵向量运算的定制硬件成为研究的热点。目前已经开发出现场可编程门阵列(FPGA)^[3-4]、专用集成电路(ASIC)^[5]和图像处理单元(GPU)^[6]来实现计算的加速,但这些基于电学处理的加速器在能量和速率方面容易受到焦耳热、电磁串扰的限制^[7]。同时,这些电加速器内部数据的交互需要通过金属互联的充放电来实现,从而带来了极大的功耗成本^[8]。因此,亟需新的加速器来弥补电学处理的不足。

得益于集成硅光子技术的不断成熟,光子 CNN 加速器取得了一定程度的发展。根据加速器结构中基本光学器件的不同,加速器通常可分为基于马赫-曾德尔干涉仪(MZI)^[9-10]和基于微环谐振器(MRR)的光子 CNN 加速器^[11-18]。其中,基于 MZI 的结构具有较大的

占地面积,难以实现大规模集成,故运算规模受限。MRR 具有较小的面积且支持波分复用(WDM)^[11-21],故基于 MRR 的光子 CNN 加速器获得了广泛关注^[11-18]。与传统电加速器相比,基于 MRR 的光加速器的优势在于:1)具有极高的调制速率,将输入映射到光脉冲的幅度中,将权重映射到 MRR 端口的透射率上,并通过光脉冲携带信息将计算维度从电域转换到光域,其运算速率一般可达 10~40 GHz;2)利用 WDM 进行大规模的并行运算,如 Liu 等^[11]提出了一种基于 MRR 的光子 CNN 加速器 HolyLight,该架构使用可调谐 MRR 来进行卷积运算,并利用 WDM 实现数据的并行处理,通过复用 128 个波长构成一个 128×128 的光矩阵乘法阵列,有效地提高了推理吞吐性能。Bangari 等^[12]提出了一种数字电子与模拟光子(DEAP)的 CNN 硬件架构(DEAP-CNN)。与 HolyLight 不同的是,DEAP-CNN 在 MRR 的两个输出端口处均增加了一个平衡探测器,从而实现了负权重的乘法运算。

然而,当前的基于 MRR 的光加速器普遍采用电控 MRR 的方式,需要持续的偏置电压来维持 MRR 的权重状态。CNN 在推理的过程中,卷积核的权重经过训练就不需要经常更新,频繁的权重数据读取和加载,

收稿日期: 2022-06-15; 修回日期: 2022-08-23; 录用日期: 2022-09-13; 网络首发日期: 2022-09-23

基金项目: 国家自然科学基金(62205043, 62222103, 62071076, 62075024)、重庆市自然科学基金(CSTB2022NSCQ-MSX1334, cstc2019jcyj-msxmX0615)

通信作者: *houwg@cqupt.edu.cn

以及状态的维护将会造成能量的浪费。因此,如果能在非易失的光学存储器中存储权重值并直接进行计算,则可以显著降低数据传输开销^[22-27]。Feldmann等^[22]利用光学相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST)和定向耦合器实现了片上无源的MVM运算。该结构通过定向耦合器将输入的光信号均匀分配到矩阵中不同列的输入端,再与具有不同权重值的GST相乘,从而实现了并行计算。然而,这种结构的并行计算规模与定向耦合器数量有关,同一网络中难以实现多种精确且具有不同分割比的定向耦合器,故该结构的可扩展性受限。Feldmann等^[23]使用单个顶部嵌有GST的MRR作为基本乘法单元实现了光子存算一体,但该结构不能模拟负权重的情况。Chakraborty等^[24]使用两组顶部嵌有GST的微环来实现数据的处理,两组MRR分别处理具有正权重与负权重的数据后相乘,最后经过光电转换后再相减,实现了具有负权重的CNN运算。然而,该结构使用两组微环,增加了芯片的面积。

鉴于此,本文提出了一种新型的基于MRR与GST的CNN硬件架构——NVSP-CNN。具体地,该加速器采用一个顶部嵌入GST的MRR作为基本的光子点积运算单元,结合平衡光电二极管(PD)实现MRR的Drop和Through端口输出值的光功率相减,模拟了负权重的情况。与DEAP-CNN结构相比,NVSP-CNN使用GST进行数据存储,利用GST非易失性的特点,实现了光学存储与计算的同时进行,避免了存算分离架构中可能出现的延迟问题。此外,该结构无需外加电极进行调制,减少了外加电极的面积和功耗损失。最后,与传统的基于GST的光子CNN加

速器中两组微环相比,所提的NVSP-CNN能够有效地减少芯片的面积。所提架构有望实现低能耗、高密度的光子计算,可满足未来大规模图像识别任务的需求。

2 NVSP-CNN结构设计

2.1 传统的基于微环的光矩阵乘法加速器

卷积的基本运算是两个矢量化矩阵的点积,并将相乘结果进行相加,即实现矩阵的乘积累加(MAC)运算。近年来,基于MRR的“广播和加权”框架已被证明能够以比传统电子设备快5倍的频率执行MAC运算,故被广泛运用在光子CNN加速器的设计中。图1(a)展示了一个通过Add-Drop型MRR搭建的“广播和加权”架构,该框架采用一组可调谐的MRR,通过对MRR施加不同的偏置电压来改变微环所表征的权重值。同时,该架构使用波分复用器实现不同输入波长的复用,并根据波长选择性原理将相应波长耦合进微环中。通过复用可以实现同一时间内多个输入与卷积的相乘,故使用此结构来执行MVM可大大节省运算时间。在上述“广播和加权”架构中,输入和权重的调制方式通常采用如图1(b)、(c)所示的电调制,即通过在MRR上添加电极施加电流来改变微环直通与输出端口的输出值,从而用来模拟不同的权重值^[11-18]。当权重稳定不变时,需要持续的电流来维持权重的稳定。这种调谐方式需要持续的外加电流,故会带来极大的功耗成本。此外,持续的外加电流会导致微环结构的局部过热,这会给微环的热稳定性带来一定的影响。

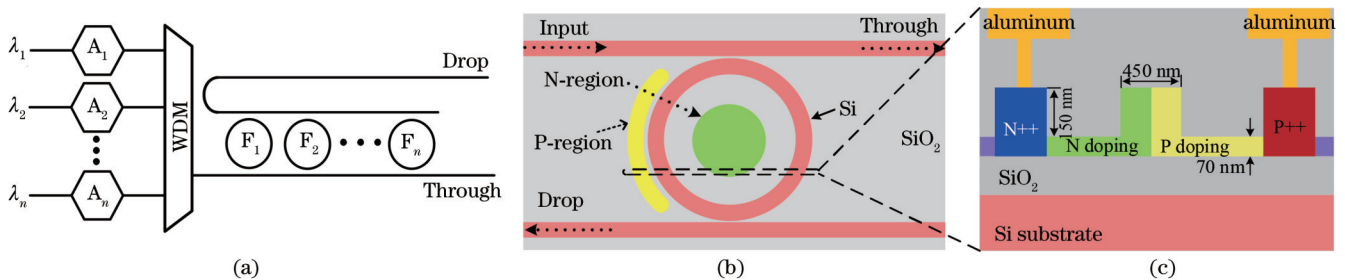


图1 Add-Drop型MRR结构示意图及“广播和加权”结构。(a)“广播和加权”架构;(b)电光(EO)调制MRR;(c)EO调制光波导结构示意图

Fig. 1 Structural diagram of Add-Drop MRR and "broadcast and weighting" structure. (a) "Broadcast and weighting" structure; (b) electro-optic (EO) modulation MRR; (c) schematic diagram of EO-modulation optical waveguide structure

2.2 使用GST与MRR搭建光学矩阵乘法器结构

为解决功率损耗过大的问题,本文通过将具有非易失性存储功能的相变材料GST嵌入到微环的顶部,通过输入光脉冲来改变GST的状态,从而间接影响微环的输出。添加GST的Add-Drop MRR的结构及其横截面如图2(a)、(b)所示。相对于传统的光电MRR结构,基于GST的MRR利用光脉冲实现MRR的调制,避免了电极的使用,可有效降低芯片面积和MRR

的调制功耗。此外,利用该结构可以提前将计算的权重值存储到GST中,在执行运算过程中避免了重复地从外界存储器中提取权重数据,可以有效地提升能效水平。

GST晶态和非晶态之间具有很高的对比度:当GST处于晶态时,其具有强吸收效应,在波导中的光会被全部吸收到GST内部,此时波导的透射率为0;当GST处于非晶态时,其对光信号的吸收较弱,光几乎

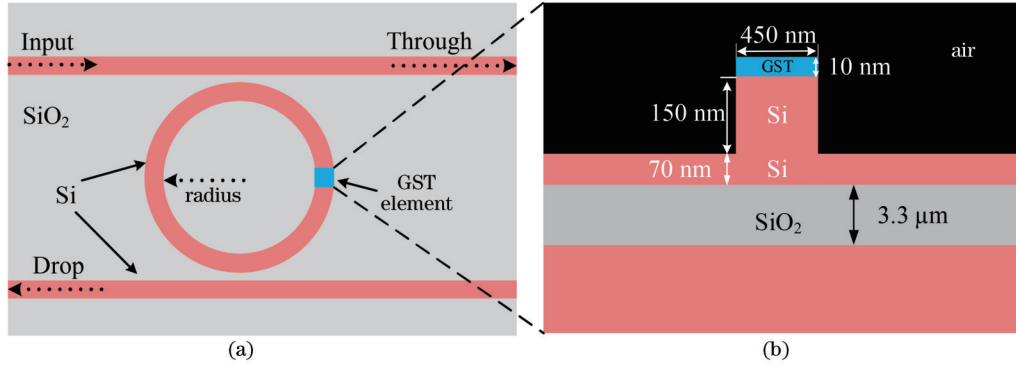


图2 基于GST的MRR的结构和横截面示意图。(a)结构示意图;(b)横截面示意图

Fig. 2 Schematic diagram of structure and cross-section of GST-based MRR. (a) Schematic diagram of structure; (b) schematic diagram of cross-section

全部从波导中输出,此时波导的透射率为1;当GST介于晶态和非晶态之间时,其透射率处于0~1之间。将GST嵌入环形波导顶部,由于GST晶化度的不同,故环形波导的折射率会发生变化,从而影响MRR两个端口的透射率。具体地,通常使用 T_p 和 T_d 来表示微环Through端口和Drop端口的透射率,具体表达式为

$$T_p = \frac{r_2^2 a^2 - 2r_1 r_2 a \cos \phi + r_1^2}{1 - 2r_1 r_2 a \cos \phi + (r_1 r_2 a)^2}, \quad (1)$$

$$T_d = \frac{(1 - r_1^2)(1 - r_2^2)a}{1 - 2r_1 r_2 a \cos \phi + (r_1 r_2 a)^2}, \quad (2)$$

式中: a 为衰减因数; ϕ 为相位因子; r_1 和 r_2 为耦合系数, a 和 ϕ 可以表示为

$$a = \exp \left\{ -\frac{2\pi}{\lambda} [k_{\text{eff, wg}}(2\pi R - L_{\text{GST}}) + k_{\text{eff, GST}} L_{\text{GST}}] \right\} \approx \exp \left(-\frac{2\pi}{\lambda} k_{\text{eff, GST}} L_{\text{GST}} \right), \quad (3)$$

$$\phi = \frac{2\pi}{\lambda} [n_{\text{eff, wg}}(2\pi R - L_{\text{GST}}) + n_{\text{eff, GST}} L_{\text{GST}}], \quad (4)$$

式中: λ 为波长; R 为环形谐振器的半径; L_{GST} 为GST的长度; $k_{\text{eff, GST}}$ ($k_{\text{eff, wg}}$)和 $n_{\text{eff, GST}}$ ($n_{\text{eff, wg}}$)分别为含(不含)GST波导材料的有效折射率的虚部和实部,其数值大小受GST晶化度影响。GST部分结晶时的透射率可以通过有效介质理论来推导,具体公式为

$$\frac{\xi_{\text{eff}}(p) - 1}{\xi_{\text{eff}}(p) + 2} = p \times \frac{\xi_c - 1}{\xi_c + 2} + (1 - p) \times \frac{\xi_a - 1}{\xi_a + 2}, \quad (5)$$

式中: ξ_a 和 ξ_c 分别为晶态和非晶态时的介电常数; p 为晶化度; $\xi_{\text{eff}}(p)$ 为当晶化度为 p 时GST的有效折射率。

添加GST后两端口透射率曲线的变化如图3(a)、(b)所示。随着GST逐渐晶化, $k_{\text{eff, GST}}$ 和GST的吸收增大,此时通过Drop端口的传输减少,Through端的输出功率会逐渐增大。图3(c)、(d)为全非晶和50%晶化度下微环的场强分布图。图3(e)、(f)演示了不同晶化度下Through、Drop端口的透射率情况和 $T_d - T_p$ 。此外,通过改变GST的长度就可以实现接

近 $[-1, 1]$ 的功率范围。可以看出,改变GST的状态可以实现对微环不同输出端口透射率的控制。采用 $T_d - T_p$ 的值作为神经网络运算中权重的值。由于本文只考虑应用于推理功能的加速器架构设计,且CNN在推理过程中权重值保持不变,因此GST权重的写入操作可以在线下完成。在权重值写入并存储后,推理时只需输入一个极短脉冲的小功率信号就可以将GST权重读出,该能量未达到GST的晶态阈值,故不会改变GST的状态。

在光子CNN中,最重要的部分就是实现两个矩阵的乘加运算。图4展示了使用“广播和加权”MRR架构和相变材料GST搭建的 $k \times k$ 矩阵乘法器架构,其中 t_1 为输入的第一行值, $W_{k,k}$ 为Kernel矩阵中第 k 行第 k 列的权重值。相对于传统的基于电光MRR的矩阵乘法器架构,所提架构能够实现光学存算一体。经过输入信号加载后的光脉冲传输到基于微环的Kernel阵列处时会依据波长选择性原理耦合进入不同的微环中,并分别从微环Through和Drop端口输出部分光脉冲,且每个端口的输出光脉冲强度分别为输入脉冲强度与经过GST调制后的Through和Drop端口透射率的乘积。根据权重的不同,每个微环Through和Drop端口的透射率也不相同。同时将两端口的输出送入平衡光电二极管中,实现减法操作并完成光电转换。所设计结构中负权重的实现方式为:假设输入脉冲的功率为 a 、权重为 h ,该脉冲将会通过微环的两个端口输出,由于微环两端口的透射率不同,故两端口的输出也不同。假设Drop端口的输出为 b ,Through端口的输出为 c ,输出光脉冲将会到达平衡光电二极管处,该器件将光转换成电的同时实现电流的相减(Drop端与Through端之差)。输出的电流 f 即为输入与权重相乘后的值,整个过程的表达式为 $f = b - c = a \times h$ 。 f 为负值表示权重为负权重,即 h 为负权重。

2.3 使用NVSP搭建NVSP-CNN架构

使用NVSP结构与非线性部分结合搭建一个可以用于图像处理的NVSP-CNN网络架构,如图5(a)所

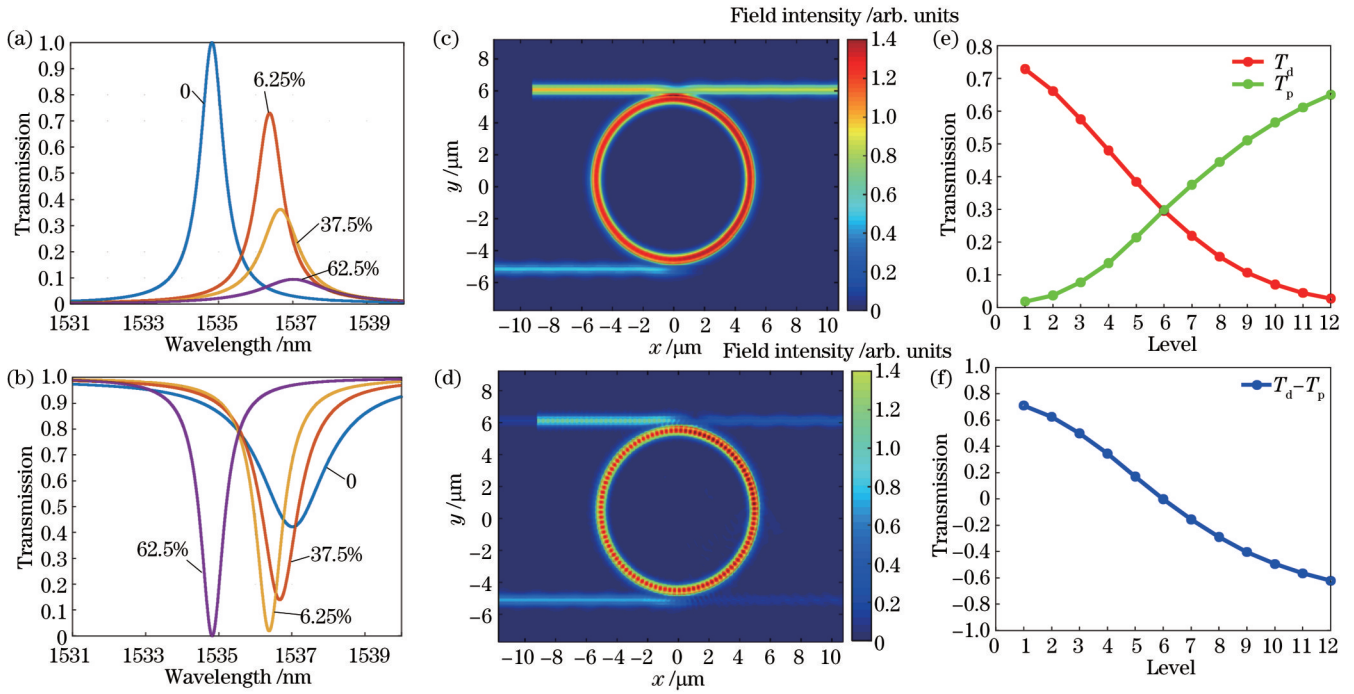


图 3 GST-MRR 性能图。(a) Drop 端口传输曲线图；(b) Through 端口传输曲线图；(c) 全非晶状态下的场强分布图；(d) 50% 晶化度下的场强分布图；(e) 两端口的传输曲线；(f) $T_d - T_p$ 曲线

Fig. 3 GST-MRR performance diagram. (a) Transmission curve of Drop port; (b) transmission curve of Through port; (c) field intensity distribution in completely amorphous state; (d) field intensity distribution at 50% crystallization degree; (e) transmission curves of two ports; (f) $T_d - T_p$ curve

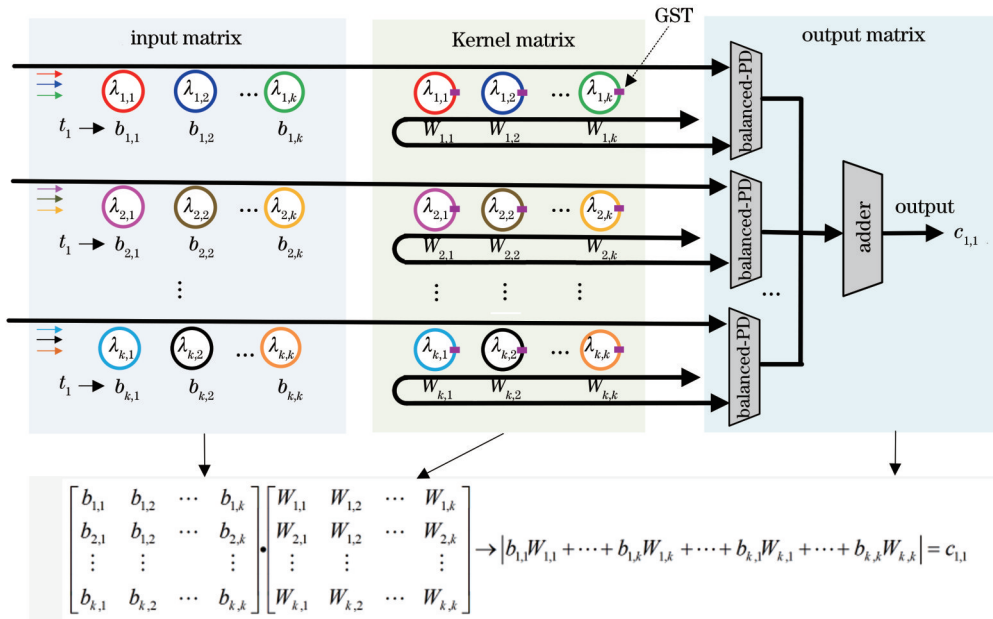


图 4 用于执行 MVM 的 NVSP 结构

Fig. 4 NVSP structure for executing MVM

示。卷积运算时需要将彩色图像进行处理,彩色图像由 R、G、B 三原色组成。卷积运算会将三维的矩阵 (RGB) 转换成二维的矩阵,将该二维矩阵与二维的卷积核进行乘加运算后可得到图像的卷积特征值。在进行卷积运算时,二维矩阵中的每一个元素与卷积核中相应位置的卷积核元素相乘,得到所有位置的元素相

乘结果后将所有元素相加,得到一个卷积特征值。图 5(b) 显示了当给该架构输入数字图像 6 时,该架构给出的识别结果。

完整的 NVSP-CNN 加速器架构如图 5(a) 所示。该加速器架构内部包含多个瓦片结构,各个瓦片之间通过路由器进行路由通信。每个瓦片结构内包含多个

光学处理单元 (PPU), 每个 PPU 通过总线进行数据通信。每个 PPU 内又包含用于实现 MVM 的光学线性部分与实现非线性功能的电学非线性部分。由于线性部分采用光脉冲进行调制, 调制的速率较高, 故又被称为高速频率区。由于非线性部分采用电脉冲进行调制, 调制的速率较低, 故又被称为低速频率区。光学线性部分内部包含激光器阵列、调制器阵列、光学存算一体矩阵乘法器和探测器阵列; 激光器阵列用于产生谐振光脉冲; 调制器阵列负责对这些输入谐振脉冲进行调制, 使其脉冲幅度发生变化; 光学存算一体矩阵乘法器内部包含由 GST 和微环搭建的权重阵列, 调制后的输入谐振

脉冲阵列与此处的权重阵列进行卷积运算, 利用探测器阵列对输出进行光电转换并利用平衡光电二极管极性的不同实现减法运算, 此时的输出结果将被用于低速工作频率区域中。在低速工作区中, 光域产生的输出结果将会经过激活、池化等非线性作用后, 最终将输出结果保存在外部存储器中。该架构的输入调制部分采用电调制, 该调制电流由低速工作区提供。同时, 权重阵列的调制过程是在片外完成的, 通过输入光脉冲实现权重值的读写和擦除, 由于 GST 具有非易失性特点, 故在 GST 的晶化度状态固定后, 外部环境稳定的情况下该状态能够保持数年甚至数十年之久。

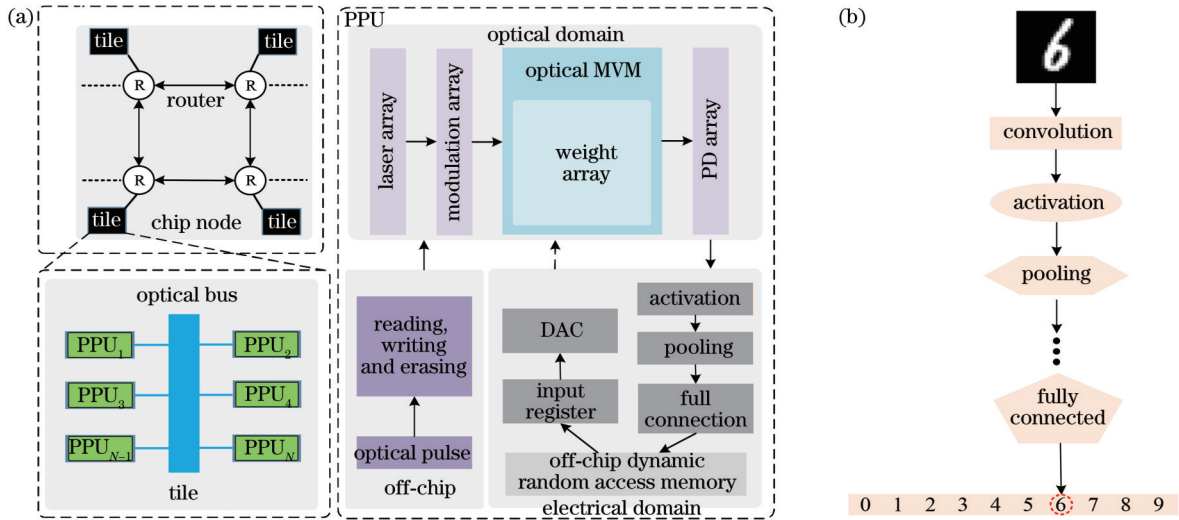


图 5 光 CNN 加速器的片上架构和 CNN 结构。(a) 光 CNN 加速器的片上架构; (b) CNN 结构

Fig. 5 On-chip structure of optical CNN accelerator and structure of CNN. (a) On-chip structure of optical CNN accelerator; (b) structure of CNN

3 仿真实验和性能分析

3.1 矩阵乘法功能仿真实验

卷积运算中最重要的部分就是进行矩阵乘加运算。使用该 NVSP 结构演示了在调制速率为 10 Gb/s 和 20 Gb/s 下的 4×4 矩阵乘加运算。在本次的矩阵乘法仿真中, 4 通道的输入采用的都是 0 或 1 的二进制序列, 如图 6(a) 的输入为 1 bit 的 0101110010 二进制序列。同时, 可以使用灰度值进行输入, 将灰度值转换为 0 与 1 之间的功率进行输入, 其输入值的大小与 MRR 的调制精度有关, 目前可以实现 4 bit 的调制精度。使用到的谐振波长分别为 1536.72、1541.28、1546.71、1552.15 nm, 图 6(a)~(d) 为使用到的 4 个输入谐振波长。卷积阵列由顶部嵌入 GST 的微环所调制, 通过使用不同晶化度下的 GST 实现权重的光学调制, 从而实现光学存内计算, 其中所用到的权重值为 $F = [0.159 \quad -0.266 \quad 0.373 \quad -0.433]$ 。图 6(e) 和 6(f) 分别表示在 10 Gb/s 和 20 Gb/s 速率下的输入与卷积相乘后的输出值, 其中: ideal 表示理论值, 其值是通过输入与理论上的权重值计算得到的; actual 表示实际通

过光学器件得到的卷积值。由于器件的弯曲损耗和器件之间有一定的串扰存在, 故实际权重值与理论值存在一定的偏差。在所设计的结构中, GST 用来存储权重值背后的原理为: 将不同晶化度的 GST 嵌入到波导顶部中, 不同 GST 的晶化度会对微环的透射率产生影响, 使得 Add-Drop 微环的 Drop 和 Through 端口的输出不同。通过仿真可以看出, 两者的拟合程度较高, 证明该 NVSP 结构可以用来执行一定规模的矩阵乘法运算。

3.2 功耗、面积和速率估计

单个 NVSP 结构所消耗的功率取决于调制 (输入) 与权重矩阵的宽度 m 和通道数 n 。为方便比较, 本文采用与 DEAP-CNN 架构相同的参数。在 DEAP 架构中, 输入阵列使用 n 个激光源, mn 个 MRR 和 mn 个数模转换器 (DAC), 权重阵列使用 mn 个 MRR, 产生的输出结果同样需要借助模数转换器 (ADC) 将模拟信号转换为数字信号。每个激光源的消耗功率为 100 mW, 每个电光调制的 MRR 消耗 19.5 mW, 每个 DAC 消耗 26 mW, ADC 消耗 76 mW。当 $m=100, n=12$ 时, 测得该 DEAP 结构消耗的功率为 112 W。在

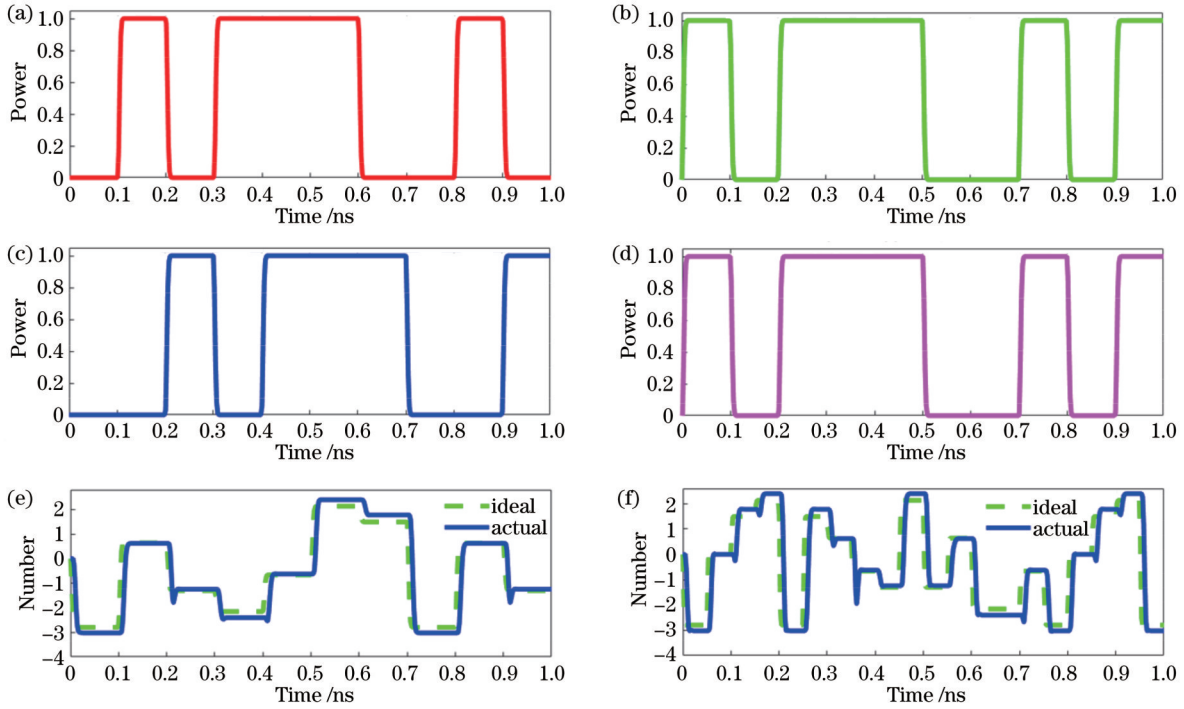


图 6 10 Gb/s 和 20 Gb/s 下的 4×4 光学 MVM 的波形示意图。(a) 输入脉冲 1 的波形; (b) 输入脉冲 2 的波形; (c) 输入脉冲 3 的波形; (d) 输入脉冲 4 的波形; (e) 10 Gb/s 下的输出卷积脉冲; (f) 20 Gb/s 下的输出卷积脉冲
 Fig. 6 Schematic diagrams of waveforms for 4×4 optical MVM with 10 Gb/s and 20 Gb/s modulation rates. (a) Waveform of input pulse 1; (b) waveform of input pulse 2; (c) waveform of input pulse 3; (d) waveform of input pulse 4; (e) output convolution pulse at 10 Gb/s; (f) output convolution pulse at 20 Gb/s

NVSP 结构中,采用相同数量的 MRR 来搭建卷积运算单元,与上述不同的是,NVSP 结构中的权重阵列属于无源结构,不需要进行电调制,故不需要 DAC 进行调制,同时微环也不需要供电进行状态维持,此时 NVSP 结构耗费的功率为 57.4 W。相比于 DEAP,所设计结构的功率减少了 48.75%。同时,由于 NVSP 结构不需要外加电源进行调制,即不需要外加电极来进行持续的电调制,故面积会有所减小。以 MVM 为例,在使用 DEAP 进行矩阵乘法时需要用到 32 个有源的 MRR,而 NVSP 结构需要 16 个无源微环和 16 个有源微环。单个 MRR 的半径为 5 μm,耦合间隙为 0.16 μm,假设单个微环的面积为 15 μm×15 μm。通常用于接收调制电流的电极大小为 150 μm×150 μm^[28],根据不同的制作工艺,电极的面积可以进一步缩小。每个有源微环需要两个电极进行调制。通过计算可得,NVSP 结构矩阵乘法单元的占用面积为 0.7272 mm²,而 DEAP 结构占用的面积为 1.4472 mm²,面积相对减少 49.75%。在计算速率方面,DEAP 系统的速率受到 DAC 切换速率的限制,故 DEAP 以 5 GSa/s 或 $t=200$ ps 的速率产生单个卷积像素。为了公平,NVSP 与 DEAP 采用同样的 DAC,其运算速度与 DEAP 相同。综上,该架构与 DEAP 架构在速率、面积和功耗之间的对比如表 1 所示。对于一个 4×4 规模的矩阵乘法器来说,NVSP 与 DEAP 的运算速率都可以达到 8×10^{10} MAC/s,而

NVSP 的计算密度为 1.100×10^{11} MAC·s⁻¹·mm⁻², DEAP 的计算密度为 0.552×10^{11} MAC·s⁻¹·mm⁻²。

表 1 DEAP 与 NVSP 的对比
 Table 1 Comparison between DEAP and NVSP

| Structure | Power / W | Area / mm ² | Speed / (GSa·s ⁻¹) |
|-----------|-----------|------------------------|--------------------------------|
| DEAP | 112.0 | 1.4472 | 5 |
| NVSP | 57.4 | 0.7272 | 5 |

为计算该 NVSP 架构的算力,使用 DeepBench 进行基准测试。DeepBench 为开源的测试工具,能够对硬件平台深度学习的性能进行评估。为很好地验证算力,该 NVSP 使用与 DEAP 架构相同的参数,具体参数如表 2 所示。其中, W 代表图像长度, H 代表图像高度, D 代表图像通道数, S 代表步长, K 代表输入光脉冲的个数, M 代表波分复用后的波导个数。

使用 DeepBench 进行基准测试,得到用于深度学习加速的各个器件的运算速率,如图 7 所示。可以发

表 2 NVSP 所用参数
 Table 2 Parameters used in NVSP

| Benchmark No. | W | H | D | M | K | S |
|---------------|-----|-----|-----|-----|-----|-----|
| 1 | 700 | 161 | 1 | 4 | 32 | 2 |
| 2 | 112 | 112 | 64 | 8 | 128 | 2 |

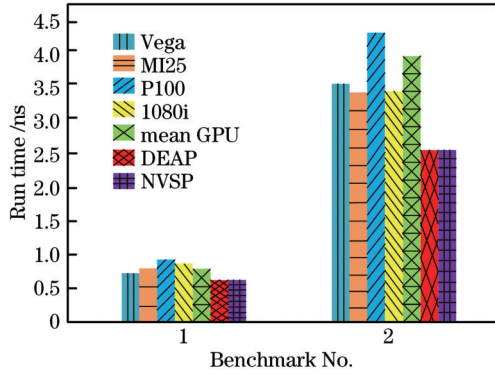


图 7 同样计算需求下不同加速器的运算时间对比
Fig. 7 Comparison of computing times of different accelerators under same computing requirements

现, NVSP 架构与 DEAP 架构的运算速率相同, 都受到 DAC 调制的限制, 并且两者的运算速率要快于 GPU。然而, 与 DEAP 相比, NVSP 架构在保持运算速率相同

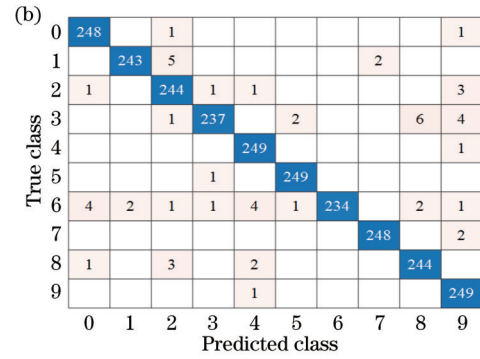
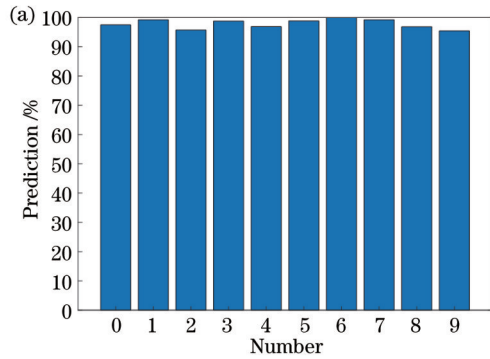


图 8 手写数字推理任务。(a) 每个数字的推理精度; (b) 输出的混淆矩阵
Fig. 8 Inference task for handwritten numbers. (a) Inference accuracy of each number; (b) output confusion matrix

使用该架构对较复杂的 notMNIST 数据集的 10000 张图片进行识别, notMNIST 提供了字母 A~J 的图片。图 9 所示为使用 NVSP 架构对 notMNIST 数据集进行推理的过程, 其中实线为线下的训练过程, 虚线为每次训练得到的权重数据加载到 NVSP 中后推理得到的精度, 最终得到的识别准确率为 92.45%。

4 结 论

提出了一种基于 MRR 与 GST 的低功耗、小尺寸的光子存算一体 CNN 加速器架构——NVSP。该架构通过将具有光学存储功能的 GST 嵌入到 MRR 的环形波导中组成具有存内计算功能的光学点积计算引擎, 结合 WDM 技术实现了大规模存算一体光学矩阵乘法器。由于 GST 只需要通过输入光脉冲的方式实现权重写入, 且常温下状态可以保持不变, 故具有非易失性。因此, NVSP 的权重矩阵在推理过程中不需要外加电源进行状态的调制和维持, 与传统的基于电光调制 MRR 的光子加速器架构 DEAP 相比, NVSP 的光

的同时能够大大减少功率损耗, 故其有望实现比 DEAP 更广泛的应用。

3.3 NVSP 性能分析

为了验证 NVSP 结构的推理能力, 对手写数字集 MNIST 和较复杂的 notMNIST 数据集进行识别。仿真中使用 NVSP 结构搭建一个三层卷积层、三层激活层、一层池化层和一层全连接层的 CNN 网络: 第一层卷积层使用 16 个 5×5 的卷积核, 第二层卷积层使用 16 个 3×3 的卷积核, 第三层卷积层使用 16 个 3×3 的卷积核, 卷积层中的最优权重值使用光学器件能够达到的权重值; 激活层使用 ReLu 激活函数; 池化层采用步长为 2 的最大池化层; 全连接层输出 10 个结果, 其中非线性层使用电学方法实现, 卷积部分使用 NVSP 实现。图 8(a) 展示了 MNIST 数据集中每个数字的推理精度。图 8(b) 为使用混淆矩阵表示每个数字的识别情况, 最终得到 97.80% 的识别准确率。

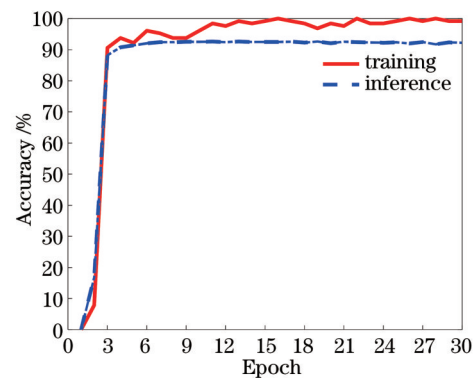


图 9 notMNIST 数据集训练和推理过程
Fig. 9 Training and interfacing processes of notMNIST dataset

学矩阵乘法器部分可以减少 49.75% 的面积和 48.75% 的功耗。此外, 基于 MNIST 和 notMNIST 数据集对 NVSP 架构的图像识别功能进行了验证, 分别得到了 97.80% 和 92.45% 的推理精度。综上所述, NVSP 结构能够在获得较高图像识别精度的情况下降低功耗和占地面积, 有望实现低能耗、高密度的光子计

算,满足未来图像识别任务的需要。

参 考 文 献

- [1] 邱江磊, 唐唯, 吴计, 等. 卷积神经网络在光学信息处理中的应用研究进展[J]. 激光与光电子学进展, 2021, 58(16): 1600001.
Di J L, Tang J, Wu J, et al. Research progress in the applications of convolutional neural networks in optical information processing[J]. Laser & Optoelectronics Progress, 2021, 58(16): 1600001.
- [2] Huang Y L, Huang B J, Cheng C T, et al. Feature extraction from images using integrated photonic convolutional kernel[J]. IEEE Photonics Journal, 2022, 14(3): 8829207.
- [3] 张灏, 王素珍, 郑宇, 等. 一种组合 GAUSS-filter、SOBEL、NMS、OTSU 4 种算法的图像边缘检测的 FPGA 实现[J]. 液晶与显示, 2020, 35(3): 250-261.
Zhang H, Wang S Z, Zheng Y, et al. FPGA implementation of image edge detection based on four algorithms of GAUSS-filter, SOBEL, NMS and OTSU[J]. Chinese Journal of Liquid Crystals and Displays, 2020, 35(3): 250-261.
- [4] Alawad M, Lin M J. Scalable FPGA accelerator for deep convolutional neural networks with stochastic streaming[J]. IEEE Transactions on Multi-Scale Computing Systems, 2018, 4(4): 888-899.
- [5] Jouppi N P, Young C, Patil N, et al. In-datacenter performance analysis of a tensor processing unit[C]//ISCA '17: Proceedings of the 44th Annual International Symposium on Computer Architecture, June 24-28, 2017, Toronto, ON, Canada. New York: ACM Press, 2017: 1-12.
- [6] 吴振华, 唐秋艳, 王中杰, 等. 自适应光学数值仿真成像在 GPU 上的实现[J]. 大气与环境光学学报, 2014, 9(3): 237-243.
Wu Z H, Tang Q Y, Wang Z J, et al. Numerical simulation of adaptive optical imaging on GPUs[J]. Journal of Atmospheric and Environmental Optics, 2014, 9(3): 237-243.
- [7] Miller D A B. Attojoule optoelectronics for low-energy information processing and communications[J]. Journal of Lightwave Technology, 2017, 35(3): 346-396.
- [8] Tait A N, de Lima T F, Zhou E, et al. Neuromorphic photonic networks using silicon photonic weight banks[J]. Scientific Reports, 2017, 7(1): 7430.
- [9] Shen Y C, Harris N C, Skirlo S, et al. Deep learning with coherent nanophotonic circuits[J]. Nature Photonics, 2017, 11(7): 441-446.
- [10] Fang M Y S, Manipatruni S, Wierzynski C, et al. Design of optical neural networks with component imprecisions[J]. Optics Express, 2019, 27(10): 14009-14029.
- [11] Liu W C, Liu W Y, Ye Y C, et al. HolyLight: a nanophotonic accelerator for deep learning in data centers[C]//2019 Design, Automation & Test in Europe Conference & Exhibition (DATE), March 25-29, 2019, Florence, Italy. New York: IEEE Press, 2019: 1483-1488.
- [12] Bangari V, Marquez B A, Miller H, et al. Digital electronics and analog photonics for convolutional neural networks (DEAP-CNNs) [J]. IEEE Journal of Selected Topics in Quantum Electronics, 2020, 26(1): 7701213.
- [13] Xu S F, Wang J, Zou W W. Optical convolutional neural network with WDM-based optical patching and microring weighting banks[J]. IEEE Photonics Technology Letters, 2021, 33(2): 89-92.
- [14] Ohno S, Toprasertpong K, Takagi S, et al. Demonstration of classification task using optical neural network based on Si microring resonator crossbar array[C]//2020 European Conference on Optical Communications (ECOC), December 6-10, 2020, Brussels, Belgium. New York: IEEE Press, 2020.
- [15] Shiflett K, Wright D, Karanth A, et al. PIXEL: photonic neural network accelerator[C]//2020 IEEE International Symposium on High Performance Computer Architecture, February 22-26, 2020, San Diego, CA, USA. New York: IEEE Press, 2020: 474-487.
- [16] Jiang Y, Zhang W J, Yang F, et al. Photonic convolution neural network based on interleaved time-wavelength modulation[J]. Journal of Lightwave Technology, 2021, 39(14): 4592-4600.
- [17] Mehrabian A, Miscuglio M, Alkabani Y, et al. A Winograd-based integrated photonics accelerator for convolutional neural networks[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2020, 26(1): 6100312.
- [18] Tait A N, Nahmias M A, Shastri B J, et al. Broadcast and weight: an integrated network for scalable photonic spike processing[J]. Journal of Lightwave Technology, 2014, 32(21): 4029-4041.
- [19] Guo P X, Hou W G, Guo L, et al. Potential threats and possible countermeasures for photonic network-on-chip[J]. IEEE Communications Magazine, 2020, 58(9): 48-53.
- [20] Hou W G, Guo P X, Guo L, et al. O-star: an optical switching architecture featuring mode and wavelength-division multiplexing for on-chip many-core systems[J]. Journal of Lightwave Technology, 2022, 40(1): 24-36.
- [21] 刘春娟, 王嘉伟, 吴小所, 等. 一种光栅辅助狭缝微环谐振器的传感特性[J]. 光学学报, 2022, 42(16): 1631001.
Liu C J, Wang J W, Wu X S, et al. Sensing characteristics of grating-assisted slot microring resonator [J]. Acta Optica Sinica, 2022, 42(16): 1631001.
- [22] Feldmann J, Youngblood N, Karpov M, et al. Parallel convolutional processing using an integrated photonic tensor core [J]. Nature, 2021, 589(7840): 52-58.
- [23] Feldmann J, Youngblood N, Wright C D, et al. All-optical spiking neurosynaptic networks with self-learning capabilities[J]. Nature, 2019, 569(7755): 208-214.
- [24] Chakraborty I, Saha G, Sengupta A, et al. Toward fast neural computing using all-photonic phase change spiking neurons[J]. Scientific Reports, 2018, 8: 12980.
- [25] 郭鹏星, 赵鹏, 侯维刚, 等. 基于相变材料的光子数模转换用于产生任意波形[J]. 光学学报, 2022, 42(15): 1513001.
Guo P X, Zhao P, Hou W G, et al. Phase-change material-based photonic digital-to-analog converter for arbitrary waveform generation[J]. Acta Optica Sinica, 2022, 42(15): 1513001.
- [26] 李钧颖. 通讯波段透明的 Ge-Sb-Se-Te 非易失光学相变材料及器件[D]. 重庆: 重庆大学, 2018.
Li J Y. Telecom-wavelength-transparent Ge-Sb-Se-Te nonvolatile optical phase change materials and devices[D]. Chongqing: Chongqing University, 2018.
- [27] 吕元帅, 汪成根, 袁伟, 等. 基于相变材料的可重构模式复用光波导开关[J]. 光学学报, 2021, 41(17): 1723001.
Lü Y S, Wang C G, Yuan W, et al. Reconfigurable mode multiplexer waveguide switch based on phase change material[J]. Acta Optica Sinica, 2021, 41(17): 1723001.
- [28] Nikolova D, Calhoun D M, Liu Y, et al. Modular architecture for fully non-blocking silicon photonic switch fabric[J]. Microsystems & Nanoengineering, 2017, 3: 16071.

Photonic Convolutional Neural Network Accelerator Assisted by Phase Change Material

Guo Pengxing^{1,2}, Liu Zhiyuan^{1,2}, Hou Weigang^{1,2*}, Guo Lei^{1,2}

¹*School of Communication and Information Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, China;*

²*Institute of Intelligent Communication and Network Security, Chongqing University of Posts and Telecommunications, Chongqing 400065, China*

Abstract

Objective The convolutional neural network (CNN) has achieved great success in computer vision and image and speech processing due to its high recognition accuracy. This success cannot be separated from the support of the hardware accelerator. However, the rapid development of artificial intelligence has led to a dramatic increase in the amount of data, which places stricter requirements on the computing power of hardware accelerators. Limited by the power and speed of electronic devices, traditional electronic accelerators can hardly meet the requirements of hardware computing power and energy consumption for large-scale computing operations. As an alternative, micro-ring resonator (MRR) and Mach-Zehnder interferometer (MZI)-based silicon photonic accelerators provide an effective solution to the problem faced by electronic accelerators. However, prior photonic accelerators need to read the weights from the external memory when performing the multiply-accumulate operation and mapping each value to the bias voltage of the MRR or MZI units, which increases the area and energy consumption. To solve the above problems, this paper proposes a nonvolatile silicon photonic convolutional neural network (NVSP-CNN) accelerator. This structure uses the Add-Drop MRR and nonvolatile phase change material $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) to realize optical in-memory computing, which helps improve energy efficiency and computing density.

Methods Firstly, we design a photonic dot-product engine on the basis of GST and the Add-Drop MRR (Fig. 2). The GST is embedded on the top of the MRR, and its different crystallization degrees are used to change the refractive index of the MRR, which makes the output power of the Through and Drop ports change. The crystallization degree of GST is modulated outside the chip, and the light pulse increases the internal temperature of GST to change the crystallization degree. It is then cooled rapidly so that the crystallization state is preserved. This value remains unchanged for a long time without external current. During computational operations, a short and low-power optical pulse is injected from the MRR's input port and output from the Drop and Through ports. The output optical power is converted to electric power through a balanced photodiode, and $T_d - T_p$ is realized in the meantime. Therefore, the values of $T_d - T_p$ under different GST phase states can be used as the weight values in the neural network (Fig. 3). Then, we propose an optical matrix multiplier combined with wavelength division multiplexing (WDM) technology and the GST-MRR-based photonic dot-product engine (Fig. 4). Finally, the optical matrix multiplier is combined with the nonlinear parts (activation, pooling, and full connectivity) to build a complete accelerator, i. e., the NVSP-CNN accelerator (Fig. 5). In NVSP-CNN, the convolution operation is implemented optically, and the nonlinear part is realized electrically.

Results and Discussions As a proof of concept, a 4×4 optical matrix multiplication with 10 Gb/s and 20 Gb/s data rates is verified by the simulation platform Ansys Lumerical. Four wavelengths are used as the input pulse, which is a binary sequence composed of 0 or 1. The output value obtained by optical simulation has a high fit with the theoretical calculation value (Fig. 6). Then, the NVSP-CNN is compared with the DEAP-CNN structure in terms of the rate, area, power consumption, and accuracy. Similar to the case of DEAP-CNN, the computing rate of the NVSP structure is limited by the digital-to-analog converter (DAC) modulation rate. The highest operation rate can reach 5 GSa/s, which is faster than the operation rate of the mainstream GPU. Compared with DEAP-CNN, the proposed accelerator structure can reduce power consumption by 48.75% while maintaining the original operation speed, and the area at the matrix operation can be reduced by 49.75%. Finally, the simulations on the MNIST and notMNIST datasets are performed, and inference accuracies of 97.80% and 92.45% are achieved, respectively. The recognition results show that the accelerator structure can complete most image recognition tasks in life.

Conclusions This paper proposes an MRR and GST-based photonic CNN accelerator structure for in-memory computing. Unlike the traditional MRR-based accelerator, the NVSP-CNN accelerator can avoid the power loss caused by the continuous external power supply for state maintenance and does not require external electrical pads for modulation.

Hence, it can effectively reduce area loss. In addition, we implement the simulations on the MNIST and notMNIST datasets and achieve inference accuracies of 97.80% and 92.45%, respectively. Therefore, the proposed structure has advantages in power consumption, area loss, and recognition accuracy, which is expected to tackle most image recognition tasks in the future.

Key words machine vision; photonic convolutional neural network accelerator; micro-ring resonator; phase change material; in-memory computing