

光学学报

紧凑低损耗粗波分解复用芯片

王亮亮^{1*}, 张家顺¹, 安俊明¹, 李绍洋¹, 胡炎彰², 常夏森²

¹中国科学院半导体研究所集成光电子学国家重点实验室, 北京 100083;

²河南仕佳光子科技股份有限公司河南省光电芯片与集成重点实验室, 河南 鹤壁 458030

摘要 数据中心光互连正朝着高速方向发展。针对数据中心光互连过程, 采用折射率差为 1.5% 的石英基二氧化硅波导, 设计并制备了光电集成的小型化、低损耗、小输出模场的四通道粗波分解复用芯片, 该芯片满足高速数据中心 200 Gbit · s⁻¹/400 Gbit · s⁻¹ 的传输速率要求, 最小插入损耗小于 1.07 dB, 1 dB 带宽大于 13.7 nm, 3 dB 带宽大于 16.1 nm, 偏振相关损耗小于 0.08 dB, 相邻串扰大于 24 dB, 非相邻串扰大于 30 dB。所设计的芯片完全满足高速数据中心光互连的波分复用芯片商用要求。

关键词 光学器件; 粗波分解复用; 数据中心光互连; 石英基

中图分类号 TN252

文献标志码 A

doi: 10.3788/AOS202141.0923001

Compact and Low Loss Coarse Wavelength Division Demultiplexer Chip

Wang Liangliang^{1*}, Zhang Jiashun¹, An Junming¹, Li Shaoyang¹,
Hu Yanzhang², Chang Xiasen²

¹ State Key Laboratory of Integrated Optoelectronics, Institute of Semiconductors,
Chinese Academy of Sciences, Beijing 100083, China;

² Key Laboratory of Optoelectronic Circuit and Integration, Henan Shijia Photons Technology Co., Ltd.,
Hebi, Henan 458030, China

Abstract The optical interconnection speed of data center is developing rapidly in recent years. As for the optical interconnection of data center, a compact, low-loss, and small output mode field four-channel coarse wavelength division demultiplexer chip is designed and fabricated, which is using quartz-based silica optical waveguide with 1.5% refractive index difference. This chip can meet the transmission velocity requirement of 200 Gbit · s⁻¹/400 Gbit · s⁻¹ for high-speed data center. The minimum insertion loss is less than 1.07 dB, the 1 dB bandwidth is larger than 13.7 nm and the 3 dB bandwidth is larger than 16.1 nm. The polarization-dependent loss is smaller than 0.08 dB, the adjacent crosstalk is larger than 24 dB, and the non-adjacent crosstalk is larger than 30 dB. The designed chip can fully meet the commercial requirements of a wavelength division demultiplexer chip for optical interconnect of high-speed data center.

Key words optical devices; coarse wavelength division demultiplexer; data center optical interconnection; quartz substrates

OCIS codes 230.7408; 230.7380; 220.4610

收稿日期: 2020-09-09; 修回日期: 2020-10-13; 录用日期: 2020-12-01

基金项目: 国家重点研发计划(2018YFB2200603)、国家自然科学基金(61805232)、中国科学院战略性先导科技专项(B类)(XDB43000000)

* E-mail: wangliang109@semi.ac.cn

1 引言

随着大数据、云服务、移动应用等大流量服务的快速普及,数据中心的交换速率需求也日益提升。采用波分复用方式将不同波长的光信号复用到一根光纤上以实现不同波长的光信号并行传输,可成倍提升传输速率。波分复用方式具有成本低、扩展性强等优点,是数据中心光互连中传输速率为 $200 \text{ Gbit} \cdot \text{s}^{-1}$ / $400 \text{ Gbit} \cdot \text{s}^{-1}$ 的收发组件和模块的优先选择。实现波分复用技术常用的方法有棱镜法、熔融拉锥法、介质薄膜滤波片法、光纤光栅法和阵列波导光栅(Array Waveguide Grating, AWG)法等^[1]。在早期数据中心光互连中,介质薄膜滤波片法因其通道数灵活、隔离度高、无须温控等优点而得到了广泛应用,但器件性能和成本随着通道数的增大呈正比例变化,且集成度不高。阵列波导光栅法因其低成本、高分辨率和易于集成等优点,受到研究者的青睐。

2010年, Arima等^[2]采用介质薄膜滤波片的波分复用方式来实现发射和接收,单路传输速率可达 $28 \text{ Gbit} \cdot \text{s}^{-1}$,四路最高传输速率达 $112 \text{ Gbit} \cdot \text{s}^{-1}$ 。Kang等^[3]报道了一种以介质薄膜滤波片为基础实现的粗波分解复用(Coarse Wavelength Division Demultiplexer, CWDM)接收组件。该粗波分解复用器的插入损耗小于 1.25 dB ,串扰大于 35 dB ,具有较好的光学特性。介质薄膜滤波片法具有通道数灵活、隔离度高、无须温控等优点,在早期的数据中心光互连中的应用较多。

随着 AWG 芯片损耗的较低及人们对器件集成度要求的提高,AWG 在数据中心光互连中的应用越来越多。Doi等^[4-5]采用阵列波导光栅和探测器芯片混合集成的方式实现接收芯片,芯片包含 4 个探测器、4 个跨阻放大器和 1 个紧凑硅基二氧化硅 AWG, AWG 的输入波导为单模且输出波导为多模,采用硅基二氧化硅波导, AWG 芯片尺寸为 $9.5 \text{ mm} \times 5 \text{ mm}$,通带内损耗小于 1.3 dB 。探测器灵敏度大于 0.7 A/W ,在误码率为 10^{-12} 的条件下,最小接收灵敏度小于 -13.4 dBm 。后续 Doi等^[6]又报道了传输速率达 $8 \times 50 \text{ Gbit} \cdot \text{s}^{-1}$ 的混合集成芯片, AWG 的插入损耗小于 1.5 dB ,探测器响应度为 0.7 A/W ,在误码率为 2×10^{-4} 的条件下接收灵敏度小于 -11.5 dBm 。2014年, Ferrari等^[7]报道了 16 通道混合集成的传输速率达 $400 \text{ Gbit} \cdot \text{s}^{-1}$ 的光接收器,整个器件的插入损耗小于 2 dB ,灵敏度

小于 -10 dBm ,并采用 2.0% 的折射率差制作了 O 波段波长间隔为 1.7 nm 的 16 通道解复用 AWG。Li等^[8]在 2017 年报道了 8 通道 10 GHz 混合集成光接收组件及相应的解复用 AWG 芯片,其混合集成接收组件采用一个 8 通道解复用 AWG 芯片、两组探测器阵列及跨阻放大器,其 8 通道解复用 AWG 芯片尺寸为 $11 \text{ mm} \times 4 \text{ mm}$ 。后续 Li等^[9]又报道了应用于数据中心光互连中的 4 通道 20 GHz 混合集成光接收组件,探测器灵敏度为 0.4 A/W , 4 通道解复用 AWG 芯片的传输损耗为 1.5 dB 。

自 Smit^[10]在 1988 年提出 AWG 之后, AWG 芯片作为数据中心收发组件的核心芯片,得到了广泛的研究^[11-21],但关于应用于数据中心的小型化 AWG 芯片的研究鲜有报道。2004 年,刘青等^[22]报道了一种 8 通道 CWDM AWG 芯片。2017 年,李超懿等^[23]报道了一款 8 通道局域网(Local Area Network, LAN) AWG 芯片,尺寸为 $11 \text{ mm} \times 4 \text{ mm}$,最小插入损耗为 3.3 dB ,相邻通道间的串扰大于 20 dB 。

AWG 在传输速率达 $200 \text{ Gbit} \cdot \text{s}^{-1}$ / $400 \text{ Gbit} \cdot \text{s}^{-1}$ 的数据中心光互连中的应用研究正在逐步增加。大多研究主要集中在减小尺寸和降低损耗,鲜有根据 AWG 实际应用场景对 45° 转角的影响进行详细的分析。本文基于高速数据中心探测器对模场的要求,详细分析了影响模场的核心因素,并进行了分析优化,设计并制备了高速数据中心光电集成的紧凑 4 通道 CWDM AWG 芯片。

2 阵列波导光栅芯片设计

CWDM AWG 芯片的结构示意图如图 1 所示,它主要由输入波导、平板波导、阵列波导和输出波导组成,其中 Δx_i 为输入波导间距, Δx_o 为输出波导间距, θ_i 和 θ_o 分别为输入波导和输出波导与中心波导的夹角, d 为阵列波导的间距, i_i 为第 i 个输入通道, $\Delta \theta_i$ 为相邻输入波导的夹角, R 为罗兰圆半径, i_o 为第 i 个输出通道, $\Delta \theta_o$ 为相邻输出波导的夹角。其基本工作原理为:左侧宽谱光信号通过耦合结构进入中间输入波导,在左侧平板波导区域内发生衍射;因阵列波导都在罗兰圆位置上,衍射光将以相同相位到达阵列波导端面,并耦合进入阵列波导区域,经过长度差为 ΔL 的阵列波导区域后,产生相位差;由于不同波长的光产生的相位差不同,因此不同波长的光从阵列波导区域右侧输出后经右侧平板区聚焦到输出波导不同的位置处,从而实现解复用的功能。CWDM AWG 满足的光栅方程为

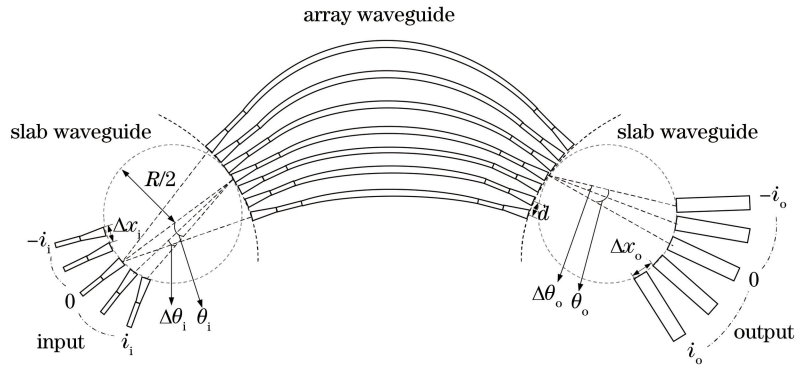


图 1 CWDM AWG 芯片的结构示意图

Fig. 1 Structural diagram of CWDM AWG chip

$$n_s d \sin \theta_i + n_s d \sin \theta_o + n_c \Delta L = m \lambda, \quad (1)$$

式中： n_s 为平板波导的有效折射率； n_c 为阵列波导的有效折射率； m 为衍射级数； λ 为入射光波长； ΔL 为相邻两个阵列波导的长度差。在中心输入和输出处，(1)式可简化为

$$n_c \Delta L = m \lambda_0, \quad (2)$$

式中： λ_0 为入射光的中心波长。衍射级数 m 满足

$$F_s = \lambda_0 n_c / (m n_g), \quad (3)$$

式中： n_g 为群折射率； F_s 为自由波谱区波长。

采用折射率差为 1.5% 的石英基二氧化硅光波导，下包层为纯的石英衬底，折射率为 1.444，上包层为硼磷掺杂的二氧化硅，折射率为 1.447，芯区折射率为 1.469。为了实现芯片的单模传输，采用截面尺寸为 $4.5 \mu\text{m} \times 4.5 \mu\text{m}$ 的方形波导。4 通道 CWDM 的波长分别为 1271 nm (CH1)、1291 nm (CH2)、1311 nm (CH3) 和 1331 nm (CH4)，中心波

长 λ_0 为 1301 nm。

第一步，确定(1)式中的 n_s 、 n_c 和 n_g 的值。采用三维光束传播法计算出中心波长处平板波导的有效折射率 n_s 为 1.465769，阵列波导的有效折射率 n_c 为 1.46207，并仿真出 λ_0 附近的 n_c 。由于

$$n_g = n_c - \lambda_0 \frac{dn_c}{d\lambda}, \quad (4)$$

计算出中心波长处的群折射率 n_g 为 1.487427。

第二步，确定 F_s 、 m 和 ΔL 的值。CWDM AWG 芯片的波长间隔为 20 nm， F_s 越大，器件的均匀性越好，但尺寸也会越大。相反， F_s 越小，芯片尺寸越小，但芯片的均匀性会恶化。为了提高通道间的均匀性并保证较小的芯片尺寸，最终 F_s 选择为 1.5 倍的信道带宽，如图 2 所示。通过(2)、(3)式分别得出阵列波导长度差 ΔL 为 8.898 μm ，衍射级数 m 为 10。

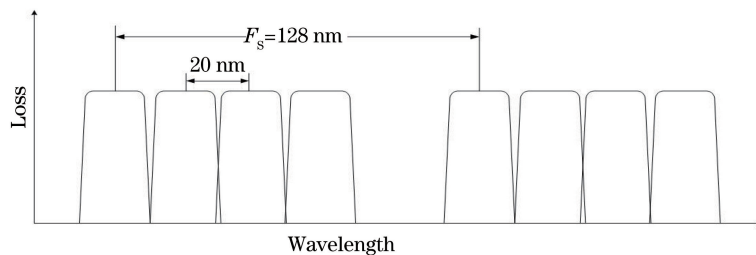


图 2 F_s 的选择及波长分配示意图

Fig. 2 Schematic of F_s selection and wavelength assignment

第三步，确定 d 和 $\Delta x_i / \Delta x_o$ 。为了减小阵列波导传输中的串扰，阵列波导间距 d 需要采用解耦合安全间距，但过大的 d 会导致整体器件尺寸偏大。采用三维光束传播法，对不同波导间距 d 下的传输串扰分别进行了模拟，模拟结构示意图如图 3(a) 所示，其中 w 为单模的波导宽度，模拟结果如图 3(b) 所示。可以看出，当波导间距 $d < 7 \mu\text{m}$ 时，通道 1/

通道 3 的输出功率呈现较大的抖动，这主要是因为间距 d 较小时，波导之间的耦合非常剧烈，导致输出功率呈现较大的抖动。当波导间距 $d > 7 \mu\text{m}$ 时，随着波导间距的增大，通道 2 的功率呈现明显的增大趋势，通道 1/通道 3 的功率呈现明显的下降趋势。这主要是因为随着波导间距的增大，波导间的耦合系数减小，耦合效率降低，这有助于减小波导间

的串扰,但较大的波导间距导致器件尺寸较大,不利于器件的集成。从图 3 中可以看出,当波导间距 $d > 10 \mu\text{m}$ 时,波导之间的耦合很小且基本趋于稳

定,此时耦合到通道 1/通道 3 的功率仅为 0.00069,波导间的串扰 $> 31 \text{ dB}$,完全满足要求,综合考虑选择阵列波导间距 d 为 $10 \mu\text{m}$ 。

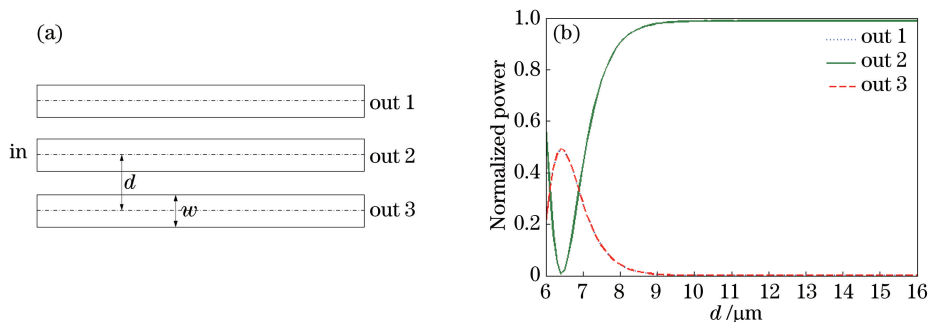


图 3 串扰模拟。(a)模拟结构示意图;(b)模拟结果

Fig. 3 Crosstalk simulation. (a) Schematic of simulated structure; (b) simulated result

确定完阵列波导间距之后确定 $\Delta x_i/\Delta x_o$,左右两侧输入和输出间距采用对称结构,选择 $\Delta x_i = \Delta x_o$,此时只需确定输出波导间距 Δx_o 即可。为了降低芯片和探测器的耦合损耗,输出端采用多模波导的形式,并对阵列波导光栅芯片进行平坦化处理。多模波导宽度越宽,可容纳的波导模式越多,平坦效果越好,芯片损耗越低。

响探测器的探测灵敏度、带宽等参数。在较低速率应用场景下,所需探测器速率较低。由于探测器光敏面面积和探测器速率呈反比,此时光敏面面积较大,可以接收较大模斑的光场,因此对多模波导宽度要求相对较低。但在高速率应用场景下,随着探测器速率的提升,光敏面面积减小,能接收的模斑大小也减小,因此对多模波导宽度要求较高。

CWDM AWG 芯片最终的应用场景是高速率的接收组件和模块,其与探测器的耦合是采用 45° 转角实现的。除了芯片的损耗、串扰、带宽等参数以外,转角后波导模场和探测器的耦合效率将直接影

响探测器的探测灵敏度、带宽等参数。在较低速率应用场景下,所需探测器速率较低。由于探测器光敏面面积和探测器速率呈反比,此时光敏面面积较大,可以接收较大模斑的光场,因此对多模波导宽度要求相对较低。但在高速率应用场景下,随着探测器速率的提升,光敏面面积减小,能接收的模斑大小也减小,因此对多模波导宽度要求较高。

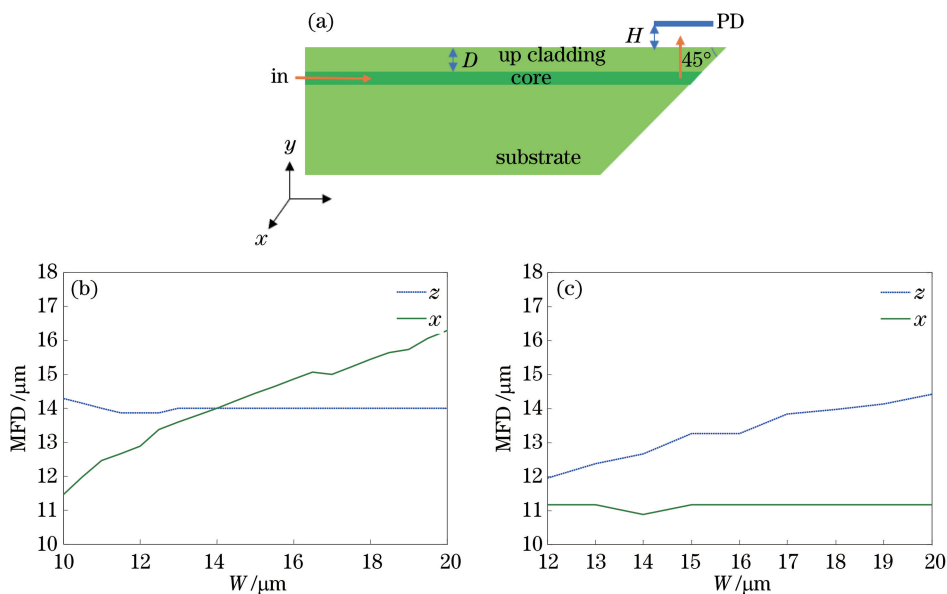


图 4 转角结构及探测器接收的 MFD 随 W 和 D 的变化。(a)解复用芯片 45° 转角和探测器耦合结构示意图;

(b) $D=20 \mu\text{m}$ 时 MFD 随 W 的变化;(c) $W=10 \mu\text{m}$ 时 MFD 随 D 的变化

Fig. 4 Structure of intersection angle and MFD received by detector versus W and D . (a) Diagram of demultiplexing chip 45° angle and detector coupling structure; (b) MFD versus W when $D=20 \mu\text{m}$; (c) MFD versus D when $W=10 \mu\text{m}$

D , 波导上表面与探测器 (Photodetector, PD) 的距离为 H 。 H 越小, 耦合效率越高, 但较小的 H 会增大接收组件的组装难度、容差等, 不利于大规模生产, 这里选择 H 为 $20\ \mu\text{m}$ 。

多模波导宽度 W 和上包层厚度 D 对探测器接收的模场直径 (mode field diameter, MFD) 的影响如图 4(b)、(c) 所示。可以看出, 随着多模波导宽度 W 的增大, x 方向的 MFD 有明显增大趋势, 但 W 对 z 方向 MFD 的影响不大; 随着上包层厚度 D 的增大, z 方向的 MFD 有明显增大趋势, 但 D 对 x 方向 MFD 的影响不大。常规的传输速率为 $25\ \text{Gbit} \cdot \text{s}^{-1}$ 的探测器的光敏面直径约为 $20\ \mu\text{m}$, 其有效区域为 $\sim 14\ \mu\text{m} \times 14\ \mu\text{m}$ 的正方形区域, 传输速率为 $50\ \text{Gbit} \cdot \text{s}^{-1}$ 的探测器的光敏面直径约为 $16\ \mu\text{m}$, 其有效区域为 $\sim 11\ \mu\text{m} \times 11\ \mu\text{m}$ 的正方形区域。为了使芯片能兼容更高速率, 我们选择多模波导宽度为 $10\ \mu\text{m}$ 。为了保证较小的输出模场直径及较大的带宽, 在靠近罗兰圆处采用锥形变窄结构, 此处多模波导宽度为 $11\ \mu\text{m}$, 通过 $200\ \mu\text{m}$ 锥形波导后, 多模宽度变窄为 $10\ \mu\text{m}$ 。

从图 4(c) 中可以看出, 多模波导宽度主要影响 x 方向的 MFD, 上包层厚度 D 主要影响 z 方向的 MFD。上包层厚度 D 越小, z 方向 MFD 越小, 但上包层厚度 D 不可能无限小, 过小的 D 将导致波导模式泄露, 进而传输损耗增大。

针对上包层厚度 D 对波导传输损耗的影响, 采用三维光束传播法进行模拟分析。图 5 是不同上包层厚度 D 下的波导传输损耗, 可以看到, 当上包层厚度 D 较小时, 波导传输损耗较大, 这主要是由于上包层厚度较小, 光波导无法被完全限制在芯层内, 导致芯区内的光有一部分泄露到波导外面。在上包层厚度 D 大于 $2\ \mu\text{m}$ 后, 传输损耗已经很小且趋于稳定, 但考虑到实际制作及加工工艺, 上包层工艺完成后波导平整度及 45° 转角崩裂等因素可能会对最

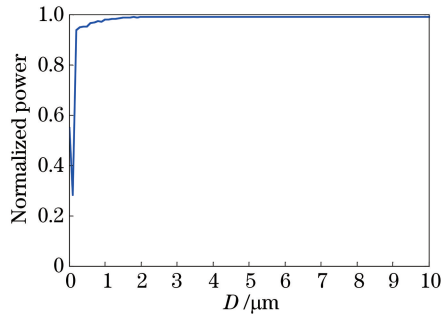


图 5 上包层厚度 D 对输出功率的影响

Fig. 5 Output power versus upper coating layer thickness D

终芯片的性能产生影响, 最终选择上包层厚度 D 约为 $10\ \mu\text{m}$, 此时可以实现 z 方向较小的 MFD。

在多模波导宽度确定的基础上, 接下来确定输出间距 Δx_0 , 研究输出间距对多模波导串扰及输出带宽的影响。对于 CWDM 芯片, 波长间隔为 $20\ \text{nm}$, 实际使用场景对芯片的带宽要求 $> 13\ \text{nm}$, 考虑到温度偏移等因素的影响, 最终选择芯片带宽为 $13.5\ \text{nm}$ 左右, 输出间距 Δx_0 为 $15\ \mu\text{m}$ 。

最后一步确定 R 和阵列波导数 N 。通过 (1) 式, 可以推导出通道间隔与角色散的关系为

$$\Delta\lambda = \frac{\Delta x_0 n_s dn_c}{R m n_g}, \quad (5)$$

式中: $\Delta\lambda$ 为通道间隔。为了使阵列波导能收集尽量多的输入光波导的衍射光场并充分考虑输出光谱的串扰抑制情况, 根据已确定的上述参数, 确定 R 为 $1080.59\ \mu\text{m}$ 。在高斯光场近似下, 阵列波导满足

$$N \geq \frac{\lambda_0 R \sqrt{2} [-\ln(0.10)]}{\pi n_s \omega_0 d}, \quad (6)$$

式中: λ_0 为中心波长; ω_0 为模场半径。最终确定阵列波导数 N 为 51。

整个设计流程如图 6 所示。在上述参数确定完成以后, 绘制 CWDM AWG 芯片版图, 并设计晶圆版图及制作掩模版。单个芯片版图结构如图 7 所示, 为了便于光纤阵列匹配, 输出间距选取 $250\ \mu\text{m}$, 最终芯片尺寸为 $9.5\ \text{mm} \times 1.8\ \text{mm}$, 最终性能和尺寸如表 1 所示。

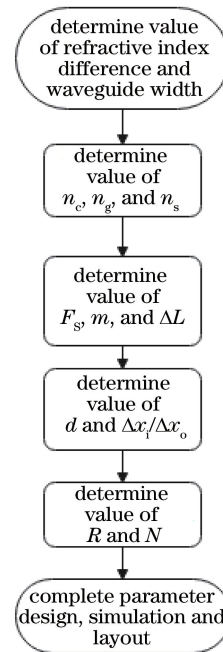


图 6 设计流程

Fig. 6 Flow chart of design

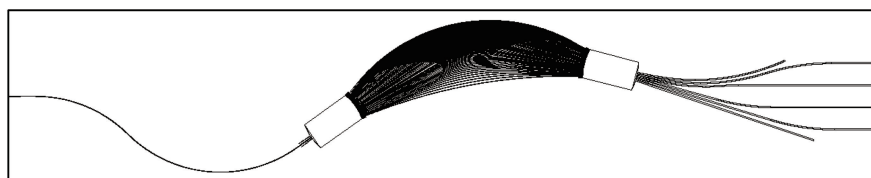


图 7 CWDM AWG 芯片版图

Fig. 7 CWDM AWG chip layout

表 1 CWDM AWG 芯片的性能和尺寸

Table 1 Performance and size of CWDM AWG chip

Parameter	Value
Channel number	4
λ_0/nm	1301
Channel spacing /nm	20
n_c	1.462070
n_s	1.465769
n_g	1.487427
$\Delta x_i/\mu\text{m}$	15
$\Delta x_o/\mu\text{m}$	15
$d/\mu\text{m}$	10
m	10
$\Delta L/\mu\text{m}$	8.898
$R/\mu\text{m}$	1080.59
N	51
Chip size / (mm \times mm)	9.5 \times 1.8

3 工艺制备及测试分析

CWDM AWG 芯片制备采用的是 6 英寸 (1 inch=2.54 cm) 石英衬底。首先在 6 英寸石英衬底上,采用等离子体增强化学气相沉积技术生长厚度为 $4.5\ \mu\text{m}$ 的掺锗二氧化硅芯层,在芯层上面涂覆一层掩模层和光刻胶;再利用设计制作的光掩模版,将图形通过光刻方式转移到光刻胶上,并利用电感耦合等离子体刻蚀将图形从光刻胶转移至掩模层,然后转移到芯层;去掉掩模层,进行二氧化硅上包覆盖,得到 CWDM AWG 晶圆,通过切割、磨抛得到 CWDM AWG 芯片,其实物照片如图 8 所示。

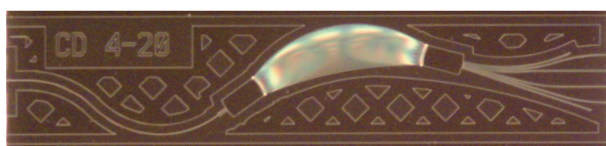


图 8 芯片实物照片

Fig. 8 Physical map of chip

对 CWDM AWG 芯片进行测试,其测试光谱如图 9 所示,并根据相关定义计算出各参数性能,插损最小值 $<1.07\ \text{dB}$, $1\ \text{dB}$ 带宽 $>13.7\ \text{nm}$, $3\ \text{dB}$ 带

宽 $>16.1\ \text{nm}$, 波长精准度偏差 $<0.28\ \text{nm}$, 偏振相关损耗 $<0.08\ \text{dB}$, 相邻串扰 $>24\ \text{dB}$, 非相邻串扰 $>30\ \text{dB}$ 。其与 Wooriro 公司、PPI 公司芯片的性能对比如表 2 所示,可以看出,本文 CWDM AWG 芯片性能已经完全满足商用指标要求,但波形陡直度相对较差,导致 $1\ \text{dB}$ 带宽和串扰较差。这主要是因为波导芯区和包层在高温退火下发生互熔现象,波导不是严格的方形波导,波形陡直度变差, $1\ \text{dB}$ 带宽和串扰性能恶化。后续我们将尝试在芯区上包之前增加与芯区不互熔的材料,以改善波形和串扰性能,提高带宽。

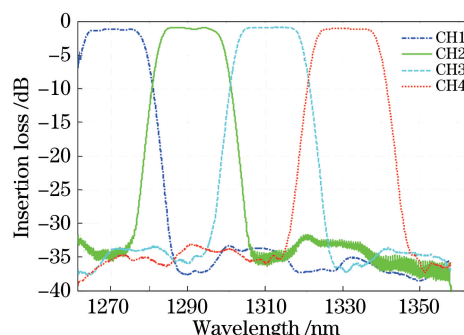


图 9 CWDM AWG 芯片光谱

Fig. 9 Spectra of CWDM AWG chip

表 2 CWDM AWG 芯片的对比

Table 2 Comparison of CWDM AWG chips

Parameter	Wooriro	PPI	This paper
Peak insertion loss /dB	<2.5	<2	<1.07
$1\ \text{dB}$ bandwidth /nm	>12	>13	>13.7
$3\ \text{dB}$ bandwidth /nm	>15	>14	>16.1
Wavelength accuracy deviation /nm	<1	<1.5	<0.28
Polarization-dependent loss /dB		<0.5	<0.08
Adjacent crosstalk /dB		>20	>24
Non-adjacent crosstalk /dB		>24	>30

4 结 论

采用折射率差为 1.5% 的石英基二氧化硅光波导,设计并制备了光电集成的低损耗小尺寸 CWDM AWG 芯片,满足高速数据中心的 $200\ \text{Gbit} \cdot \text{s}^{-1}$ /

400 Gbit · s⁻¹ 甚至更高传输速率要求。芯片插损最小值 < 1.07 dB, 1 dB 带宽 > 13.7 nm, 3 dB 带宽 > 16.1 nm, 波长精准度偏差 < 0.28 nm, 偏振相关损耗 < 0.08 dB, 相邻串扰 > 24 dB, 非相邻串扰 > 30 dB。采用多模波导输出, 既可以实现波形平坦化, 又可以实现较低的损耗。因为方形波导是偏振无关器件, 通过工艺调整可以实现较低的偏振相关损耗。通过选择合适的阵列波导间距及输出间距, 可实现较好的串扰性能。实验结果和理论分析基本一致。

参 考 文 献

- [1] An J M. Research for silica on silicon arrayed waveguide grating[D]. Beijing: Institute of Semiconductors, Chinese Academy of Sciences, 2004.
安俊明. 硅基二氧化硅阵列波导光栅研究[D]. 北京: 中国科学院半导体研究所, 2004.
- [2] Arima R, Hatano T, Hiramoto K, et al. Demonstration of world-first 112 Gbit/s 1310 nm LAN-WDM optical transceiver for 100 GbE and 100 GbE over OTN applications[C]//Optical Fiber Communication Conference & Exposition, March 21-25, 2010, San Diego, California, United States. Washington, D.C.: OSA, 2010: PDPD3.
- [3] Kang S K, Lee J K, Lee J C, et al. A compact 4 × 10-Gb/s CWDM ROSA module for 40G Ethernet optical transceiver[C]//2010 Proceedings 60th Electronic Components and Technology Conference (ECTC), June 1-4, 2010, Las Vegas, NV, USA. New York: IEEE, 2010: 2001-2005.
- [4] Doi Y, Oguma M, Ito M, et al. Compact ROSA for 100-Gb/s (4 × 25 Gb/s) Ethernet with a PLC-based AWG demultiplexer[C]//2013 Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference (OFC/NFOEC), March 17-21, 2013, Anaheim, CA, USA. New York: IEEE, 2013: 1-3.
- [5] Doi Y, Oguma M, Yoshimatsu T, et al. Compact high-responsivity receiver optical subassembly with a multimode-output-arrayed waveguide grating for 100-Gb/s Ethernet [J]. Journal of Lightwave Technology, 2015, 33(15): 3286-3292.
- [6] Doi Y, Nakanishi Y, Yoshimatsu T, et al. Compact 8-wavelength receiver optical sub-assembly with a low-loss AWG demultiplexer for 400-gigabit datacom[C]//2015 European Conference on Optical Communication (ECOC), September 27-October 1, 2015, Valencia, Spain. New York: IEEE Press, 2015: 1-3.
- [7] Ferrari C, Bolle C, Cappuzzo M A, et al. Compact hybrid-integrated 400 Gbit/s WDM receiver for short-reach optical interconnect in datacenters [C]//2014 The European Conference on Optical Communication (ECOC), September 21-25, 2014, Cannes, France. New York: IEEE Press, 2014: 1-3.
- [8] Li C Y, An J M, Wang J Q, et al. The 8 × 10 GHz receiver optical subassembly based on silica hybrid integration technology for data center interconnection [J]. Chinese Physics Letters, 2017, 34 (10): 104202.
- [9] Li C Y, An J M, Zhang J S, et al. 4 × 20 GHz silica-based AWG hybrid integrated receiver optical sub-assemblies [J]. Chinese Optics Letters, 2018, 16 (6): 060603.
- [10] Smit M K. New focusing and dispersive planar component based on an optical phased array [J]. Electronics Letters, 1988, 24(7): 385-386.
- [11] Kamei S, Ishii M, Itoh M, et al. 64 × 64-channel uniform-loss and cyclic-frequency arrayed-waveguide grating router module [J]. Electronics Letters, 2003, 39(1): 83-84.
- [12] Hida Y, Hibino Y, Kitoh T, et al. 400-channel arrayed-waveguide grating with 25 GHz spacing using 1.5% waveguides on 6-inch Si wafer [J]. Electronics Letters, 2001, 37(9): 576-577.
- [13] Miyagawa Y, Yamamoto T, Masuda H, et al. Over-10000-channel 2.5 GHz-spaced ultra-dense WDM light source [J]. Electronics Letters, 2006, 42(11): 655-657.
- [14] Dai D X, Wang Z, Bauters J F, et al. Low-loss Si₃N₄ arrayed-waveguide grating (de) multiplexer using nano-core optical waveguides [J]. Optics Express, 2011, 19(15): 14130-14136.
- [15] Chen X L, Hu J, Zhang Z Q, et al. Research progress in silicon photonic arrayed waveguide grating devices [J]. Laser & Optoelectronics Progress, 2018, 55(12): 120009.
陈晓铃, 胡娟, 张志群, 等. 硅光子阵列波导光栅器件研究进展 [J]. 激光与光电子学进展, 2018, 55 (12): 120009.
- [16] Wang S X, Lang T T, Song G Y, et al. SiON-based cyclic arrayed waveguide grating routers with improved loss uniformity [J]. Acta Optica Sinica, 2019, 39(11): 1123001.
王书新, 郎婷婷, 宋广益, 等. 提高损耗均匀性的氮氧化硅阵列波导光栅路由器 [J]. 光学学报, 2019, 39(11): 1123001.
- [17] Sun J, Wu Y D, Wu W F, et al. Optimization of polarization-dependent loss of arrayed waveguide

- grating demultiplexer[J]. Chinese Journal of Lasers, 2020, 47(1): 0106003.
- 孙健, 吴远大, 吴卫锋, 等. 阵列波导光栅解复用器的偏振相关损耗的优化[J]. 中国激光, 2020, 47(1): 0106003.
- [18] Zhang Z Y, Wang Y, Tsang H K, et al. Ultracompact 40-channel arrayed waveguide grating on silicon nitride platform at 860 nm [J]. IEEE Journal of Quantum Electronics, 2020, 56(1): 1-8.
- [19] Liu Y J, Li Z Y, Li D, et al. Thermo-optic tunable silicon arrayed waveguide grating at 2- μm wavelength band[J]. IEEE Photonics Journal, 2020, 12(4): 1-8.
- [20] Han Q, Menard M, Shi W, et al. Silicon nitride arrayed waveguide grating with a waveguide superlattice[C]//Conference on Lasers and Electro-Optics, May 10-15, 2020, Washington, D.C., USA. Washington, D.C.: OSA, 2020: AW3M.6.
- [21] Wang Z J, Shang J T. 3D composite glass-silicon interposer integrated with polymer arrayed waveguide grating[C]//2020 IEEE 70th Electronic Components and Technology Conference (ECTC), June 3-30, 2020, Orlando, FL, USA. New York: IEEE, 2020: 1844-1848.
- [22] Liu Q, Ma W D, Wang W M, et al. The research of coarse wavelength division multiplexer based on array waveguide grating with broadened pass-band and low crosstalk[J]. Acta Optica Sinica, 2004, 24(9): 1265-1268.
- 刘青, 马卫东, 王文敏, 等. 一种通带平坦的粗波分复用/解复用器件的研制[J]. 光学学报, 2004, 24(9): 1265-1268.
- [23] Li C Y, An J M, Zhang J S, et al. Design and fabrication of O band 8 channel flat-top arrayed waveguide grating based on silica on silicon[J]. Acta Photonica Sinica, 2017, 46(8): 21-29.
- 李超懿, 安俊明, 张家顺, 等. O 波段 8 通道硅基二氧化硅平坦化阵列波导光栅的设计及制备[J]. 光子学报, 2017, 46(8): 21-29.