

Ge/Si 异质键合半/绝接触界面态对异质结光电输运特性的影响研究

何盛泉¹, 柯海鹏^{2*}, 严莲³, 李杏莲¹, 柯少颖^{1**}, 李东珂³

¹ 闽南师范大学物理与信息工程学院, 福建 漳州 363000;

² 福建省漳州第一职业中专学校, 福建 漳州 363000;

³ 淮阴师范学院, 江苏 淮安 223300

摘要 Ge/Si 异质键合技术作为一种新型的通用材料制备工艺, 在制备高质量 Si 基 Ge 薄膜方面展现出巨大的潜力, 是研制高性能 Ge/Si 光电器件的备选方案之一。现阶段主流的直接键合和等离子体键合方法在制备 Ge/Si 薄膜时都容易在 Ge/Si 键合界面处引入纳米氧化锆层(GeO₂), 导致 Ge/GeO₂ 及 GeO₂/Si 半/绝接触界面存在界面态, 从而器件性能受影响。基于载流子三大运输方程、非局域隧穿模型及半经典量子解法, 构建了低温 Ge/Si 异质键合界面, 研究了键合界面的界面态密度(ISD)对 Ge/Si 异质结的载流子电学运输、光吸收、复合及高频响应等性能的影响。结果表明, 随着 ISD 的增加, Ge/Si 异质结的暗电流增大, 同时界面态对载流子的俘获能力加强, 导致总电流减小, 光谱响应减弱。另外, ISD 的增加导致 Ge 层内的电场减小, 高频特性变差。为获得性能良好的键合 Ge/Si 异质结, ISD 必须低于 $1 \times 10^{12} \text{ cm}^{-2}$ 。该研究结果为高质量 Si 基 Ge 薄膜及高性能 Ge/Si 光电器件的制备提供了理论指导。

关键词 薄膜; Ge/Si 异质键合; 界面态密度; 载流子隧穿; 电场

中图分类号 TN315

文献标志码 A

doi: 10.3788/AOS202040.1931001

Effect of Interface State at Semiconductor-Insulator Contact Interface in Ge/Si Heterogeneous Bonding on Photoelectric Transport Characteristics of Heterojunction

He Shengquan¹, Ke Haipeng^{2*}, Yan Lian³, Li Xinglian¹, Ke Shaoying^{1**}, Li Dongke³

¹ College of Physics and Information Engineering, Minnan Normal University, Zhangzhou, Fujian 363000, China;

² Zhangzhou First Vocational Secondary School, Zhangzhou, Fujian 363000, China;

³ Huaiyin Normal University, Huai'an, Jiangsu 223300, China

Abstract As a new common material fabrication technique, Ge/Si heterogeneous wafer bonding exhibits enormous potentials in the fabrication of high-quality Si-based Ge films. It is also regarded as an alternative solution for the fabrication of high-performance Ge/Si photoelectric devices. However, there easily exists a nanometer GeO₂ oxide layer at the Ge/Si bonded interface fabricated by the direct bonding or plasma bonding method. This leads to the formation of an interface state at the Ge/GeO₂ and GeO₂/Si semiconductor-insulator contact layer, which in turn affects the performance of the device. A low-temperature Ge/Si bonded interface is constructed based on the three carrier transport equations, the non-local tunneling model, and the semi-classical quantum solution. The effect of the interface state density (ISD) on the carrier electrical transport, light absorption, recombination, and high-frequency response is studied. The results show that with the increase of ISD, the dark current of the Ge/Si heterojunction increases. At the same time, the carrier capture effect becomes more obvious, leading to the decrease in the total current and the spectral response. In addition, the increase of ISD leads to the worsening frequency response and the decrease in the electric field within the Ge layer. Moreover, the ISD must be smaller than $1 \times 10^{12} \text{ cm}^{-2}$ to obtain a high-performance Ge/Si bonded heterojunction. These results may give a theoretical

收稿日期: 2020-05-11; 修回日期: 2020-06-09; 录用日期: 2020-06-23

基金项目: 漳州市自然科学基金(ZZ2020J32)、闽南师范大学校长基金(KJ19014)、淮安市自然科学研究计划(HAB201909)

* E-mail: kehaipeng@163.com; ** E-mail: syke@mnnu.edu.cn

guidance for the fabrication of high-quality Si-based Ge films and high-performance Ge/Si photoelectric devices.

Key words thin film; Ge/Si heterogeneous bonding; interface state density; carrier tunneling; electric field

OCIS codes 310.6845; 250.0040; 240.7040

1 引 言

在过去十几年中, Si 基 Ge 薄膜的制备主要是基于传统异质外延技术, 其制备的近红外 Ge/Si 光电探测器在信息通讯中得到了广泛的应用^[1-3]。然而, 随着功能化模块的发展, 传统外延技术制备的 Ge/Si 光电器件越来越难以满足片上集成的需求, 这是由于 Ge 和 Si 之间的晶格失配高达 4.2%, 因此外延 Ge 薄膜内的穿透位错密度 (TDD) 极高, 非辐射复合加剧, 进而异质外延 Ge/Si 光电器件的暗电流增大, 器件功耗增高, 噪声变大^[4-6]。近年来, 在传统高温循环热退火处理技术的基础上^[7-9], 科研人员提出了诸多改良外延技术来降低 Ge 薄膜内的 TDD 以提高薄膜的晶体质量, 如 Ge/SiGe 多量子阱隔离法^[10]、选区外延法^[11-12]、低高温两步生长法^[13]及 SiGe 缓冲层生长法^[14-15]等, 但 Ge 薄膜中的 TDD 依然难以控制在 10^6 cm^{-2} 以下。因此, 基于传统共格生长的外延技术难以突破晶格失配的限制, 且无法对外延界面失配位错的成核及位错成核后的攀移行为进行有效调控。

近期, 研究者采用 Ge/Si 异质键合技术制备了 Ge/Si 异质结。如 Kanbe 等^[16-18]研究了 Ge/Si 晶片的湿法亲水键合; Na 等^[19-21]研究了 Ge/Si 晶片的湿法疏水键合; Byun 等^[22-24]和 Gity 等^[25-26]利用等离子体自由基低温键合制备 Ge/Si 异质结; Razek 等^[27]通过高真空离子轰击实现了低温 Ge/Si 键合。这些工作为制备高质量 Si 基 Ge 薄膜提供了新的途径。其中, 低温异质键合技术在高质量大失配薄膜材料制备方面展现出巨大的潜力, 该技术可以通过在键合界面插入一层中间层来阻断界面异质晶格, 从而抑制界面失配位错成核。此外, 低温键合技术在降低薄膜中的 TDD、保持薄膜材料原有物理特性等方面都表现出了较大的优势。

现阶段, 人们对 Ge/Si 异质键合技术的研究尚处于起步阶段。在键合过程中, Ge/Si 键合界面处易形成纳米氧化层 (GeO_2), 因此 Ge/ GeO_2 及 GeO_2 /Si 半/绝接触界面处易出现大量界面态。为了实现相关器件的开发与应用, 探索和认识氧化层界面态对 Ge/Si 异质结性能的影响是必须解决的基础科学问题。本文利用载流子输运三大基本方程、

非局域隧穿模型及半经典量子解法对 Ge/ GeO_2 和 GeO_2 /Si 半/绝接触界面上的载流子输运机制及其对 Ge/Si 异质结性能的影响进行了深入研究, 从能带结构、载流子浓度和隧穿率等参数的理论计算出发, 探索了 Ge/Si 异质键合界面的界面态密度 (ISD) 对 Ge/Si 异质结特性的影响, 为高质量 Si 基 Ge 薄膜的制备及高性能 Si 基 Ge 光电器件的研制提供了理论指导。

2 模型及参数设置

Ge/Si 异质键合模型的构建主要是基于 Poisson 方程, 即

$$\text{div}(\epsilon \nabla \psi) = -\rho, \quad (1)$$

式中: $\text{div}(\cdot)$ 为散度; ∇ 为梯度算子; ϵ 为介电常数; ψ 为静电势能; ρ 为电荷体密度。

载流子连续性方程为

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div}(\mathbf{J}_n) + G_n - R_n, \quad (2)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \text{div}(\mathbf{J}_p) + G_p - R_p, \quad (3)$$

式中: t 为时间; n 为电子浓度; p 为空穴浓度; G_n 和 G_p 为载流子的产生率; \mathbf{J}_n 和 \mathbf{J}_p 为载流子的输运电流; q 为单位电荷; R_n 和 R_p 为载流子的复合率。

载流子传输方程为

$$\mathbf{J}_n = -q\mu_n n \nabla \phi_n, \quad (4)$$

$$\mathbf{J}_p = -q\mu_p p \nabla \phi_p, \quad (5)$$

式中: μ_n 和 μ_p 为载流子迁移率; ϕ_n 为 N 型半导体材料的准费米能级; ϕ_p 为 P 型半导体材料的准费米能级。

依赖浓度和温度的迁移率模型为

$$\mu_{n,p} = u_{n,p}^{\min} + \frac{u_{n,p}^{\max} - u_{n,p}^{\min}}{1 + \left(\frac{N_{\text{Ni}}}{N_{n,p}^{\text{crit}}}\right)^{\delta_{n,p}}}, \quad (6)$$

式中: $\mu_{n,p}$ 为载流子迁移率; N_{Ni} 为总掺杂浓度; $u_{n,p}^{\max}$ 为晶格散射起主要作用时载流子的最高迁移率, 此时 N_{Ni} 为最低总掺杂浓度; $u_{n,p}^{\min}$ 为电离杂质散射起主要作用时载流子的最低迁移率, 此时 N_{Ni} 为最高总掺杂浓度; $\delta_{n,p}$ 为 $u_{n,p}^{\min}$ 到 $u_{n,p}^{\max}$ 的转换速率; $N_{n,p}^{\text{crit}}$ 为 $u_{n,p}^{\min}$ 与 $u_{n,p}^{\max}$ 的中间值所对应的掺杂浓度。

依赖平行电场的模型为

$$\mu_{n,p}(E) = \mu_{n_0,p_0} \left[1 + \left(\frac{\mu_{n_0,p_0} E}{v_{\text{sat},n,p}} \right)^{\beta_{n,p}} \right]^{\frac{-1}{\beta_{n,p}}}, \quad (7)$$

式中: E 为平行电场; $v_{\text{sat},n,p}$ 为电子饱和率; μ_{n_0,p_0}

为低电场载流子迁移率; n_0 为平衡时的电子浓度; p_0 为平衡时的空穴浓度; $\beta_{n,p}$ 为拟合系数。

载流子产生复合模型为

$$R_{\text{SRH}} = \frac{pn - n_i^2}{\tau_p \left[n + n_i \exp\left(\frac{E_{\text{trap}}}{kT_L}\right) \right] + \tau_n \left[p + n_i \exp\left(\frac{-E_{\text{trap}}}{kT_L}\right) \right]}, \quad (8)$$

式中: k 为玻尔兹曼常数; R_{SRH} 为复合率; n_i 为本征载流子浓度; τ_p 为空穴寿命; τ_n 为电子寿命; T_L 为晶格温度; E_{trap} 为本征费米能级与复合中心能级之间的能级差, 其默认值为 0。

Ge/Si 键合异质结模型如图 1 所示。其中 Ge 层为 p 型轻掺杂 (p^-), 掺杂浓度 (粒子数浓度, 全文同) 为 $1 \times 10^{17} \text{ cm}^{-3}$, 厚度为 $1 \mu\text{m}$, 上台面直径为 $30 \mu\text{m}$; Si 层为 n 型重掺杂 (n^+), 掺杂浓度为 $1 \times 10^{19} \text{ cm}^{-3}$, 下台面直径为 $44 \mu\text{m}$, 厚度为 $1 \mu\text{m}$ 。Ge/Si 键合界面的氧化层 GeO_2 的具体参数以实验数据为参考: 介电常数为 5.5^[28], 带隙为 5.0 eV^[29], 电子亲和能为 1.0 eV^[30], 折射系数为 1.6^[31], 厚度设置为 1.0 nm ^[22,27,32]; 定义电极接触为欧姆接触, Ge/Si 键合界面的导带和价带带阶分别为 3.0 eV

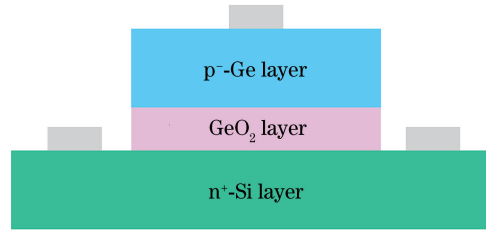


图 1 Ge/Si 键合异质结模型示意图

Fig. 1 Schematic of Ge/Si bonded heterojunction

和 1.5 eV。

在研究界面间载流子输运特性时, 在 Ge/Si 键合界面中引入非局域量子势垒隧穿模型, 并定义了一个略大于氧化层宽度的特殊非局域隧穿区, 载流子在 Ge/Si 键合界面的量子隧穿是基于 Price 等^[33]提出的公式, 即

$$J = \frac{qKT}{2\pi^2 h^3} (2m_t + 4\sqrt{m_1 m_t}) \int T(E) \ln \left\{ \frac{1 + \exp[(E_{\text{Fr}} - E)/kT]}{1 + \exp[(E_{\text{Fl}} - E)/kT]} \right\} dE, \quad (9)$$

式中: T 为温度; h 为普朗克常数; m_t 为横向有效质量; m_1 为纵向有效质量; E_{Fr} 和 E_{Fl} 分别为势垒两边的准费米能级。

在进行隧穿计算时, 通过 (9) 式, 可以提取载流子在 Ge/Si 键合界面的隧穿概率, 从而获得载流子在键合界面以及 Ge 层和 Si 层中的分布图像。

由于键合界面处的绝缘体参与电学输运, 为了获得收敛的模拟结果, 同时简化迭代计算, 本模拟中引进半经典 Wentzel-Kramers-Brillouin (WKB) 运算近似^[32]来求解载流子在键合界面处的薛定谔方程, 即

$$T(E) \approx \exp \left[-\frac{2}{h} \int_0^d |k(x) dx| \right], \quad (10)$$

式中: $\hbar = h/2\pi$; x 为位置; k 为势垒内的电子波矢量; d 为势垒宽度。

另一方面, 由于引入的非局域隧穿模型及半经典求解近似, 当计算过程中复杂的非局域模型或者

非平衡模型 (涉及载流子能量) 被引入到费米分布函数时, 计算结果会趋于发散, 因此本模拟中采用玻尔兹曼分布替代费米分布, 对键合界面复杂的迭代运算进行求解。

根据文献报道^[34-35]可知, p-Ge/GeO₂ 界面的缺陷态类型为类受主型悬挂键, 缺陷态能级位于价带以上 0.11 eV 位置处; GeO₂/p-Si 界面的缺陷态类型为类施主型悬挂键, 缺陷态能级位于价带以上 0.26 eV 位置处。因此, 选择这两个能级分别作为 Ge/GeO₂ 和 GeO₂/Si 半/绝接触界面的缺陷态能级。在这里 ISD 定义为 Ge/GeO₂ 和 GeO₂/Si 两个界面的界面态密度 (I_s), 在模拟器件性能随 ISD 的变化时, 假设两个界面 ISD 的值是相等的且同时变化, 根据文献^[35-36]可知, 相应的两个界面 ISD 的取值范围为 $1 \times 10^{10} \sim 1 \times 10^{13} \text{ cm}^{-2}$, 两个界面的界面态俘获截面设置为典型的 $1 \times 10^{-15} \text{ cm}^2$ 。

3 结果与讨论

图 2 为键合 Ge/Si 异质结的暗电流随 ISD 的变化关系图。从图 2 可以看出,随着 ISD 的增加,Ge/Si 异质结的暗电流逐渐增加。值得注意的是,当 ISD 从 $1 \times 10^{12} \text{ cm}^{-2}$ 增加到 $3 \times 10^{12} \text{ cm}^{-2}$ 时,Ge/Si 异质结暗电流的急剧增加量接近一个数量级,这主要是由于随着 ISD 的增加,Ge/Si 键合界面的载流子复合率增大。图 3(a) 为 Ge/Si 键合界面的载流子复合率随 ISD 的变化关系。可以看出,随着 ISD 的增加,Ge/GeO₂ 界面的总载流子复合率呈增大的趋势,当 ISD 从 $1 \times 10^{12} \text{ cm}^{-2}$ 增加到 $3 \times 10^{12} \text{ cm}^{-2}$ 时,Ge/GeO₂ 界面的总复合率急剧增大。众所周知,界面态在异质结器件中扮演着复合中心的角色,载流子在界面缺陷处复合将产生器件漏电流,复合率增大将导致 Ge/Si 异质器件的漏电流增

加,进而使得器件暗电流增大。在图 3(b) 中,GeO₂/Si 界面的总载流子复合率也呈现出类似的增大趋势。对比图 3(a) 和图 3(b) 可以发现,Ge/Si 键合界面的载流子复合过程主要发生在 Ge/GeO₂ 界面。

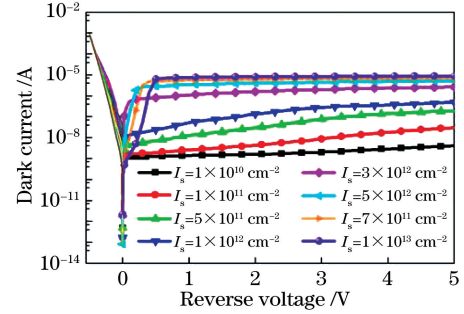


图 2 温度为 300 K 时 Ge/Si 异质结的暗电流随 ISD 的变化
Fig. 2 Influence of ISD on dark current of Ge/Si heterojunction when $T=300 \text{ K}$

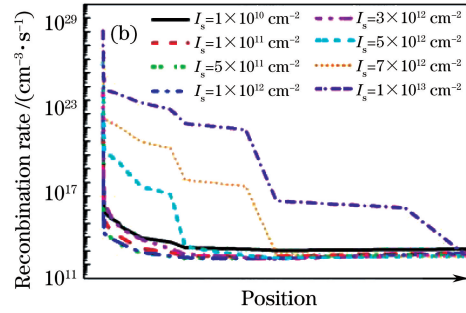
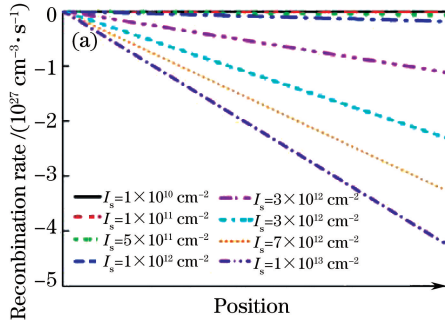


图 3 温度为 300 K 和偏压为 -5 V 时不同界面处的总载流子复合率随 ISD 的变化。(a) Ge/GeO₂ 界面;(b) GeO₂/Si 界面
Fig. 3 Influence of ISD on total carrier recombination rate at different interfaces when $T=300 \text{ K}$ and bias voltage is -5 V .

(a) Ge/GeO₂ interface; (b) GeO₂/Si interface

为了探究载流子在 Ge/GeO₂ 界面的复合机理,对 Ge/Si 异质结中的载流子浓度进行了模拟分析,结果如图 4 所示。从图 4 可以看出,随着 ISD 的增加,Ge 层中的空穴浓度急剧增加,电子浓度的增加比较缓慢。Si 层内及 GeO₂/Si 界面的电子浓度随

着 ISD 的增加而减小,同时 Si 层内的空穴浓度也随着 ISD 的增加而逐渐减小,但空穴会在 GeO₂/Si 界面处逐渐堆积。除了在界面处发现由氧化层阻挡作用引起的载流子堆积外,其他处并未发现有明显的载流子堆积。众所周知,界面缺陷的复合需要载流

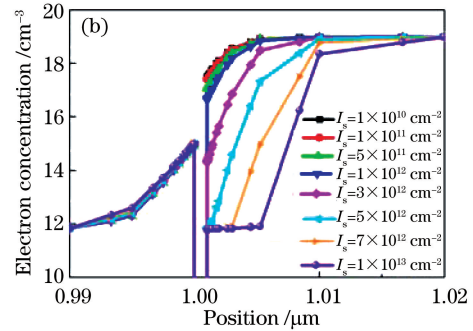
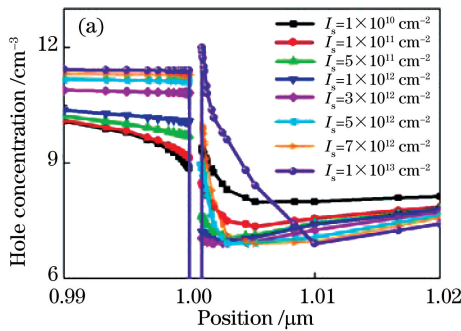


图 4 温度为 300 K 和偏压为 -5 V 时 Ge 层和 Si 层中的空穴浓度和电子浓度随 ISD 的变化。(a) 空穴浓度;(b) 电子浓度
Fig. 4 Influence of ISD on hole and electron concentrations in Ge and Si layers when $T=300 \text{ K}$ and bias voltage is -5 V .

(a) Hole concentration; (b) electron concentration

子的参与,载流子聚集在缺陷处会导致复合加剧。Ge 层内及 Ge/GeO₂ 界面处的电子和空穴浓度的同时增大导致 Ge/GeO₂ 界面的载流子复合率增加,此外, GeO₂/Si 界面的空穴堆积也使得 GeO₂/Si 界面的复合率增大,但是 Si 层内电子漂移离开界面导致 GeO₂/Si 界面的载流子复合率远小于 Ge/GeO₂ 界面。

为了认识和理解载流子浓度随 ISD 变化的原因,在不同 ISD 下对 Ge/Si 异质结中的电场分布进行了模拟研究,如图 5(a)所示。可以看出,随着 ISD 的增加,Ge 层内的电场逐渐减小,而 Si 层内的电场呈现出相反的增大趋势。另一方面,从图 5(b)中可以看出,GeO₂ 层内的电场随着 ISD 的增加呈增大

趋势。但由于在模拟中设定了 GeO₂ 厚度为 1 nm,因此 GeO₂ 绝缘体层在异质结中的分压效应较小。为了探究 GeO₂ 层内电场随 ISD 变化的原因,对 GeO₂ 层两端的电荷密度进行模拟,如图 5(c)所示。可以看出,随着 ISD 的增加,GeO₂ 层两端的界面电荷密度增加,两半/绝接触界面处出现较多的电荷积累,从而导致 GeO₂ 层电场强度的提高。

为探究载流子浓度随 ISD 变化的原因,对 Ge/Si 异质结内的载流子速率进行模拟,如图 6 所示。从图 6 可以看出,随着 ISD 的增加,Ge 层内的电子和空穴速率逐渐减小,而 Si 层内的电子和空穴速率逐渐增大,该变化规律正好与异质结内的电场分布

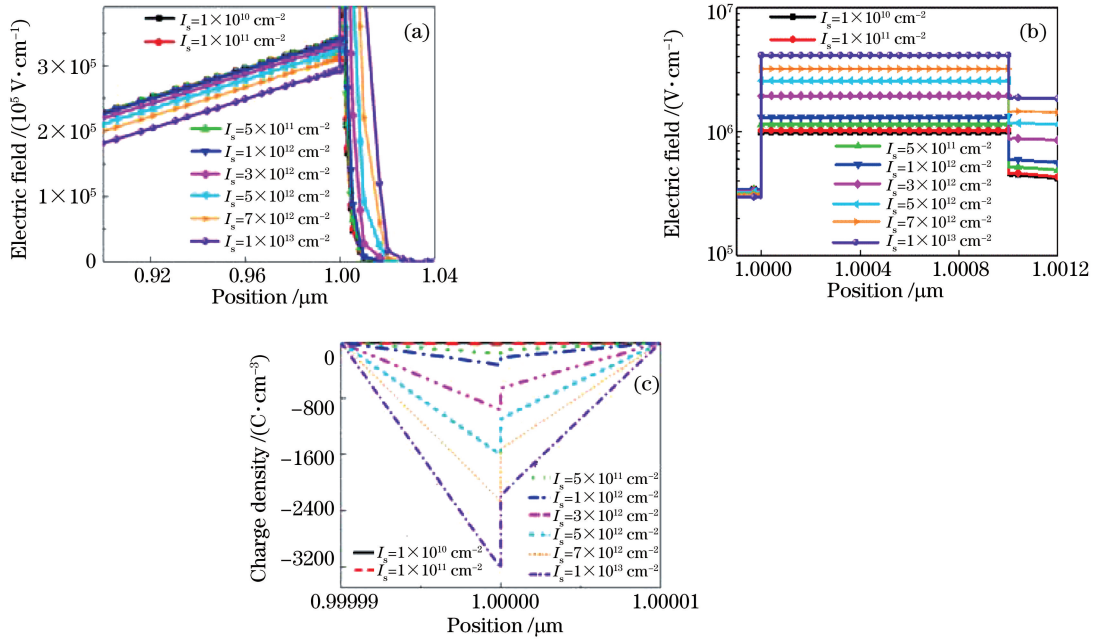


图 5 温度为 300 K 和偏压为 -5 V 时电场和电荷密度随 ISD 的变化。(a) Ge 层和 Si 层的电场; (b) GeO₂ 层内的电场;(c) GeO₂ 层两端的电荷密度

Fig. 5 Influence of ISD on electric field and charge density when $T=300 \text{ K}$ and bias voltage is -5 V . (a) Electric fields in Ge and Si layers; (b) electric field in GeO₂ layer; (c) charge density at Ge/Si interface

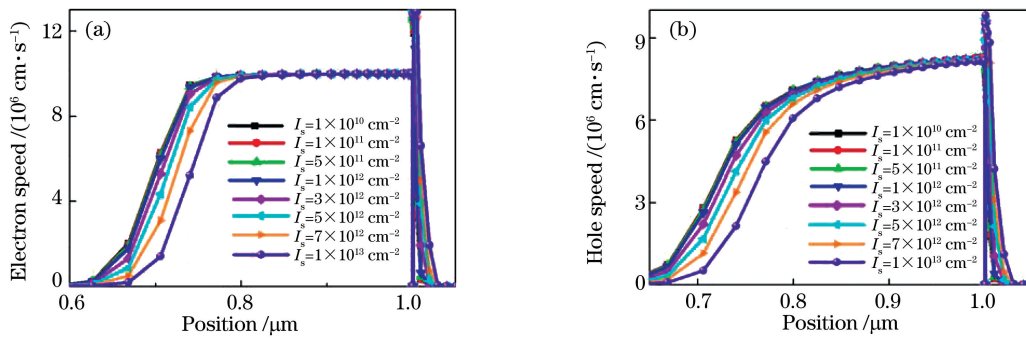
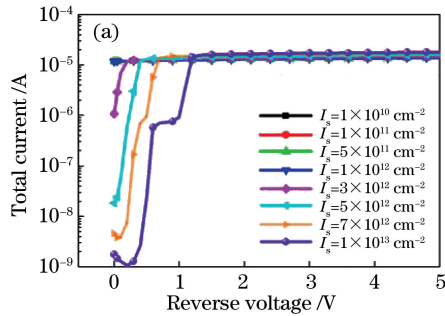


图 6 温度为 300 K 和偏压为 -5 V 时 Ge 层中的电子速率和空穴速率随 ISD 的变化。(a)电子速率;(b)空穴速率

Fig. 6 Influence of ISD on electron and hole speeds in Ge layer when $T=300 \text{ K}$ and bias voltage is -5 V . (a) Electron speed; (b) hole speed

规律相同。由此可以得出,随着 ISD 的增加,Ge 层内的电场逐渐减小,这使得载流子速率减小,空穴在 Ge 层中发生堆积,空穴浓度增大。Si 层内电场的增大使得载流子的速率增大,电子在电场作用下发生漂移并远离键合界面,导致界面的电子浓度下降,因此载流子复合主要发生在 GeO_2/Si 界面。

接着探究了不同 ISD 条件下键合 Ge/Si 异质结的光吸收特性。图 7(a) 为温度为 300 K 时在 1310 nm 近红外光照射下反向偏压-器件总电流的变化曲线。可以看出,当 ISD 低于 $1 \times 10^{12} \text{ cm}^{-2}$ 时,总电流几乎不受键合界面 ISD 的影响,保持在 10^{-5} A 附近。当 ISD 超过 $1 \times 10^{12} \text{ cm}^{-2}$ 且反向偏压小于 1 V 时,随着 ISD 的增加,Ge/Si 异质结的总电流急剧减小。然而,当反向偏压超过 1 V 时,Ge/Si 异质结的总电流随着 ISD 的增加而增大。由



于界面态的引入并未改变 Ge/Si 异质器件的结构,因此 ISD 的增加不会影响光生载流子的产生,然而界面态也是载流子的俘获中心,因此 ISD 对光吸收的影响主要表现在界面态对光生载流子的俘获。随着 ISD 的增大,缺陷态的俘获截面积相应变大,载流子在键合界面处被俘获的几率增加,从某种意义上说界面态对载流子的俘获能力增强。在低电压情况下只有少部分载流子挣脱界面态的束缚,且由于氧化层的阻挡作用,载流子很难漂移到电极区,导致总电流呈减小的趋势。当偏压继续增大时,载流子在较强电场作用下获得足够的能量,逐渐摆脱界面态的束缚,界面态对载流子的俘获不再是影响总电流的主要原因,而随 ISD 的增加而增加的暗电流成为总电流增大的主要因素,因此总电流在反向偏压超过 1 V 时随着 ISD 的增加呈现增大的趋势。

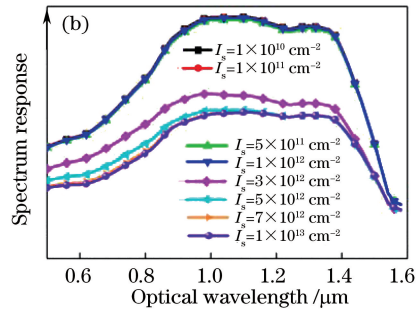


图 7 Ge/Si 异质结总电流和光谱响应随 ISD 的变化。(a)总电流;(b)光谱响应

Fig. 7 Influence of ISD on total current and spectral response of Ge/Si heterojunction. (a) Total current; (b) spectral response

进一步探究了反向偏压为 0 时不同 ISD 条件下 Ge/Si 异质结的光谱响应特性,图 7(b) 为键合 Ge/Si 异质器件的吸收光谱图。在模拟中,采用不同波长的光照射异质结,从而获得异质结光电流随波长的变化。可以看出,当 ISD 低于 $1 \times 10^{12} \text{ cm}^{-2}$ 时,不同波长下的 Ge/Si 异质结的光电流几乎不随 ISD 变化;当 ISD 超过 $1 \times 10^{12} \text{ cm}^{-2}$ 时,不同波长下的 Ge/Si 异质结的光电流随 ISD 的增加而急剧减小,这主要是由于在反向偏压为 0 的条件下,虽然氧化层对载流子具有一定的阻挡作用,但是随着 ISD 的增加,界面态对载流子的俘获能力增强,载流子难以漂移至电极区,进而导致响应电流减小。此外,对于键合界面存在氧化层的异质结器件,其工作电压往往比没有氧化层的异质结器件高,这主要是因为其需要克服界面态对载流子的俘获作用。

进一步研究了键合界面 ISD 对 Ge/Si 异质结高频响应的影响,带宽的计算公式为

$$B_{\text{BW}} = 10 \lg \left(\frac{I}{I_M} \right), \quad (11)$$

式中: I 为随频率变化的光电流; I_M 为最大的光电流。

计算结果如图 8(a) 所示,其中 RF 表示射频。可以看出,随着 ISD 的增加,Ge/Si 异质结的高频响应逐渐减弱。图 8(b) 为在 Ge/Si 异质结中提取的 3 dB 带宽,当 ISD 低于 $1 \times 10^{12} \text{ cm}^{-2}$ 时,ISD 对异质结带宽的影响较小,当 ISD 高于 $1 \times 10^{12} \text{ cm}^{-2}$ 时,3 dB 带宽随着 ISD 的增加而逐渐减小。众所周知,3 dB 带宽与载流子的速率密切相关,而载流子的速率又和电场密切相关,从图 5 和图 6 可以看出,ISD 的增加导致 Ge 层内的电场减小,进而导致载流子速率减小,使得 Ge/Si 异质结的 3 dB 带宽下降。

由于氧化层的存在,Ge/Si 键合界面的电场分布有别于外延 Ge/Si 异质结,为了更深入了解氧化层对器件性能的影响,探究了不同偏压下的器件频率响应特性,如图 9(a) 所示。可以看出,随着电压的增加,Ge/Si 异质结的频率响应逐渐增强。图 9(b) 为 Ge/Si 异质结的 3 dB 带宽随电压的变化,发现 Ge/Si 异质结的 3 dB 带宽随着偏压的增加

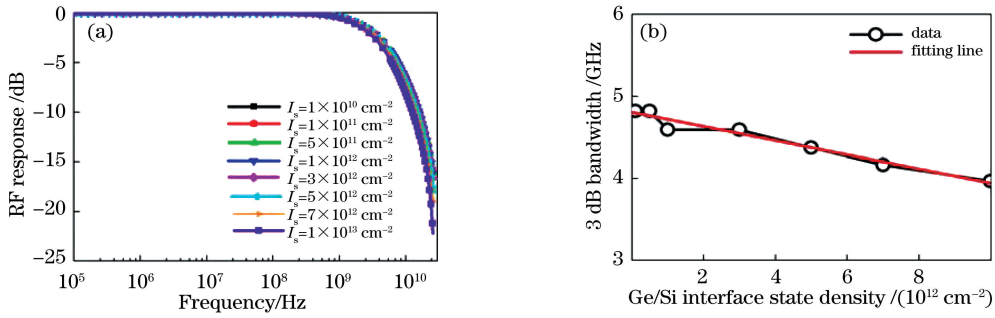


图 8 温度为 300 K 和偏压为 -5 V 时 Ge/Si 异质结频率响应和 3 dB 带宽随 ISD 的变化。(a) 频率响应; (b) 3 dB 带宽
Fig. 8 Influence of ISD on frequency response and 3 dB bandwidth of Ge/Si heterojunction when $T=300 \text{ K}$ and bias voltage is -5 V . (a) Frequency response ; (b) 3 dB bandwidth

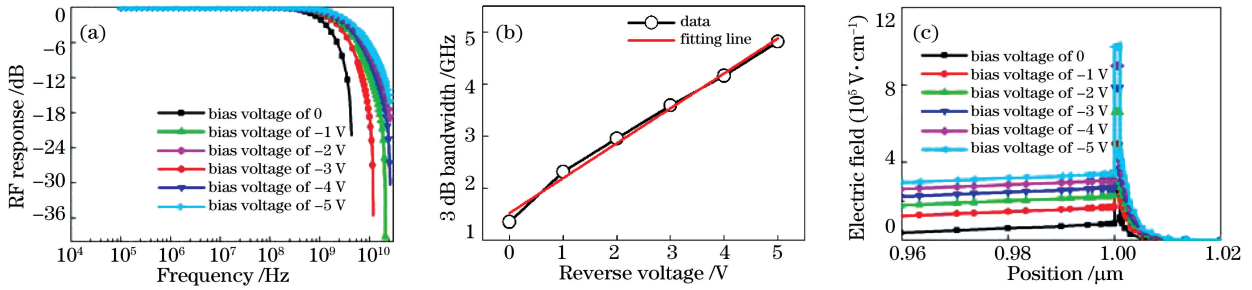


图 9 温度为 300 K 和 ISD 为 $1 \times 10^{10} \text{ cm}^{-2}$ 时偏压对 Ge/Si 异质结的影响。(a) 频率响应; (b) 3 dB 带宽; (c) 电场
Fig. 9 Influence of bias voltage on Ge/Si heterojunction when $T=300 \text{ K}$ and ISD is $1 \times 10^{10} \text{ cm}^{-2}$.
(a) Frequency response; (b) 3 dB bandwidth; (c) electric field

而逐步增大。为了探究带宽的变化原因,模拟了不同偏压下异质结的电场强度分布,如图 9(c) 所示。可以看出,Ge 层、 GeO_2 层和 Si 层内的电场均随着

电压的增加逐渐增大。电场的变化势必引起载流子速率的变化,如图 10 所示。可以看出,随着偏压的增加,Si 层和 Ge 层内的电子和空穴浓度逐渐增大,

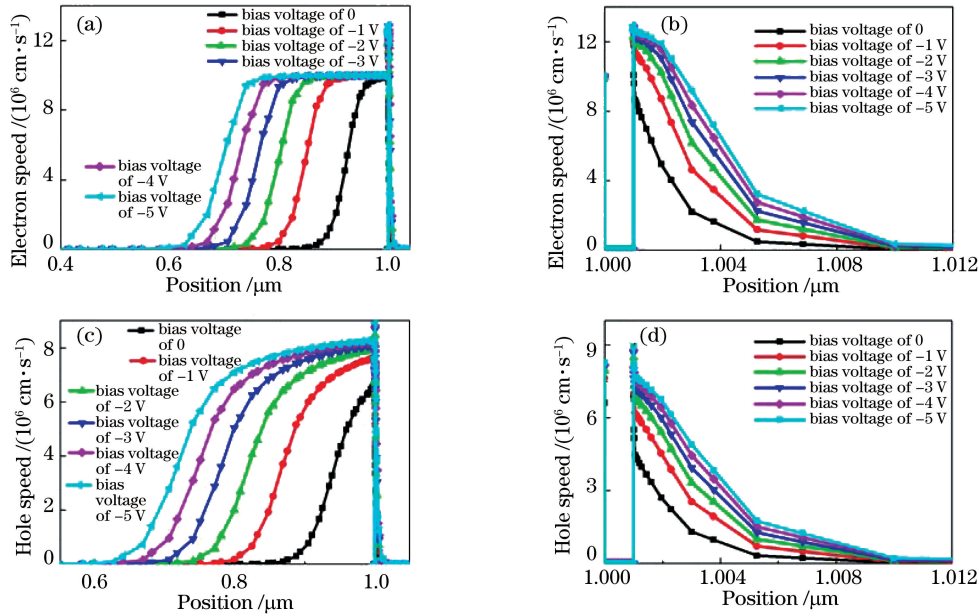


图 10 温度为 300 K 和 ISD 为 $1 \times 10^{10} \text{ cm}^{-2}$ 时载流子速率随偏压的变化。(a) Ge 层的电子速率;
(b) Si 层的电子速率; (c) Ge 层的空穴速率; (d) Si 层的空穴速率

Fig. 10 Influence of bias voltage on carrier speed when $T=300 \text{ K}$ and ISD is $1 \times 10^{10} \text{ cm}^{-2}$. (a) Electron speed in Ge layer;
(b) electron speed in Si layer; (c) hole speed in Ge layer; (d) hole speed in Si layer

饱和速率的覆盖范围也逐渐扩大,导致 3 dB 带宽增大。此外,研究发现,在 Ge/GeO₂ 和 GeO₂/Si 界面处,载流子速率在极窄范围内存在突变(增大)现象。这主要是因为氧化层中的电场急剧增大,使得 GeO₂ 层附近的 Ge 层和 Si 层的内部电场在界面极窄范围内急剧增大,所以载流子速率在两个半/绝接触界面处突然变大。

图 11 给出了 ISD 对键合界面电子隧穿率的影响。可以看出,随着 ISD 的增加,电子隧穿概率并没有太大的变化。这可能是由于在本模拟中键合界面的氧化层厚度设置为 1 nm,而电子隧穿率对氧化层的依赖性远高于对 ISD 的依赖性,因此在不同 ISD 条件下,界面的电子隧穿概率基本不变。

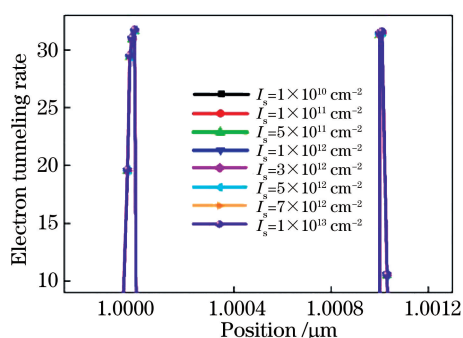


图 11 温度为 300 K 和偏压为 -5 V 时 Ge/Si 异质键合界面的电子隧穿概率随 ISD 的变化

Fig. 11 Influence of ISD on electron tunneling rate at Ge/Si bonded interface when $T=300$ K and bias voltage is -5 V

4 结 论

基于载流子三大基本方程、非局域隧穿模型及半经典量子解法,模拟了 Ge/Si 异质键合界面 ISD 对异质结暗电流、总电流、复合率、光谱响应及频率响应等的影响。仿真结果为高质量 Si 基 Ge 薄膜的制备及高性能 Ge/Si 键合器件的研制提供了理论指导。获得的结论如下:随着 ISD 的增加,Ge/Si 键合界面的复合率增大,导致 Ge/Si 异质结暗电流增加。复合率的增大主要是电子和空穴在 Ge 层及 Ge/GeO₂ 界面上的堆积导致的。其次,随着 ISD 的增加,键合界面对载流子的俘获能力增强,导致总电流在低偏压下呈减小趋势,使得 Ge/Si 异质结的光谱响应减弱。随着 ISD 的增加,Ge 层内的电场减小,载流子速率减小,导致 Ge/Si 异质结的 3 dB 带宽减小。而随着偏压的增加,Ge 层内的电场增加,载流子速率增大,导致 Ge/Si 异质结的 3 dB 带宽增

加。当 ISD 低于 10^{12} cm⁻² 时,界面态对复合率、光电流、光谱响应及 3 dB 带宽等器件性能的影响不大,因此要获得性能良好的键合 Ge/Si 异质结(界面氧化层),Ge/Si 键合界面的界面态密度必须低于 10^{12} cm⁻²。

参 考 文 献

- [1] Huang M Y, Cai P F, Li S, et al. 56 GHz waveguide Ge/Si avalanche photodiode [C] // Optical Fiber Communication Conference, March 11-15, 2018, San Diego, California. Washington, D. C.: OSA, 2018: W4D.6 .
- [2] Park S, Malinge Y, Dosunmu O, et al. 50-Gbps receiver subsystem using Ge/Si avalanche photodiode and integrated bypass capacitor [C] // Optical Fiber Communication Conference (OFC) 2019, March 3-7, 2019, San Diego, California. Washington, D. C.: OSA, 2019: M3A.3.
- [3] Zeng Q, Pan Z, Zeng Z, et al. Space charge effects on the bandwidth of Ge/Si avalanche photodetectors [J]. Semiconductor Science and Technology, 2020, 35(3): 035026.
- [4] Martinez N, Gehl M, Derose C T, et al. Single photon detection in a waveguide-coupled Ge-on-Si lateral avalanche photodiode [J]. Optics Express, 2017, 25(14): 16130-16139.
- [5] Vines P, Kuzmenko K, Kirdoda J, et al. High performance planar germanium-on-silicon single-photon avalanche diode detectors [J]. Nature Communications, 2019, 10(1): 1086.
- [6] Martinez N, Derose C T, Brock R, et al. High performance waveguide-coupled Ge-on-Si linear mode avalanche photodiodes [J]. Optics Express, 2016, 24(17): 19072-19081.
- [7] Liu Z H, Hao X J, Ho-Baillie A, et al. Cyclic thermal annealing on Ge/Si (100) epitaxial films grown by magnetron sputtering [J]. Thin Solid Films, 2015, 574: 99-102.
- [8] Ghosh A, Clavel M B, Nguyen P D, et al. Growth, structural, and electrical properties of germanium-on-silicon heterostructure by molecular beam epitaxy [J]. AIP Advances, 2017, 7(9): 095214.
- [9] Chong H N, Wang Z W, Chen C N, et al. Optimization of hetero-epitaxial growth for the threading dislocation density reduction of germanium epilayers [J]. Journal of Crystal Growth, 2018, 488: 8-15.
- [10] Chen C Z, Li C, Huang S H, et al. Epitaxial growth of germanium on silicon for light emitters [J]. International Journal of Photoenergy, 2012, 2012

- (2012): 1-8.
- [11] Li Q M, Han S M, Brueck S R J, et al. Selective growth of Ge on Si (100) through vias of SiO₂ nanotemplate using solid source molecular beam epitaxy[J]. Applied Physics Letters, 2003, 83(24): 5032-5034.
- [12] Park J, Bai J, Curtin M, et al. Defect reduction of selective Ge epitaxy in trenches on Si(001) substrates using aspect ratio trapping [J]. Applied Physics Letters, 2007, 90(5): 052113.
- [13] Huang S H, Li C, Zhou Z W, et al. Depth-dependent etch pit density in Ge epilayer on Si substrate with a self-patterned Ge coalescence island template[J]. Thin Solid Films, 2012, 520(6): 2307-2310.
- [14] Currie M T, Samavedam S B, Langdo T A, et al. Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing [J]. Applied Physics Letters, 1998, 72(14): 1718-1720.
- [15] Oh J, Campbell J C, Thomas S G, et al. Interdigitated Ge p-i-n photodetectors fabricated on a Si substrate using graded SiGe buffer layers [J]. IEEE Journal of Quantum Electronics, 2002, 38(9): 1238-1241.
- [16] Kanbe H, Komatsu M, Miyaji M. Ge/Si heterojunction photodiodes fabricated by wafer bonding[J]. Japanese Journal of Applied Physics, 2006, 45(2): 23-28.
- [17] Kanbe H, Hirose M, Ito T, et al. Crystallographic properties of Ge/Si heterojunctions fabricated by wet wafer bonding [J]. Journal of Electronic Materials, 2010, 39(8): 1248-1255.
- [18] Kanbe H, Miyaji M, Ito T. Ge/Si heterojunction photodiodes fabricated by low temperature wafer bonding[J]. Applied Physics Express, 2008, 1(7): 072301.
- [19] Na N, Tseng C K, Kang Y M, et al. Rapid-melt-growth-based GeSi waveguide photodetectors and avalanche photodetectors [J]. Proceedings of SPIE, 2014, 8990: 899014.
- [20] Tseng C K, Tian J D, Hung W C, et al. Self-aligned microbonded Ge/Si PIN waveguide photodetectors [C]//The 9th International Conference on Group IV Photonics (GFP), August 29-31, 2012, San Diego, CA, USA. New York: IEEE, 2012: 1-3.
- [21] Chen W T, Tseng C K, Chen K H, et al. Self-aligned microbonded germanium metal-semiconductor-metal photodetectors butt-coupled to Si waveguides[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2014, 20(6): 17-21.
- [22] Byun K Y, Colinge C. Overview of low temperature hydrophilic Ge to Si direct bonding for heterogeneous integration[J]. Microelectronics Reliability, 2012, 52(2): 325-330.
- [23] Byun K Y, Fleming P G, Bennett N, et al. Comprehensive investigation of Ge-Si bonded interfaces using oxygen radical activation[J]. Journal of Applied Physics, 2011, 109(12): 123529.
- [24] Byun K Y, Ferain I, Fleming P G, et al. Low temperature germanium to silicon direct wafer bonding using free radical exposure [J]. Applied Physics Letters, 2010, 96(10): 102110.
- [25] Gity F, Byun K Y, Lee K, et al. Ge/Si p-n diode fabricated by direct wafer bonding and layer exfoliation[J]. ECS Transactions, 2012, 45(6): 131-139.
- [26] Gity F, Daly A, Snyder B, et al. Ge/Si heterojunction photodiodes fabricated by low temperature wafer bonding [J]. Optics Express, 2013, 21(14): 17309-17314.
- [27] Razek N, Dragoi V, Jung A, et al. Si-Ge heterostructures fabricated by room temperature wafer bonding[J]. ECS Transactions, 2018, 86(5): 191-197.
- [28] Li Q L, Xie Q, Jiang Y L, et al. Annealing induced hysteresis suppression for TiN/HfO₂/GeON/p-Ge capacitor [J]. Semiconductor Science and Technology, 2011, 26(12): 125003.
- [29] Kuzum D, Krishnamohan T, Nainani A, et al. High-mobility Ge N-MOSFETs and mobility degradation mechanisms [J]. IEEE Transactions on Electron Devices, 2011, 58(1): 59-66.
- [30] Gogna M, Suarez E, Chan P Y, et al. Nonvolatile silicon memory using GeO_x-cladded Ge quantum dots self-assembled on SiO₂ and lattice-matched II-VI tunnel insulator[J]. Journal of Electronic Materials, 2011, 40(8): 1769-1774.
- [31] Zhang Q C, Kelly J C, Mills D R. Possible high absorptance and low emittance selective surface for high temperature solar thermal collectors [J]. Applied Optics, 1991, 30(13): 1653-1658.
- [32] Kiefer A M, Paskiewicz D M, Clausen A M, et al. Si/Ge junctions formed by nanomembrane bonding [J]. ACS Nano, 2011, 5(2): 1179-1189.
- [33] Price P J and Radcliffe J M. Esaki tunneling[J]. IBM Journal of Research and Development, 1959, 3(4): 364-371.
- [34] Weber J R, Janotti A, Rinke P, et al. Dangling-bond defects and hydrogen passivation in germanium [J]. Applied Physics Letters, 2007, 91(14): 142101.
- [35] Tsipas P, Dimoulas A. Modeling of negatively

- charged states at the Ge surface and interfaces [J]. Applied Physics Letters, 2009, 94(1): 012114.
- [36] Kuzum D, Park J H, Krishnamohan T, et al. The effect of donor/acceptor nature of interface traps on Ge MOSFET characteristics [J]. IEEE Transactions on Electron Devices, 2011, 58(4): 1015-1022.