

实现空间高分辨成像的数字域时间延迟积分 CMOS 相机设计及分析

陶淑苹^{1,2} 金 光¹ 曲宏松¹ 贺小军¹ 杨秀彬¹

(¹ 中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033)

² 中国科学院研究生院, 北京 100049

摘要 为使具有诸多优点的互补金属氧化物半导体(CMOS)传感器更适合空间高分辨成像,寻求空间高分成像的新型技术,提出了更利于微光成像和推扫成像的卷帘数字域时间延迟积分(TDI)算法。同时研究数字域 TDI CMOS 相机成像质量,详细分析了其噪声来源和特性,并建立了数字域积分图像信噪比(SNR)与积分级数的关系模型,讨论了积分时间和光照度对 SNR 的影响。最后利用设计的 IBIS5-B-1300 卷帘数字域 TDI CMOS 原理样机开展验证实验。实验结果表明本文算法能明显提高成像质量,数字域 10 级积分图像 SNR 由未积分的 19.07 dB 提高至 29.21 dB,而且级数越大,SNR 越大。理论分析和实验验证均表明 M 级卷帘数字域 TDI 可使图像 SNR 提高 $M(\sigma_{AD} + \sigma_{CMOS}) / (M\sigma_{AD} + \sqrt{M}\sigma_{CMOS})$ 倍,其中 σ_{AD} 和 σ_{CMOS} 与选择的 CMOS 传感器有关,另外 σ_{CMOS} 还受积分时间和光照度的影响。

关键词 成像系统;时间延迟积分;数学模型;数字域;信噪比

中图分类号 TP386.5 文献标识码 A doi: 10.3788/AOS201232.0411001

Design and Analysis of CMOS Camera Based on Time Delay and Integration in Digital Domain to Realize Spatial High-Resolution Imaging

Tao Shuping^{1,2} Jin Guang¹ Qu Hongsong¹ He Xiaojun¹ Yang Xiubin¹

(¹ Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun, Jilin 130033, China
² Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract In order to make the complementary metal-oxide-semiconductor (CMOS) sensor with many advantages more suitable for spatial high resolution imaging, and look for new imaging techniques, a new algorithm called rolling time delay and integration (TDI) in digital domain is proposed, which is better for low light level and push broom imaging. Then the noise sources and their characteristics are analyzed in detail to study the CMOS imaging system's quality, and a mathematical model of the relation between the digital integrated images' signal-to-noise ratio (SNR) and integration stages is established. The influence of integration time and illuminance on SNR is discussed. Finally, validation experiments are carried out using the designed IBIS5-B-1300 TDI CMOS principle prototype. Experimental results show that the proposed algorithm could improve image quality significantly, where the image's SNR after integrating 10 stages by the proposed algorithm increased to 29.21 dB from the non-integration's 19.07 dB, and the SNR increased with the stage's increasing. Theoretical analysis and experimental validation both show that the rolling TDI in digital domain can improve the image SNR by $M(\sigma_{AD} + \sigma_{CMOS}) / (M\sigma_{AD} + \sqrt{M}\sigma_{CMOS})$ times, and the parameters of σ_{AD} and σ_{CMOS} are related to the selected CMOS sensor, what's more, σ_{CMOS} is effected by the integration time and illuminance.

Key words imaging systems; time delay and integration; mathematical model; digital domain; signal-to-noise ratio

OCIS codes 110.4280; 040.5160; 110.2960

收稿日期: 2011-09-30; 收到修改稿日期: 2011-10-31

基金项目: 国家 863 计划(O93J32F090)和国家自然科学基金青年基金(60902067)资助课题。

作者简介: 陶淑苹(1986—),女,博士研究生,主要从事空间遥感相机成像电子学方面的研究。

E-mail: taoshuping11@sina.com

导师简介: 金 光(1958—),男,博士,研究员,博士生导师,主要从事空间遥感相机总体设计方面的研究。

E-mail: jing@ciomp.ac.cn

1 引 言

目前,互补金属氧化物半导体(CMOS)传感器以其系统集成度高、成本低、功耗小和抗辐照能力强等优点,已应用于星敏感器、空间可视监控系统、可视遥感星跟踪器系统、飞船监视器、火星探测器和天体跟踪器中,并在空间光学展现出广阔的应用前景^[1,2]。

现阶段,航天领域高分辨成像主要采用时间延迟积分(TDI)电荷耦合器件(CCD)。但是,TDI CCD只能动态推扫成像,实时调焦困难;而且需要严格的像移速度匹配,因此在对目标凝视成像场合无法应用;另外存在驱动电路和信号处理电路难以与CCD成像阵列单片集成,外围电路复杂,电源种类多,图像信息不能随机读取等欠缺。因此寻求空间高分辨成像的新型技术迫在眉睫。

为使CMOS能够更适合空间高分辨力成像,本文着重研究一种新型成像系统,使其在面阵成像基础上具备TDI功能,则可通过面阵和TDI间的灵活切换,轻松满足静态实时调焦和动态扫描成像两方面的需求,大幅提高成像系统的灵敏度和信噪比(SNR),轻松解决凝视拍照的高分辨率难题。另外利用现场可编程门阵列(FPGA)可实现CMOS相机级数连续可调,解决了TDI CCD级数只能在固定几个数字内选择^[3],得不到合适灰度的问题。

CMOS传感器的有源像素传感器(APS)内电荷无法存储,因此类似TDI CCD的电荷域延迟累加方法难以实现,只能从模拟域或数字域实现TDI。目前,Pain等^[4-6]提出了基于模拟域增加积分电路的方式来实现CMOS传感器TDI功能,但这些方法都需要复杂的硬件电路设计,并受制于CMOS制造工艺,通用性、移植性差。因此Lepagea等^[7]和曲宏松等^[8]分别提出了数字域TDI算法。然而前者只提及数字域TDI概念,未展开分析描述;后者虽分析了算法原理,但未考虑传感器成像特点,也没有实验验证和对成像效果的分析。针对以上问题,本文首先结合CMOS成像特点,提出更利于微光成像和推扫成像的卷帘数字域TDI算法,然后对该算法成像效果进行分析,理论推导和实验验证了数字域积分图像SNR与积分级数的关系模型。

2 卷帘数字域TDI算法

数字域TDI算法是整个相机设计的核心,而为使算法更适合空间高分辨成像,必须从传感器成像

特点出发。现有面阵CMOS图像传感器几乎均有两种电子快门:同步快门和卷帘快门。其中同步快门实现方法简单,像元阵列的所有行同时曝光,积分结束后再逐行读出。卷帘快门与胶片相机的机械式焦平面快门(卷帘快门亦称为电子焦平面快门)有相似的工作原理,焦平面快门有两片在胶片前方移动的遮光帘片,前后帘之间形成一定的缝隙,缝隙划过成像窗口从而使胶片逐次曝光,缝隙的宽度决定了任一点的积分时间。只是CMOS传感器的卷帘快门为电子快门,利用了感光系统不通电不工作原理,从而省去了机械快门的安装等问题^[9,10]。同步和卷帘快门的帧周期及积分时间分别如下:

$$T_{\text{frm, syn}} = T_{\text{int, syn}} + T_{\text{readout, syn}} = T_{\text{int, syn}} + \left(t_{\text{rb}} + n_{\text{pixels}} \frac{1}{f_s} \right) n_{\text{lines}}, \quad (1)$$

$$T_{\text{frm, roll}} = \left(t_{\text{rb}} + n_{\text{pixels}} \frac{1}{f_s} \right) n_{\text{lines}}, \quad (2)$$

$$T_{\text{int, roll}} \leq T_{\text{line, roll}} (n_{\text{lines}} - 1), \quad (3)$$

$$T_{\text{line, roll}} = t_{\text{rb}} + n_{\text{pixels}} \frac{1}{f_s}, \quad (4)$$

式中 $T_{\text{frm, syn}}$ 和 $T_{\text{frm, roll}}$ 分别为同步和卷帘快门的帧周期,每帧时间又包括积分时间和像素读出时间; $T_{\text{int, syn}}$ 和 $T_{\text{int, roll}}$ 分别表示同步和卷帘快门的积分时间,传感器利用该时间曝光产生光生电荷; $T_{\text{line, roll}}$ 为像素阵列行周期; t_{rb} 为行空白时间,典型值为 $3.5 \mu\text{s}$, CMOS传感器须利用此时间进行相关双采样(CDS); f_s 为像素读出频率; n_{lines} 为每帧图像行数, n_{pixels} 为每行像元数。

对比(1)~(4)式可得:在相同的开窗大小和积分时间下,卷帘快门帧频约为同步快门的两倍;相同的帧频时卷帘快门每行像元的曝光时间更长。因此卷帘快门更利于微光成像和推扫成像。另外卷帘式快门成像质量优良,具有较低的噪声。因此本文选用卷帘快门进行数字域TDI算法设计和实现,并将此算法简称为卷帘数字域TDI。

卷帘数字域TDI算法流程如图1所示,而整个算法又包括两部分:首先计算满足后端数字域叠加要求的传感器时序参数,利用FPGA控制CMOS传感器按满足卷帘快门和TDI双重要求的时序工作;其次利用FPGA控制数字域各帧像素阵列列向对应像素逐行或隔行叠加,得到TDI图像^[11,12]。其中第一步控制时序的产生是整个算法的基础和关键,其核心又在于最佳行周期、逆程和开窗行数等时序参数计算公式的推导。

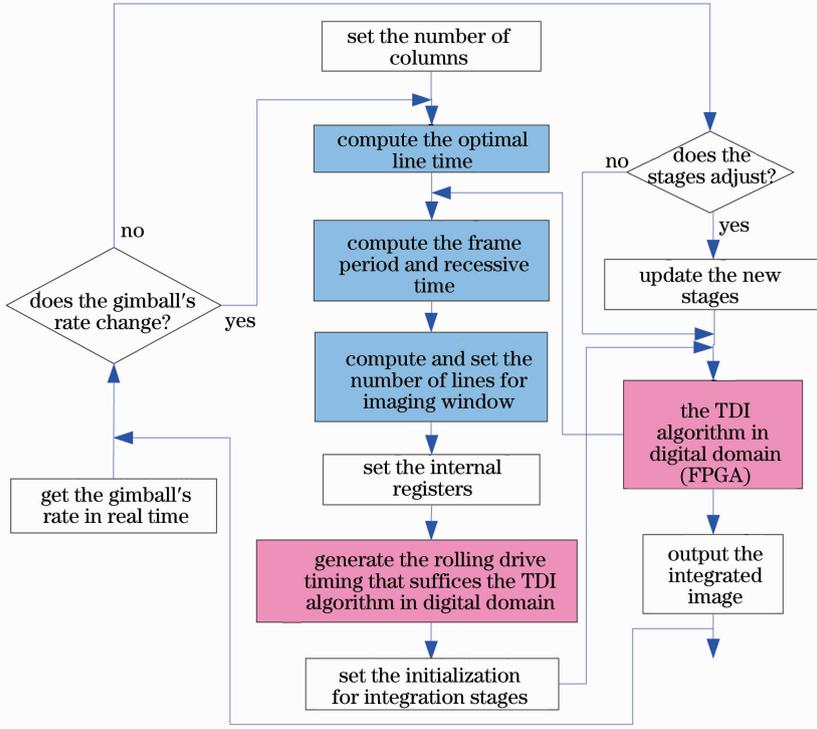


图 1 卷帘数字域 TDI 算法流程图

Fig. 1 Flow chart of rolling TDI algorithm in digital domain

2.1 时序参数计算

实际推扫过程中,推扫速度不可能恒定不变,因此根据设定行周期推算并控制转台速度的方法存在弊端。尤其卷帘快门较同步快门对像移匹配要求更高,而本文提出的根据转台速度实时调整最佳行时间的卷帘数字域 TDI 算法,可克服该弊端。假设偏流角为 0,后端数字域 TDI 采用逐行叠加方式,用角速度为 ω 的转台控制推扫过程,传感器与转台中心轴线距离为 l ,则由推扫速度决定的最佳行周期 $T_{\text{line,TDI}}$ 计算公式为

$$T_{\text{line,TDI}} = \frac{a}{\omega l}, \quad (5)$$

而每个行周期又由有效(帧周期)和无效(回程)工作时间组成:

$$T_{\text{frm,roll}} + T_{\text{back path}} = T_{\text{line,TDI}}, \quad (6)$$

式中 a 为传感器像元尺寸; $T_{\text{back path}}$ 为回程时间,该时间段内传感器无动作,但须用于实现 TDI 行周期连续可调,且满足

$$0 \leq T_{\text{back path}} < T_{\text{line,roll}}. \quad (7)$$

由(2)、(5)、(6)式出面阵 CMOS 传感器控制时序中行读出脉冲数目(即成像窗口行数) n_{lines} 和回程时间分别为

$$n_{\text{lines}} = \frac{\frac{a}{\omega l} - T_{\text{back path}}}{t_{\text{rb}} + n_{\text{pixels}} \frac{1}{f_s}}, \quad (8)$$

$$T_{\text{back path}} = \frac{a}{\omega l} - \left\{ \left(t_{\text{rb}} + n_{\text{pixels}} \frac{1}{f_s} \right) \cdot \text{rem} \left[\frac{a}{\omega l} / \left(t_{\text{rb}} + n_{\text{pixels}} \frac{1}{f_s} \right) \right] \right\}. \quad (9)$$

式中 $\text{rem}(\cdot)$ 表示取不大于运算结果的最大整数。当像移速度不匹配时,可以调整卷帘开窗行数(粗调)或回程时间(精调)来改变像移速度,从而改善像移失配引起的成像模糊。FPGA 利用以上时序参数的推导公式可完成对 CMOS 传感器驱动,然而时序参数的推导必须依据后端数字域 TDI 算法,而且必须经过数字域 TDI 算法后才能得到积分图像。

2.2 基于 FPGA 的数字域图像延时叠加

以 3 级积分为例,逐行叠加的卷帘数字域 TDI 算法工作原理如图 2 所示。当进行推扫成像时,在第一个行周期,CMOS 传感器输出像素矩阵 P1, FPGA 控制前 3 行数据写入存储器 M 中;经过一个行周期,传感器沿推扫方向移动一个像元宽度,并输出第二帧图像 P2,此时线阵 1 对应的客体与前帧线阵 2 对应的客体相同,因此 FPGA 控制 P2 前 3 行数据与 P1 对应数据叠加后存入存储器;同理,第三个行周期,存储器 M1 中存储的是当前帧线阵 1、前

1 帧线阵 2 以及前 2 帧线阵 3 对同一客体成像数据的叠加,存储器 M2 中为当前帧线阵 2 和前 1 帧线阵 3 成像数据的和, M3 中暂存当前帧线阵 3 的成

像数据。每个行周期 M1 数据叠加完成后,在 FPGA 控制下输出,此时 3 级积分输出信号为

$$N_{\text{signal}}(3) = P_3(1) + P_2(2) + P_1(3). \quad (10)$$

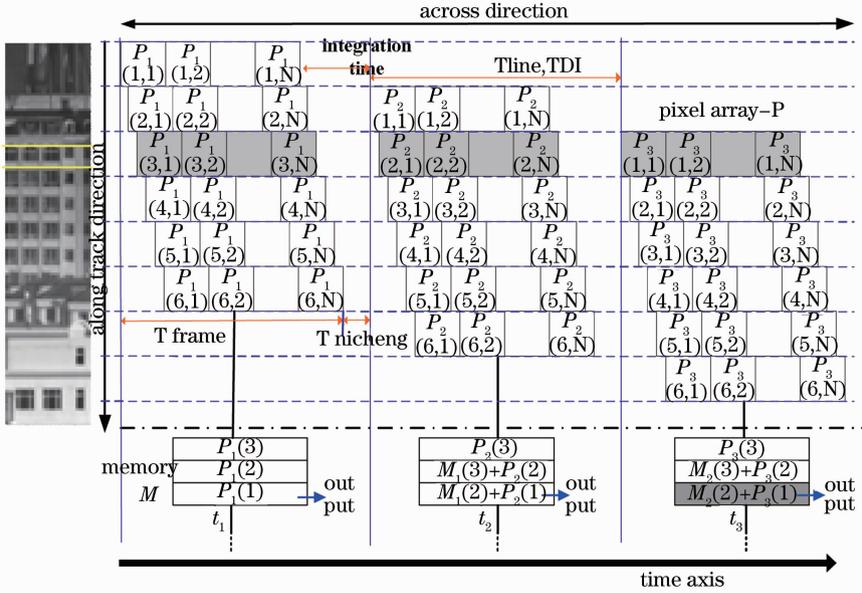


图 2 卷帘数字域 TDI 算法原理图

Fig. 2 Principle of rolling TDI algorithm in digital domain

因此,可以推导出 M 级 CMOS 数字域 TDI 算法输出信号灰度值:

$$N_{\text{signal}}(k, M, j) = P_k(1, j) + P_{k-1}(2, j) + \dots + P_{k-(M-2)}(M-1, j) + P_{k-(M-1)}(M, j), \quad 1 \leq j \leq N \quad (11)$$

为了避免饱和溢出失真,当叠加值超过最大量化值时取最大量化值:

$$N'_{\text{signal}}(k, M, j) = \begin{cases} N_{\text{signal}}(k, M, j), & N_{\text{signal}}(k, M, j) \leq 2^n - 1 \\ 2^n - 1, & N_{\text{signal}}(k, M, j) > 2^n - 1 \end{cases}, \quad 1 \leq j \leq N \quad (12)$$

式中 $N'_{\text{signal}}(k, M, j)$ 表示第 k 个行周期经过 M 级数字域积分的输出信号值; $P_k(i, j)$ 表示第 k 个行周期, APS 输出像素矩阵的第 i 行、第 j 列信号; n 为量化位数; N 为每行像元数。

另外,卷帘数字域 TDI 算法的一大优势是积分级数的连续可调。因为积分级数 $M \leq n_{\text{lines}}$, 而且当积分级数与成像窗口行数 n_{lines} 相等时, TDI 效率将达到最高,因此为了最大化提高行频,将级数初始值按(13)式计算得到,其大小亦可在 $[1, M_0]$ 区间实时调整:

$$M_0 = \frac{a}{\omega l} - \frac{T_{\text{back path}}}{t_{\text{rb}} + n_{\text{pixels}} \frac{1}{f_s}}. \quad (13)$$

3 卷帘数字域 TDI CMOS 相机设计实现

为了对卷帘数字域 TDI 算法进行进一步实现

和验证,设计了 CMOS 相机原理样机(图 3),主要包括控制采集部分和成像部分。控制采集部分由图像采集卡、计算机和控制指令终端等组成,成像部分由 FPGA、CMOS 传感器、时序驱动电路、数据存储电路、数传电路等组成。



图 3 CMOS 相机原理样机

Fig. 3 Principle prototype of CMOS camera

实验选用了 CYPRESS 公司的 IBIS5-B-1300 全色面阵 CMOS 传感器, FPGA 为 Xilinx 公司的 XCV3000, 另外采用了 2 片片外静态存储器

(SRAM)用于数字信号存储。

控制指令终端通过 RS422 接口向 FPGA 发送控制指令, FPGA 收到控制指令后译码, 首先完成对 CMOS 内部寄存器和增益偏置值的设置, 继而根据面阵或 TDI 成像方式的要求, 计算出各自驱动时序控制参数值, 完成对传感器 IBIS5-B-1300 的驱动。TDI 成像方式下, 需要根据卷帘数字域 TDI 算法计算行转移时间、帧周期、回程时间和级数。然后 FPGA 控制 2 片 SRAM 实现数字图像的存储转移累加, 最终数字积分图像以 Camera Link 接口形式发送给计算机图像采集卡。

4 SNR 分析

准确的成像系统 SNR 模型对于优化相机设计, 最终提高图像质量作用重大, 尤其对于高分辨力相机的前期论证更是举足轻重。为使 CMOS 更适合空间高分辨力成像, 对系统的 SNR 进行了分析和实验验证。

图 4 是一个完整的 CMOS 传感器 APS 电路。其中左上部是通用的 4T 结构设计, 由 1 个光电二极管, 1 个转移门和 3 个晶体管 (reset、source follower、select) 组成, 完成电荷生成、复位、积分和电荷转移操作。在中间列级电路部分, 同一列像素共享同一电路, 并完成 CDS 操作。最后经差分放大器输出模拟电压信号, 送入模/数转换器 (ADC) 模块。由图 4 可知 CMOS 相机的总噪声在 4 个不同操作阶段 (复位、积分、读出和量化) 产生。因为通过应用 CDS 或数字图像处理技术可以极大消除固定

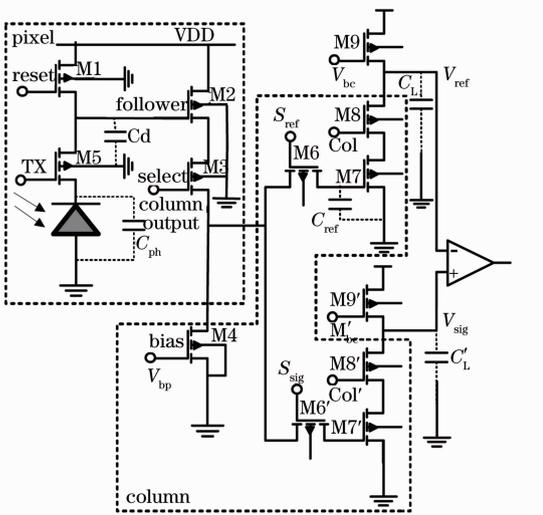


图 4 APS 电路

Fig. 4 APS circuit

图形噪声, 因此只考虑量化噪声和传感器内部暂态噪声, 其中传感器内部暂态噪声来源于复位、积分和读出过程^[13~17]。

4.1 量化噪声

量化噪声, 是由图像核模拟输出电压转化为数字电压过程中引入, 大小与量化间隔即传感器满阱电荷数和 AD 量化范围的比值有关。该噪声属于均匀噪声, 一旦 APS 和 ADC 模块电路确定后, 量化噪声也成为了一个定值。与 TDI CCD 不同, 数字域 TDI 发生在模数转换后, M 级积分图像经过了 M 次模数转化操作, 因此属于均匀噪声的量化噪声经 M 级叠加后满足

$$\sigma_{AD} = M\sigma_{AD} = M \frac{N_{full}^2}{12 \times 2^{2N}}. \quad (14)$$

4.2 传感器内部暂态噪声

4.2.1 复位过程噪声

在 CMOS 传感器 APS 电路复位期间占主导地位噪声是热噪声, 满足

$$\overline{V_{reset}^2} = \frac{kT}{2C_{ph}}, \quad (15)$$

式中 C_{ph} 是光电二极管 p-n 结电容, 大小随光电二极管光电流对 p-n 结放电过程生成的电压变化而变化, 其表达式为

$$C_{ph}[V_S(t)] = C_0 \left(\frac{V_0 + \phi}{V_S + \phi} \right)^{1/4}, \quad (16)$$

$$V_S(t) = \left\{ (V_0 + \phi)^{3/4} - \frac{3[I_{ph}(t) + I_{dk}(t)]}{4C_0} (V_0 + \phi)^{-1/4} t \right\}^{4/3} - \phi, \quad (17)$$

式中 ϕ 为 p-n 结内建电势, C_0 、 V_0 分别为积分起始二极管的初始电容和电压。

4.2.2 积分过程噪声

积分过程的噪声主要为霰粒噪声和 $1/f$ 噪声。用 I_{ph} 、 I_{dk} 分别表示光电流和暗电流, 在积分结束时霰粒噪声大小为

$$\overline{V_{shot}^2} = \frac{q(I_{ph} + I_{dk})}{C_0^2} t_{int} \left[1 - \frac{1}{2(V_0 + \phi)} \frac{I_{ph} + I_{dk}}{C_0} t_{int} \right]^2. \quad (18)$$

$1/f$ 噪声为自相关函数, 在积分结束时趋向稳定, 其大小为

$$\overline{V_{1/f}^2} = \frac{\alpha_H (I_{ph} + I_{dk})^2}{N 4\pi^2 C_{ph}^2} \left(-\frac{1}{f^2} \right) \Big|_{f_1}^{f_2}, \quad (19)$$

式中 N 为自由载流子数目; 通常取 $f_1 = 1/t_{int}$, $f_2 = +\infty$, 因此当 t_{int} 很小时, $1/f$ 噪声亦很小, 其影响几乎可忽略。

4.2.3 读出过程噪声

每个晶体管都会引入热噪声和 $1/f$ 噪声,在这一阶段噪声来源于晶体管 M2-4, M6-9, 其中晶体管 M6 起开关作用,电导很大,对总噪声的影响可以忽略,另外 $1/f$ 噪声经过 CDS 电路后基本可被移除,因此只考虑像素级读出(晶体管 M2-4)和 CDS 电路(晶体管 M7-9)的热噪声。像素级读出噪声:

$$\overline{V_{\text{follower}}^2} = \frac{2kT}{3C_{\text{ref}}} \frac{1}{1 + \frac{g_{m_2}}{g_{d_3}}}, \quad (20)$$

$$\overline{V_{\text{select}}^2} = \frac{kT}{C_{\text{ref}}} \frac{1}{1 + \frac{g_{d_3}}{g_{m_2}}}, \quad (21)$$

$$\overline{V_{\text{bias}}^2} = \frac{2kT}{3C_{\text{ref}}} g_{m_4} \left(\frac{1}{g_{d_3}} + \frac{1}{g_{m_2}} \right). \quad (22)$$

令 $\alpha = \frac{1}{g_{d_3}} + \frac{1}{g_{m_2}}$, 则像素级总读出噪声表达式为

$$\overline{V_{\text{read, pixel}}^2} = \frac{kT}{C_{\text{ref}}} \left[\frac{2}{3g_{m_2}\alpha} + \frac{1}{g_{d_3}\alpha} + \frac{2g_{m_4}\alpha}{3} \right]. \quad (23)$$

同理,令 $\beta = 1/g_{d_8} + 1/g_{m_7}$, CDS 阶段总读出噪声满足

$$\overline{V_{\text{read, CDS}}^2} = \frac{2kT}{C_l} \left[\frac{2}{3g_{m_7}\beta} + \frac{1}{g_{d_8}\beta} + \frac{2g_{m_9}\beta}{3} \right]. \quad (24)$$

通过 CDS 电路后复位噪声可以几乎被消除,而由(18)、(23)、(24)式及噪声特性可知积分过程和读出过程噪声都属于随机噪声,服从泊松分布,且彼此独立互不相关,因此传感器总输出噪声表达式为

$$\sigma_{\text{CMOS}} = \sqrt{(\overline{V_{\text{reset}}^2} + \overline{V_{\text{int}}^2})H_{\text{APS}}^2 + \overline{V_{\text{read}}^2}} \approx \sqrt{\overline{V_{\text{int}}^2}H_{\text{APS}}^2 + (\overline{V_{\text{read, pixel}}^2} + \overline{V_{\text{read, CDS}}^2})}, \quad (25)$$

式中 H_{APS} 为 APS 输出电压增益。

可见,在量化前 CMOS 传感器输出的噪声为暂态噪声,仍符合随机噪声特性,因此经过 M 级叠加后该部分噪声满足(26)式关系。又因为 CMOS 传感器内部噪声和量化噪声独立分布,因此相机总噪声计算如(27)式。另外由(15)~(24)式分析可得,CMOS 内部暂态噪声除与选用的 CMOS 传感器(决定读出噪声)有关外,还受积分时间和光照度大小的影响:

$$\hat{\sigma}_{\text{CMOS}} = \sqrt{M}\sigma_{\text{CMOS}}, \quad (26)$$

$$\hat{\sigma}(x, y) = \hat{\sigma}_{\text{AD}} + \hat{\sigma}_{\text{CMOS}} = M\sigma_{\text{AD}} + \sqrt{M}\sigma_{\text{CMOS}} \quad (27)$$

式中 $\hat{\sigma}(x, y)$, $\hat{\sigma}_{\text{AD}}$ 和 $\hat{\sigma}_{\text{CMOS}}$ 分别为 M 级积分后的相机总噪声,总量化噪声和总的 CMOS 传感器内部暂态噪声。

4.3 数字域 TDI 图像 SNR 数学模型

SNR 是衡量图像质量的一个重要指标,尤其是 TDI 相机的最主要考核指标之一。由峰峰值 SNR 计算公式及(12)、(27)式,推导出数字域 TDI CMOS 相机 M 级积分图像的 SNR 为

$$R_{\text{SN}} = 20\lg \frac{Mf(x, y)}{M\sigma_{\text{AD}} + \sqrt{M}\sigma_{\text{CMOS}}} = \frac{M(\sigma_{\text{AD}} + \sigma_{\text{CMOS}})}{M\sigma_{\text{AD}} + \sqrt{M}\sigma_{\text{CMOS}}} R_{\text{SN0}}, \quad (28)$$

其中 CMOS 相机面阵成像(即 1 级积分)图像 SNR 为

$$R_{\text{SN0}} = 20\lg \frac{f(x, y)}{\sigma_{\text{AD}} + \sigma_{\text{CMOS}}} = 20\lg \frac{\left\{ (V_0 + \phi)^{3/4} - \frac{3[I_{\text{ph}}(t) + I_{\text{dk}}(t)]}{4C_0} (V_0 + \phi)^{-1/4} t \right\}^{4/3} - \phi}{\frac{N_{\text{full}}}{2^N} + \sqrt{\overline{V_{\text{int}}^2}H_{\text{APS}}^2 + (\overline{V_{\text{read, pixel}}^2} + \overline{V_{\text{read, CDS}}^2})}}. \quad (29)$$

5 实验验证与分析

5.1 原理验证

完成系统设计和调试后进行成像实验验证,外场成像结果(10 bit 量化,8 bit 输出)如图 5 所示,3 幅图像对应的 TDI 级数分别为 1、5、10。分析积分前后成像质量,选取图像下部 4/7 区域[图 5(c)上部区域已饱和]计算图像灰度、均方根噪声和峰值 SNR 得表 1 结果。

对比 3 幅图像明显可以看出随着级数增加图像不断变亮,层次感增强。其中当级数 $M=1$ 时曝光量明显不足,图像层次少、质量差;5 级积分图像增

亮且细节明显增多;10 级积分时图像已轮廓分明,细节丰富。由提取的衡量图像质量的特征量亦可以发现积分后图像各指标均得以提高,尤其 SNR 从 19.07 dB 提高到 29.21 dB,验证了卷帘数字域 TDI 技术的正确性和可行性,展现出该技术的研究意义。

表 1 外场图像特征值

Table 1 Properties of test images

Fig.	(a)	(b)	(c)
Average gray value	16.74	80.95	175.83
σ_{RMS}	1.86	4.21	6.09
PSNR /dB	19.07	25.67	29.21

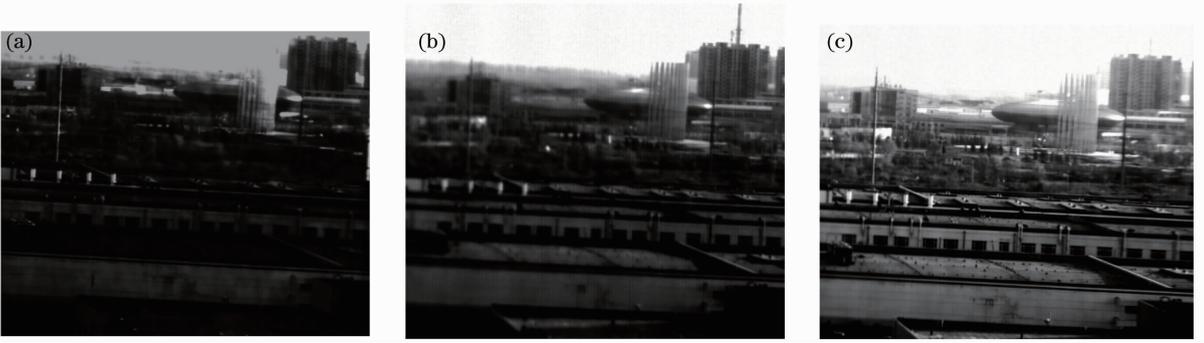


图 5 外场图像。(a)级数 $M=1$ ；(b) $M=5$ ；(c) $M=10$

Fig. 5 Test images. (a) Stage $M=1$ ；(b) $M=5$ ；(c) $M=10$

5.2 数字域 TDI 图像 SNR 模型验证

由表 1 图像 SNR 数据可知,级数越大 SNR 越大,为了进一步分析验证 SNR 与积分级数的关系特性,在不同积分时间和不同光照度条件下,获取各积

分级数图像,并将图像 SNR 实验结果与(28)式理论值进行比较,结果如图 6 和图 7 所示。其中 CMOS 传感器参数如表 2 所示。

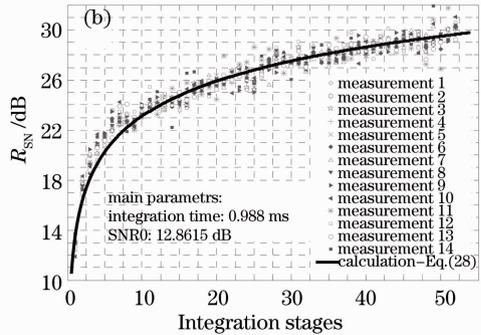
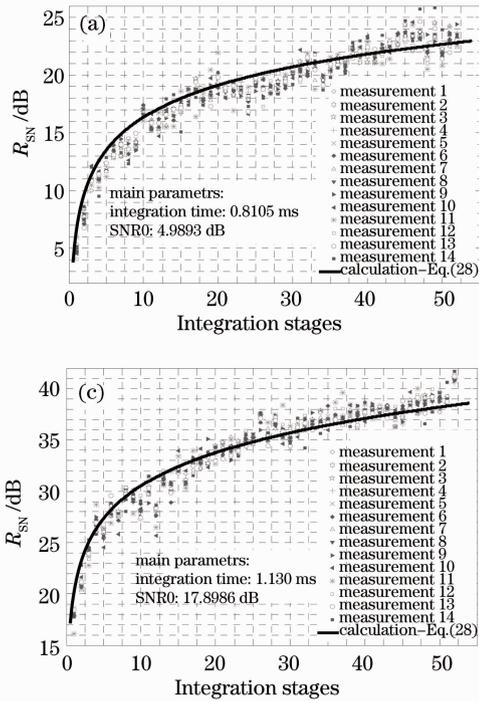


图 6 不同积分时间下 SNR 的实验值与理论计算值

Fig. 6 Measured and calculated results of SNR in different integration time

表 2 CMOS 传感器参数

Table 2 Parameter of CMOS sensor

Dark current	Full well charge	Quantization
7.22 mV/s	62.5e ⁻	10 bits

图 6 三幅图像分别对应三种积分时间下图像 SNR 的实验数据和理论计算结果,其中图中数据点对应各积分级数下的 14 组实验数据,光滑曲线对应由(28)式计算得到的理论值。可见每幅图像的多次实验数据与理论计算结果都非常吻合,证明了(28)

Parameter	(a)	(b)	(c)
t_{int}/ms	0.8105	0.988	1.130
σ_{AD}	0.03104	0.03104	0.03104
σ_{CMOS}	1.42471	1.57933	1.67664
R_{SNO}/dB	4.9893	12.8615	17.8986

式所建立数学模型的正确性。另外可以发现 CMOS 传感器内部噪声随着积分时间的增大而增大,这是因为 $1/f$ 噪声在 t_{int} 很小时影响很小,而且在像元电容饱和前霰粒噪声随积分时间增大而增大。

不同光照度下实验图像的 SNR 数据和理论 SNR 曲线如图 7 所示,其中平滑曲线为各光照度下 SNR 模拟曲线,数据点为对应光强下获取的多次实验图像的 SNR 计算结果。可以发现 5 种光照度下

各积分级数对应的实验数据和模拟结果都十分接近,进一步说明(28)式模型正确。图中5条曲线的最右端分别对应各光照度下的近饱和状态,可以看出光照度增强数字域 TDI 后所能达到的最大 SNR

也略微增大,这是因为光照越弱,光电流相对暗电流越小,由暗电流引起的噪声影响会加大,而且与积分级数成正比的数字域 TDI 灰度值达到饱和所需的级数越多,总量化噪声分量也就越大。

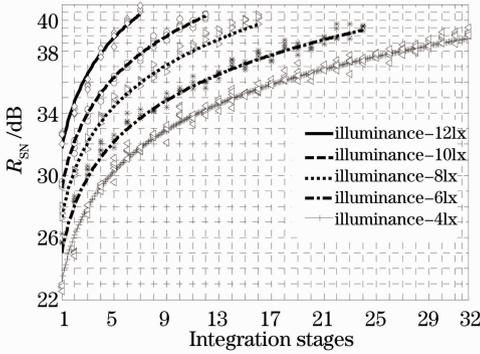


图 7 不同光照度下 SNR 的实验值与理论计算值

Fig. 7 Measured and calculated results of SNR in different illuminances

与 TDI CCD SNR 提高倍数 \sqrt{M} 相比,本文算法略差,这是由于 TDI CCD 电荷累加过程发生在量化前,总噪声只增加 \sqrt{M} 倍;而数字域 TDI 是将 M 次量化后数字图像叠加,其随机噪声增加了 \sqrt{M} 倍,但属于均匀噪声的量化噪声 M 次叠加后却增加 M 倍,因此其 SNR 提高倍数小于 TDI CCD。然而随着 ADC 量化位数的提高,量化噪声的影响将逐渐减小,另外还可以通过在数字图像叠加前增加图像去噪算法的方法,提高积分图像 SNR,因此卷帘数字域 TDI 算法将完全可以逼近 TDI CCD SNR 提高倍数。

成像基础上具备了 TDI 功能,提高了系统灵敏度和 SNR;建立的数字域 TDI SNR 与积分级数关系模型更是为相机研制提供了重大的指导意义;而且其数字域操作方式优势明显,克服了 TDI CCD 难以调焦和级数不可连续调整的固有缺陷,解决了凝视拍照的高分辨难题,是空间高分辨遥感成像的新思路。

卷帘数字域 TDI 算法切实可以改善成像质量,而且对于帧频大于 648 frame/s 的 1280 pixel \times 1024 pixel CMOS,可以满足 600 km 轨道高度下地面像元分辨率为 1 m 的 96 级积分成像要求^[8],应用前景广阔。

参 考 文 献

6 结 论

提出了一种基于 FPGA 实现卷帘数字域 TDI 的新方法,并根据对噪声来源和特性的详细分析以及成像实验结果,建立了数字域 TDI 后图像 SNR 与积分级数的数学关系模型。实验结果表明本文算法能明显提高成像质量,图像 SNR 由 19.07 dB(未积分)提高至 29.21 dB(数字域 10 级积分),另外理论分析和实验验证均表明 M 级卷帘数字域 TDI 可使图像 SNR 提高 $M(\sigma_{AD} + \sigma_{CMOS}) / (M\sigma_{AD} + \sqrt{M}\sigma_{CMOS})$ 倍。该研究使得具有诸多优点的 CMOS 传感器在面阵

Parameter	Illuminance-lx				
	4	6	8	10	12
t_{int} /ms	1.2365				
σ_{AD}	0.03104	0.03104	0.03104	0.03104	0.03104
σ_{CMOS}	0.88489	0.92191	0.94821	0.97941	1.24938
R_{SN0}	22.6348	24.5398	26.8127	28.6954	31.2559

- 1 G. Lepage, D. Didier, W. Dielsa. CMOS long linear array for space application[C]. SPIE, 2006, **6068**: 606807
- 2 Fu Qiuyu, Lin Qingyu, Zhang Wancheng *et al.*. A high-speed CMOS image sensor for real-time vision chip[J]. *Acta Optica Sinica*, 2011, **31**(8): 0828001
- 3 Ren Huanhuan, Ruan Ping, He Jianwei *et al.*. Study of the radiation calibration of TDI CCD spatial stereo camera[J]. *Acta Optica Sinica*, 2010, **30**(12): 3476~3480
- 4 Pain, Bedabrata, Cunningham *et al.*. CMOS Image Sensors Capable of Time Delayed Integration[R]. NASA Technology Report, 2001. 04
- 5 Gao Jun. High performance linear 288 \times 4 CMOS readout integrated circuit with time delay integration[J]. *Universitatis Pekinensis*, 2004, **40**(3): 402~406
- 6 W. G. Lu, Z. J. Chen, J. Tang *et al.*. A high efficient analog charge delay line for high performance CMOS readout integrated circuits with TDI function[C]. ASIC, 2007, 502~505
- 7 G. Lepage, Jan Bogaerts, Guy Meynants. Time-delay-integration architectures in CMOS image sensors [J]. *IEEE Transactions on Electron Devices*, 2009, **56**(11): 2524~2532
- 8 Qu Hongsong, Zhang Ye, Jin Guang. Improvement of performance for CMOS area image sensors by TDI algorithm in digital domain [J]. *Optics and Precision Engineering*, 2010, **18**(8): 1896~1903
- 9 曲宏松, 张 叶, 金 光. 基于数字域 TDI 算法改进面阵 CMOS 图像传感器功能[J]. *光学 精密工程*, 2010, **18**(8): 1896~1903

- 9 Liu Zhi, Chai Hua, Li Nana. Shutter mode of CMOS image sensor and its application[J]. *Optics and Precision Engineering*, 2009, **17**(8): 2017~2023
刘智, 柴华, 李娜娜. CMOS 图像传感器中卷帘式快门特性及其应用[J]. *光学精密工程*, 2009, **17**(8): 2017~2023
- 10 Zhang Liang, Wang Jianyu, Jia Jianjun *et al.*. Design and performance of fine tracking system based on CMOS for quantum communication[J]. *Chinese J. Lasers*, 2011, **38**(2): 0205008
张亮, 王建宇, 贾建军等. 基于 CMOS 的量子通信精跟踪系统设计及检验[J]. *中国激光*, 2011, **38**(2): 0205008
- 11 E. Bodenstorfer, J. Furtler, J. Brodersen *et al.*. High speed line scan camera with digital time delay integration[C]. *SPIE*, 2007, **6496**: 1~10
- 12 Zhou Huaide, Liu Haiying, Xu Dong *et al.*. Study of TDI pattern for interline transfer progressive scan CCD [J]. *Optics and Precision Engineering*, 2008, **16**(9): 1629~1634
周怀得, 刘海英, 徐东等. 行间转移面阵 CCD 的 TDI 工作方式研究[J]. *光学精密工程*, 2008, **16**(9): 1629~1634
- 13 Igor Brouk, Amikam Nemirovsky, Kamal Alameh *et al.*. Analysis of noise in CMOS image sensor based on a unified time-dependent approach[J]. *Solid-State Electronics*, 2010, **54**(1): 28~36
- 14 J. Goy, B. Courtois, J. M. Karam *et al.*. Design of an APS CMOS image sensor for low light level applications using standard CMOS technology[J]. *Analog IntegrCirc Signal Process*, 2001, **29**(1-2): 95~104
- 15 Young Soo Kim, Gyuseong Cho, Jun-Hyung Bae. Analysis of noise characteristics for the active pixels in CMOS image sensors for X-ray imaging [J]. *Nuclear Instruments and Methods in Physics Research A*, 2006, **565**(1): 263~267
- 16 H. Tian, B. Fowler, A. Ei-Gamal. Analysis of temporal noise in CMOS photodiode active pixel sensor[J]. *IEEE Solid-State Circuits*, 2001, **36**(1): 92~100
- 17 H. Rhodes, G. Agranov, C. Hong *et al.*. CMOS imager technology shrinks and image performance[C]. *IEEE Workshop Microelectron and Electron Devices*, 2004: 7~18

栏目编辑：李文喆