

面向实时视觉芯片的高速 CMOS 图像传感器

付秋瑜 林清宇 张万成 吴南健

(中国科学院半导体研究所半导体超晶格国家重点实验室, 北京 100083)

摘要 提出了一种面向实时视觉芯片的高速 CMOS 图像传感器。该高速图像传感器主要包括 CMOS 像素单元阵列、相关双采样(CDS)阵列、可编程增益放大(PGA)阵列、单次比较模数转换(ADC)阵列和控制模块。该传感器集成了光信号采集和行并行信号处理等功能,以大于 1000 frame/s 的速度输出数字信号或数字图像,同时实现了行并行方式的固定模式噪声消除、编程控制输出信号动态范围调节、连续 8 位行并行模数信号转换的功能。采用 0.18 μm 1P6M CMOS 工艺实现了高速图像传感器,芯片面积为 2.2 mm \times 2.6 mm。测试结果表明,该芯片可以完成实时高速光信号采集及处理,适用于集成高速实时视觉芯片系统。

关键词 图像处理;CMOS 图像传感器;信号处理;视觉芯片

中图分类号 TN491 **文献标识码** A **doi**: 10.3788/AOS201131.0828001

A High-Speed CMOS Image Sensor for Real-Time Vision Chip

Fu Qiuyu Lin Qingyu Zhang Wancheng Wu Nanjian

(State Key Laboratory for Superlattices and Microstructures, Institute of Semiconductors,
Chinese Academy of Sciences, Beijing 100083, China)

Abstract A high-speed CMOS image sensor for real-time vision chip is proposed. The high-speed CMOS image sensor consists of CMOS photodiode array, correlated double sampling (CDS) array, programmable gain amplifier (PGA) array, area-efficient single-slope analog-to-digital converter (ADC) array and controller circuit. It can perform the image capturing and row-parallel signal processing. It outputs digital signal or digital image at a frame rate of over 1000 frame/s. It can reduce the fixed pattern noise (FPN) and amplify (or shrink) the output signals of the photodiode array to maintain the amplitude of the signal in row-parallel fashion. It can continuously perform 8-bit ADC conversion in row-parallel. A 128 pixel \times 128 pixel image sensor with 128 rows of CDS, PGA and single-slope ADC is fabricated by using 0.18 μm 1P6M CMOS process. The chip size is 2.2 mm \times 2.6 mm. The measured results demonstrate that the designed chip can perform high-speed real-time optical signal capturing and processing. It can be applied to the real-time vision chip system.

Key words image processing; CMOS image sensor; signal processing; vision chip

OCIS codes 280.4788; 070.1170; 100.1160

1 引 言

视觉芯片是一种具有高速图像采集和实时图像处理功能的片上集成系统芯片,是当今国际 CMOS 图像传感器领域的重要研究课题^[1~10]。传统的视觉系统由专用摄像头和通用计算机构成,利用软件完成图像处理。这种方式存在几个主要问题:1)摄像头输出的大量图像数据与计算机之间存在输入/输出(I/O)瓶颈,限制了系统的速度;2)图像处理需要在所

有像素上进行大量重复运算,这些运算即使用目前高性能的 CPU 完成其速度仍然不够,难以满足实时性的需求;3)使用通用计算机功耗较大。基于 CMOS 图像传感器的视觉芯片,模仿人类视网膜获取图像后直接传输给大脑神经元进行处理的原理,通过将图像传感器和图像处理电路集成在单芯片内解决 I/O 瓶颈问题,通过使用并行的处理单元阵列来完成图像运算,从而实现高速的图像处理(大于 1000 frame/s),并

收稿日期: 2011-03-02; **收到修改稿日期**: 2011-04-25

基金项目: 国家自然科学基金(60976023)和国家 973 计划(2011CB932902)资助课题。

作者简介: 付秋瑜(1982—),女,博士研究生,主要从事高速 CMOS 图像传感器方面的研究。E-mail: qiuyufu@semi.ac.cn

导师简介: 吴南健(1961—),男,研究员,博士生导师,主要从事高速图像传感器视觉芯片和大规模数模混合集成电路设计等方面的研究。E-mail: nanjian@red.semi.ac.cn

且具有单芯片集成、嵌入性好的优势。视觉芯片广泛应用于高速目标跟踪、虚拟现实、工业自动化、机器人视觉和可见光通信^[11~13]等领域。

视觉芯片中进行图像获取的高速 CMOS 图像传感器是重要的研究课题之一。最早提出的视觉芯片把每一像素和一个处理单元集成在一起,但它存在填充率低、分辨率低和信号干扰严重的问题^[1]。针对这种架构的缺点,Yoon 等^[7]提出了一种像素和处理单元分离的流水线型视觉芯片架构。这种视觉芯片中的高速 CMOS 图像传感器通常采用与像素阵列行数相适应的行并行模拟电路和模数转换器进行信号处理。它要求每一行模拟电路和模数转换器都具有面积小和功耗低的特点。目前,在视觉芯片高速 CMOS 图像传感器中常用的相关双采样电路有传统的双电容相关双采样(CDS)阵列^[7]、单电容多路开关 CDS 阵列^[9]和计算校准 CDS 阵列^[10],这些 CDS 电路面积较大,不适合集成大面积视觉芯片。同时,在视觉芯片高速 CMOS 图像传感器中常用的模数转换器(ADC)有 Sigma-delta ADC^[4]、算术型 ADC^[5]、像素级 1-bit ADC^[6]、两级 ADC^[7]和逐次逼近型 ADC^[10]。但是,这些 ADC 面积和功耗较大,不适合大面阵视觉芯片的设计。

本文提出和设计了一种面向实时视觉芯片的高速行并行图像传感器。该高速行并行图像传感器集成了图像采集和行并行信号处理等功能,具有芯片面积小和功耗低的特点,能够满足视觉芯片高速图像获取的要求(大于 1000 frame/s)。

2 高速 CMOS 图像传感器结构

高速行并行 CMOS 图像传感器的结构和功能框图如图 1 所示。高速 CMOS 图像传感器主要包括 CMOS 像素单元阵列,CDS 阵列,可编程增益放大(PGA)阵列,单次比较 ADC 阵列和控制模块。该高速行并行图像传感器集成了图像采集和行并行信号处理等功能,配合像素处理单元(PE)阵列可以实现高速实时的图像处理功能(大于 1000 frame/s),行并行方式的固定模式噪声(FPN)消除,编程控制输出图像动态范围调节以及连续 8 位行并行数模信号转换等功能。系统包含 $N \times N$ 的 CMOS 像素单元阵列,集成了一系列 N 个 CDS 电路单元、一系列 N 个 PGA 单元和一系列 N 个单次比较 ADC 单元以及外围控制单元、指令列解码器等。入射光线透射到感光光电二极管(PD)像素单元阵列上,产生模拟图像信号。这 $N \times N$ 个图像信号,通过列解码器,按照

微控制器的指令,依次以行并行的模式被读入 N 个 CDS 单元和 N 个 PGA 单元中进行去噪声处理和信号动态范围调节。最后经 N 个 ADC 进行模数转换后的数字信号被并行输出,给之后的 PE 阵列完成特殊的图像算法处理。它具备了 1000 frame/s 图像采集、图像去噪声以及动态范围平衡的能力,配合 PE 阵列可以完成高速实时的局域化和广域化的像素并行处理的功能,能高速实时地实现图像摄取、初级图像处理和智能图像处理^[14]等完整的系统操作。

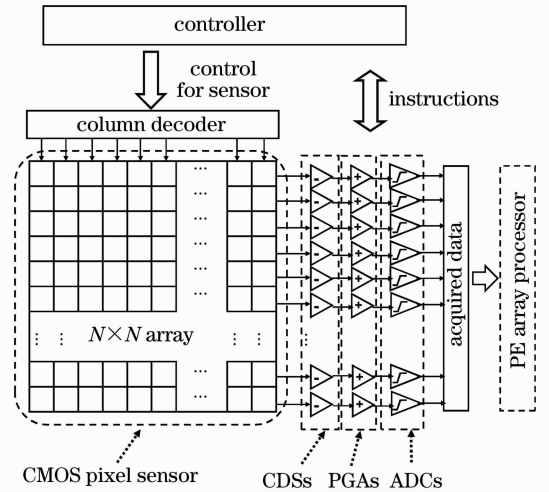


图 1 高速行并行 CMOS 图像传感器的结构

Fig. 1 Schematic architecture of the high-speed row-parallel CMOS image sensor

图 2 给出了一行 CMOS 图像传感器的结构。CMOS 像素单元为标准的 3 管有源像素传感器(APS)结构。入射光线透射到光电二极管阵列上,在此过程中采集模拟的电压信号。复位前后两次采样的电压信号由 CDS 处理以去除像素的固定噪声。经过 CDS 处理的信号由 PGA 进行动态范围调节,PGA 由控制单元获得全局反馈控制信号,实现图像信号放大(或缩小)以使图像信号保持合适的幅度。最后,单次比较 ADC 将模拟图像信号转化为数字信号直接输出或者传输给 PE 阵列完成扩展图像处理算法。本文设计的高速行并行图像传感器进一步克服了图像处理速度和采集图像质量等限制,可以在实现高速图像处理(大于 1000 frame/s, 40 MHz 时钟)的同时,获得更高质量的采集图像、更低的功耗和更小的成本。集成的图像处理单元可以实现实时 FPN 处理、实时动态范围调节和高速并行模数转换处理。图像信号的采集、采样、处理和转换均采用并行方式,完全适合于高速实时视觉芯片系统的功能扩展。

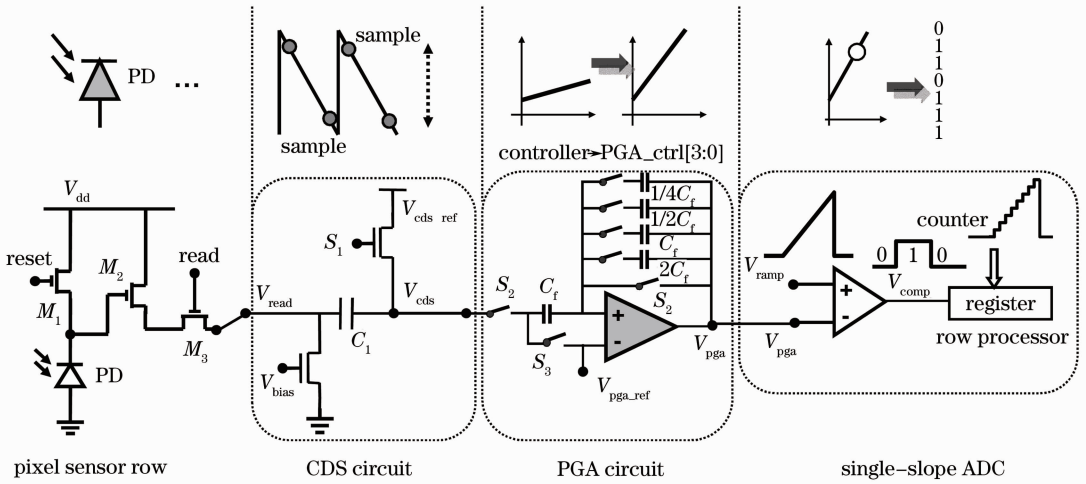


图 2 一行图像传感器的结构

Fig. 2 Schematic architecture of single-row image sensor

3 高速图像传感器功能

3.1 信号去噪声

对于 CMOS 图像传感器,入射光信号通过光电二极管之后,信号被读出电路的源极跟随器放大,之后通过读出电路选通管选择输出。在这个过程中,由于光电二极管的暗电流作用以及像素放大管的动作,产生图像 FPN^[15,16]。通常采用相关双采样 CDS^[16]消除 FPN。传统的 CDS 通常包括 2 个集成采样电容、CDS 缓存电路及开关电路。由于传感器芯片面积的增加主要取决于像素阵列的数值 $N \times N$ 的增加,所以单个 CDS 的版图面积是设计的主要参数之一。传统的 CDS 包括 2 个大面积的采样电容,因而很难集成在小面积的行并行处理结构中。本文设计了一种单个采样电容 CDS 结构,如图 2 所示。CDS 只包括一个采样电容和 2 个 n 型金属氧化物

半导体(NMOS)选通管,可以集成在小面积的行并行处理结构中。图 3 描述了 CDS 的动作时序。在 read1 周期,信号 V_{read1} 和参考电压 V_{cds_ref} 通过选通管 read 和 S_1 分别加在采样电容 C_1 的两极。这时采样电容 C_1 存储的电压值为

$$V_{C1} = V_{read1} - V_{cds_ref} \quad (1)$$

电压信号 V_{read1} 包括光电压采样信号 $V_{signal1}$ (前一帧采样信号,reset 动作前,如图 3 所示)以及固定图像噪声 V_{FPN} :

$$V_{read1} = V_{signal1} + V_{FPN} \quad (2)$$

在 reset 动作后,光电压信号再次采样, S_1 关断,节点 V_{cds} 浮空。再次采样电压信号 V_{read2} 包括光电压采样信号 $V_{signal2}$ (后一帧采样信号,reset 动作后,如图 3 所示)以及固定图像噪声 V_{FPN} :

$$V_{read2} = V_{signal2} + V_{FPN} \quad (3)$$

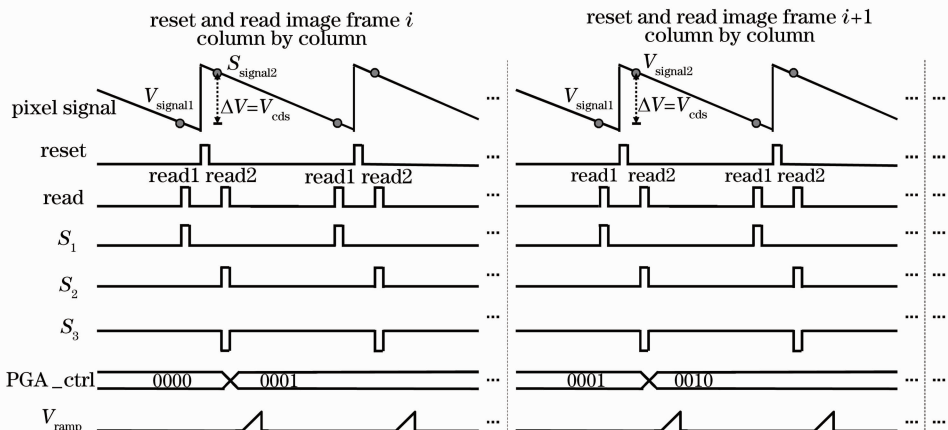


图 3 图像传感器光信号处理动作时序

Fig. 3 Operation timing of the light signal processing of the proposed image sensor

V_{FPN} 可以通过将两次采样结果相减消除。最终 CDS 输出结果为

$$V_{cds} = V_{read2} - V_{Cl} = V_{read2} - V_{read1} + V_{cds_ref}. \quad (4)$$

将(1)~(3)式代入(4)式,结果为

$$V_{cds} = V_{signal2} - V_{signal1} + V_{cds_ref}. \quad (5)$$

3.2 信号动态范围调节

实时图像处理的高速采样图像质量在动态范围方面有很大的改进空间。近几十年,设计并实现高性能的 PGA 仍然是一个研究热点。本文设计了一个集成小面积 PGA,如图 2 所示。PGA 的差分放大器采用两级结构,以便减小面积、集成于行并行处理结构中。电路结构的选择是一种图像质量与芯片面积造价的折中考虑。差分放大器的增益为 45 dB。电路通过控制单元控制寄存器 PGA_ctrl 实现增益调节。当 S_3 打开时,PGA_ctrl[3:0]控制增益电路选通或者关断,例如,若入射光强度过大(或过小),导致光电压信号过大(或过小),则控制信号减小(或增大)PGA 的增益值。增益 G 可有 $15(2^4 - 1)$ 种不同设置,典型值为 0.5, 1, 2 和 4。例如,若 PGA_ctrl[3:0]取值为 $2'b0001$,则 $G = C_f/2C_i = 0.5$;若 PGA_ctrl[3:0]取值为 $2'b0100$,则 $G = C_f/0.5C_i = 2$ 。PGA 输出电压为

$$V_{pga} - V_{pga_ref} = (V_{cds} - V_{pga_ref})G. \quad (6)$$

PGA 参考电压 V_{pga_ref} 加在两级差分放大器的负极端口,如图 2 所示,通过这种方式实现图像增益放大(或缩小),维持输出信号振幅在下一级 ADC 输入范围内,以获得更合适的采集处理图像结果。图 4 是 PGA 实现信号动态范围调节示意图。首先,芯片中的 PE 单元阵列快速地统计和计算出图像像素的特征值,如最大值、最小值和平均值等,并且把结果输出给控制单元。控制单元处理所得的结果并

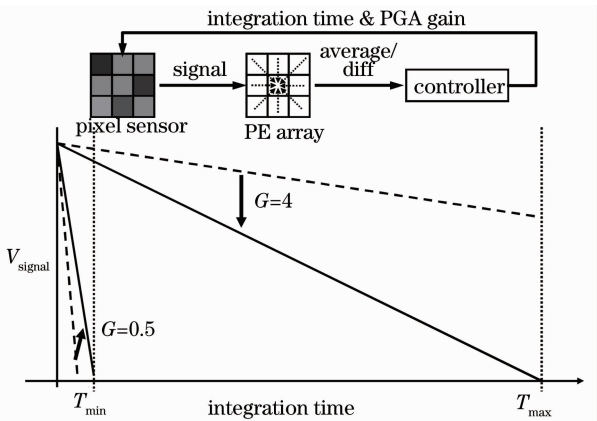


图 4 信号动态范围调节示意图

Fig. 4 Controlling of PGA gain to amplify (or shrink) the signals

且输出控制信号 PGA_ctrl[3:0]。控制信号控制光电二极管的积分时间以及 PGA 的增益 G 。如果入射光强度过大,导致光电压信号过大,则控制信号控制减少光电二极管的积分时间以及减小 PGA 的增益;否则,控制信号控制增加或者维持 PGA 的增益。

3.3 信号数据转换

实时图像处理的高速采样图像质量在数据转换方面也有很大的改进空间。本文设计了一个面向高速实时行并行图像处理芯片的集成小面积单次比较 ADC,如图 2 所示,它具有结构紧凑、功耗低、速度快以及转换精度合理等优点。这些特点决定了这种结构适合集成于行并行图像处理单元中。用于单次比较 ADC 中的比较器主要包括两级结构,分别为差分输入放大电路和单端输出放大电路。ADC 的转换精度主要取决于比较器的设计精度。可以设计不同的比较器参数来获得不同转换精度的 ADC,以适应不同的应用需要。本文设计的 ADC 转换精度为 8 位,因此,需要 256 个周期转换一列图像,256N 个周期转换一帧图像。在输入电压范围 3.3 V、室温 27 °C 的情况下,比较器中差分输入放大电路的增益为 37 dB,比较器的精度优于 1 mV,延迟时间小于 1 ns。在性能设计考虑时,主要关注在各种工艺角下 ADC 的非线性失真,主要性能指标如下:积分非线性小于 0.56LSB(LSB:最低有效位),微分非线性小于 0.33LSB,信噪比(SNR)为 41.3 dB,信噪失真比(SNDR)为 40.8 dB,得到 ADC 的有效位数为 6.5 位。

ADC 完成信号数据转换的原理如下。在完成模数转换期间,外界输入的斜坡电压 V_{ramp} 和输入电压信号 V_{pga} 分别加在比较器的两个输入端。随着斜坡电压 V_{ramp} 的增加,数字计数器依次完成加“1”动作。最初的比较器电压输出被设置为“0”;当数字计数器开始计数并且斜坡电压 V_{ramp} 小于输入电压信号 V_{pga} 时,比较器电压输出保持为“1”;当斜坡电压 V_{ramp} 大于输入电压信号 V_{pga} 时,比较器电压输出重新置位为“0”,并且此时的数字计数器计数值被寄存器存储。因此,数字计数器计数值是输入电压信号 V_{pga} 值的成比例映射转换。通过这种方式,完成 8 位数据的模数转换。

4 VLSI 实现和芯片性能

使用 0.18 μm 1P6M 标准 CMOS 工艺对芯片进行了设计和流片。芯片面积为 2.2 mm \times 2.6 mm。图 5 给出了芯片显微镜照片和对应的模块。芯片包

含有 $128 \text{ pixel} \times 128 \text{ pixel}$ 的传感器像素单元阵列, 128 个 CDS, 128 个 PGA, 128 个 8 位单次比较 ADC 和一些周边电路。像素单元使用 n 阱/p 衬底硅化物阻挡层(SAB)光电二极管来实现较高的光灵敏度^[8,16], 像素大小为 $10 \mu\text{m} \times 10 \mu\text{m}$, 填充率为 58%。图像传感器动态范围为 25 dB, 信噪比约为 24 dB。由于采用的是标准 CMOS 工艺 3T 像素结构进行多项目晶圆(MPW)流片, 没有进行离子注入等工艺参数调整, 所以图像传感器的动态范围和信噪比较低。如果采用图像传感器专用工艺, 图像传感器的动态范围将可以明显改善。图 6 给出了图像传感器像素单元归一化相对量子效率(QE)和响应率曲线。表 1 总结了芯片的性能。芯片工作在 40 MHz, 进行

8 位图像采集处理速度可超过 1000 frame/s。

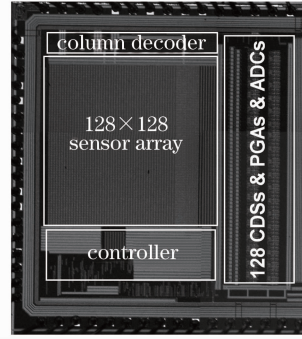


图 5 芯片显微镜照片和对应的高速并行图像传感器模块

Fig. 5 Chip photo of the designed high-speed row-parallel image sensor modulus

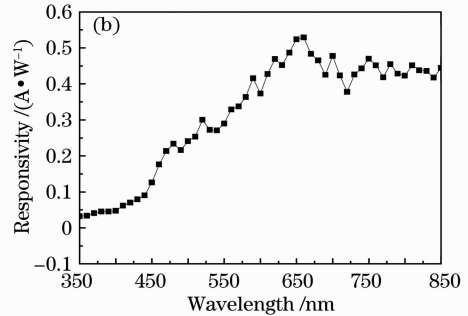
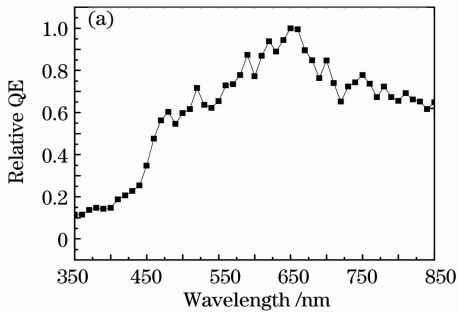


图 6 传感器像素单元相对量子效率和响应率

Fig. 6 Relative QE and responsivity of sensor pixel

表 1 芯片的性能指标

Table 1 Chip specifications

Parameter	Value
Technology	0.18 μm 1P6M CMOS process
Chip size (pad incl.)	2.2 mm \times 2.6 mm
Array size	128 pixel \times 128 pixel sensor array, 128CDSs, 128PGAs, 128ADCs
Pixel size	10 $\mu\text{m} \times 10 \mu\text{m}$ for sensor, 45 $\mu\text{m} \times 30 \mu\text{m}$ for CDS, 138 $\mu\text{m} \times 30 \mu\text{m}$ for PGA, 22 $\mu\text{m} \times 30 \mu\text{m}$ for ADC
Number of transistors	3 transistors in sensor pixel, 28 transistors in one row signal processing circuit
Fill factor / %	58
Clock frequency /MHz	40
Power supply and consumption	1.8 V and 3.3 V, 240 mW (at 1000 frame/s)

实验中使用移动中的人手作为目标物体, 测试芯片在实验室内(光照度值 100~300 lx)采集处理光信号, 高速 CMOS 图像传感器的积分时间为 825 μs 。图 7 是芯片工作在 40 MHz、芯片测试时没有使用 CDS 功能以及使用 CDS 功能时的测试结果。从图 7(a)的测试结果中可以看出, FPN 呈条纹状分布; 图 7(b) 的测试结果表明设计的 CDS 可以有效地去除 FPN。图 8 是芯片工作在 40 MHz、信号增益 G 分别为 1, 2, 4, 0.5 时的测试结果。图 8(a)是正常入射光强度下无增益($G=1$)的测试结果; 图 8(b)~(d)

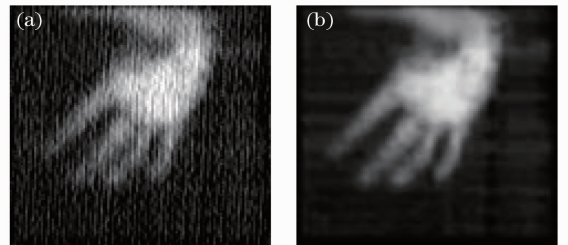


图 7 芯片 CDS 测试结果。(a)无 CDS;(b)有 CDS
Fig. 7 Test results of chip's CDS. (a) Without CDS; (b) with CDS

是入射光强度过暗或过亮条件下增益增大($G=2, 4$)或缩小($G=0.5$)的测试结果。

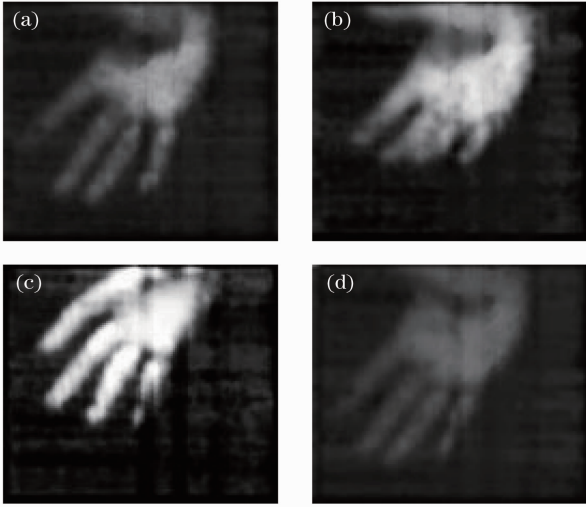


图 8 芯片不同 PGA 增益测试结果。(a) $G=1$;
(b) $G=2$; (c) $G=4$; (d) $G=0.5$

Fig. 8 Chip test results with the PGA gain. (a) $G=1$;
(b) $G=2$; (c) $G=4$; (d) $G=0.5$

对于本文设计的 $128 \text{ pixel} \times 128 \text{ pixel}$ 阵列高速 CMOS 图像传感器,可以配合 PE 阵列实现实时视觉芯片。例如传感器阵列大小为 $128 \text{ pixel} \times 128 \text{ pixel}$, PE 阵列大小为 $128 \text{ pixel} \times 128 \text{ pixel}$,依然可以实现高速图

像处理。假设在 $128 \text{ pixel} \times 128 \text{ pixel}$ 大小的视觉芯片内实现图像处理算法,则行并行的灰度级图像处理算法所需时间与列数成正比 $[O(N)]$,而像素级的二值图像处理算法所需时间与相关像素数无关联 $[O(1)]$ 。芯片的系统时钟为 40 MHz ,对于 1000 frame/s 的图像采集速度,相当于每帧图像最多有 $40,000$ 个时钟周期进行处理。估算如下:芯片可以在 $32,768(128 \times 2^8)$ 个时钟周期内完成图像采集、去噪声、动态范围调节和数据转换;对于常用的图像算法,芯片可以在 40 个周期内完成背景剪除, 1024 个周期内完成 5×5 的图像滤波运算, 512 个周期内完成行像素统计运算。芯片最经常执行的是数学形态学运算,对于常用的 3×3 结构元素,执行一次腐蚀或膨胀所消耗时间不超过 20 个时钟周期。换言之,可以利用 $40,000$ 个时钟周期 (40 MHz 时钟)实现高速 (大于 1000 frame/s) 的图像处理。

表 2 是芯片性能测试结果与其他类似设计芯片的对比。与文献[7~10]的设计相比较,本文的设计实现了更好性能指标,用较小的芯片面积实现了高速 (大于 1000 frame/s) 的图像处理。这得益于所设计的行并行图像传感器模拟处理单元的灵活性、集成性和兼容性。对于较特殊的实际应用,芯片的成本、性能和功耗还有很大的改进空间。

表 2 芯片性能测试结果与其他类似设计芯片的对比

Table 2 Performance comparison between different designs

Ref.	This paper	[7]	[8]	[9]	[10]
Photo sensor	Yes	Yes	No	Yes	Yes
Technology	$0.18 \mu\text{m}$ 1P6M	$0.35 \mu\text{m}$ 2P2M	$0.18 \mu\text{m}$ 5MA1	$0.35 \mu\text{m}$ DPTM	$0.35 \mu\text{m}$ 1P5M
Chip size	$2.2 \text{ mm} \times 2.6 \text{ mm}$	$3.55 \text{ mm} \times 2.4 \text{ mm}$	$5.82 \text{ mm} \times 5.82 \text{ mm}$	20 mm^2	$11.9 \text{ mm} \times 12.2 \text{ mm}$
Array size	$128 \text{ pixel} \times 128 \text{ pixel}$	$352 \text{ pixel} \times 288 \text{ pixel}$	$64 \text{ pixel} \times 64 \text{ pixel}$	$128 \text{ pixel} \times 64 \text{ pixel}$	$128 \text{ pixel} \times 128 \text{ pixel}$
Image processing	8 bit gray	8 bit gray; 24 bit color	8 bit gray	analog	8 bit gray
Clock frequency	40 MHz	10M sampling rate	100 MHz	600 kHz	121 Mbyte/s I/O rate
Frame rate	1000 frame/s	30 frame/s	6.1 frame/s	30 frame/s	1000 frame/s
Consumption at power supply	240 mW at 1.8 V and 3.3 V	20 mW at 3.0 V	85 mW at 1.8 V	14 mW at 3.3 V	2949 mW at 3.3 V

5 结 论

提出了一种面向实时视觉芯片的高速 CMOS 图像传感器。高速 CMOS 图像传感器、并行信号处理单元和输出电路集成于单一芯片内,实现实时视觉芯片系统。该高速 CMOS 图像传感器主要包括 CMOS 像素单元阵列、CDS 阵列、PGA 阵列、单次比较 ADC 阵列和控制模块,集成了图像采集和行并行信号处理

等功能。高速图像传感器输出数字信号或数字图像,可以实现高速实时 FPN 消除、图像动态范围调节以及连续 8 位行并行数模信号转换的功能。采用 $0.18 \mu\text{m}$ 1P6M CMOS 工艺实现了高速 CMOS 图像传感器芯片,芯片面积为 $2.2 \text{ mm} \times 2.6 \text{ mm}$ 。测试结果表明,该芯片可以完成大于 1000 frame/s 的实时图像采集及处理,适用于高速实时视觉芯片系统。

参 考 文 献

- 1 K. Aizawa. Computational sensors-vision VLSI [J]. *IEICE Trans. Information and Systems*, 1999, **E82-D(3)**: 580~588
- 2 W. Miao, Q. Y. Lin, W. C. Zhang *et al.*. A programmable SIMD vision chip for real-time vision applications[J]. *IEEE J. Solid-State Circuits*, 2008, **43(6)**: 1470~1479
- 3 J. Guo, S. Sonkusale. A high dynamic range CMOS image sensor for scientific imaging applications [J]. *IEEE Sensors Journal*, 2009, **9(10)**: 1209~1218
- 4 Z. Ignjatovic, M. F. Bocko. A 0.88 nW/pixel, 99.6 dB linear-dynamic-range fully-digital image sensor employing a pixel-level sigma-delta ADC [C]. Symposium on VLSI Circuits, 2006: 23~24
- 5 Q. Y. Lin, W. Miao, W. C. Zhang *et al.*. A 1000 frames/s programmable vision chip with variable resolution and row-pixel-mixed parallel image processors [J]. *Sensors*, 2009, **9(8)**: 5933~5951
- 6 A. Lopich, P. Dudek. An 80×80 general-purpose digital vision chip in 0.18 μm CMOS technology [C]. Proceedings of 2010 IEEE International Symposium on Circuits and Systems, 2010, 4257~4260
- 7 K. Yoon, C. Kim, B. Lee *et al.*. Single-chip CMOS image sensor for mobile applications[J]. *IEEE J. Solid-State Circuits*, 2002, **37(12)**: 1839~1845
- 8 H. Yamasaki, T. Shibata. A real-time image-feature-extraction and vector-generation VLSI employing arrayed-shift-register architecture[J]. *IEEE J. Solid-State Circuits*, 2007, **42(9)**: 2046~2053
- 9 N. Massari, M. Gottardi. A 100 dB dynamic-range CMOS vision sensor with programmable image processing and global feature extraction[J]. *IEEE J. Solid-State Circuits*, 2007, **42(3)**: 647~657
- 10 G. L. Cembrano, A. Rodriguez-Vazquez, R. C. Galan *et al.*. A 1000 fps at 128×128 vision processor with 8-bit digitized I/O[J]. *IEEE J. Solid-State Circuits*, 2004, **39(7)**: 1044~1055
- 11 H. C. N. Premachandra, T. Yendo, T. Yamasato *et al.*. Detection of LED traffic light by image processing for visible light communication system [C]. IEEE Intelligent Vehicles Symposium, 2009, 179~184
- 12 H. C. N. Premachandra, T. Yendo, M. P. Tehrani *et al.*. High-speed-camera image processing based LED traffic light detection for road-to-vehicle visible light communication [C]. IEEE Intelligent Vehicles Symposium, 2010, 793~798
- 13 S. Iwasaki, C. Premachandra, T. Endo *et al.*. Visible light road-to-vehicle communication using high-speed camera [C]. IEEE Intelligent Vehicles Symposium, 2008, 13~18
- 14 R. C. Gonzalez, R. E. Woods. Digital Image Processing. 2nd ed. Edition [M]. Ruan Qiushi, Ruan Yuzhi Transl.. Beijing: Publishing House of Electronics Industry, 2003. 522~604
冈萨雷斯, 伍兹. 数字图像处理(第二版) [M]. 阮秋琦, 阮宇智译. 北京: 电子工业出版社, 2003. 522~604
- 15 N. Kawai, S. Kawahito. Noise analysis of high-gain, low-noise column readout circuits for CMOS image sensors [J]. *IEEE Trans. Electron Devices*, 2004, **51(2)**: 185~194
- 16 K. Yonemoto. CCD/CMOS Image Sensor Basic and Application [M]. Chen Rongting, Peng Meigui Transl.. Beijing: Science Press, 2006. 156~165
米本和也. CCD/CMOS 图像传感器基础与应用 [M]. 陈榕庭, 彭美桂译. 北京: 科学出版社, 2006. 156~165