

基于复杂可编程逻辑器件的读出电路驱动脉冲设计

黄张成^{1,2} 黄松垒^{1,2} 陈新禹¹ 方家熊¹

(¹ 中国科学院上海技术物理研究所传感器技术国家重点实验室, 上海 200083; ² 中国科学院研究生院, 北京 100039)

摘要 焦平面读出电路在工作时需要提供多路数字驱动脉冲, 信号发生器、分立元件、单片机、复杂可编程逻辑器件(CPLD)等常用于设计驱动脉冲。利用 CPLD 开发板设计了一种脉冲驱动电路, 该电路可以为电容负反馈放大型的线列焦平面读出电路提供驱动脉冲。通过在信号输出端串联电阻消除了脉冲信号的过冲振铃, 实验结果显示输出脉冲可以驱动焦平面稳定工作。该电路体积小易便携的优点使其可用于焦平面的可靠性测试实验。实验和设计值的比较结果显示该输出脉冲的精度较低, 和高精度信号发生器相比, 该电路不适合用于焦平面性能参数的精确测量。

关键词 光学设计; 红外焦平面; 读出电路; 驱动脉冲; 复杂可编程逻辑器件

中图分类号 O436 文献标识码 A doi: 10.3788/AOS200929s1.0340

Driving Circuit for Readout Integrated Circuit Based on Complex Programmable Logic Device

Huang Zhangcheng^{1,2} Huang Songlei^{2,1,2} Chen Xinyu¹ Fang Jiaxiong¹

¹ State Key Laboratory of Transducer Technology, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China
² Graduate University of Chinese Academy of Sciences, Beijing 100039, China

Abstract Readout integrated circuit (Roic) should be applied with clock work pulses which are usually generated by signal generator, discrete component, MCU and complex programmable logic device (CPLD). In this paper, a method of designing clock work pulses with CPLD for linear infrared focal plane array (FPA) capacitance transimpedance amplifier (CTIA) readout integrated circuit is presented. Experimental results show that this circuit can be capable of driving FPA steadily after overshoot of work pulse is eliminated by increasing series-resistance at the output terminal. This portable circuit with small volume can be used for FPA's reliability test. Comparison result of experimental value and design value shows that this circuit is not suitable for parameter measurement because of low resolution compared with high-precision signal generator.

Key words optical design; infrared focal plane array; readout integrated circuit; driving circuit; complex programmable logic device

1 引 言

自从 20 世纪 60 年代末期, 美国贝尔实验室提出固态成像器件概念后, 固体图像传感器便得到了迅速发展, 成为传感技术中的一个重要分支。固体图像传感器技术主要包括可见光图像传感器和红外焦平面阵列(IRFPA) 技术。IRFPA 主要由红外探测器和读出电路两部分组成^[1]。探测器的作用是将红外信号转换成电信号, 读出电路的作用是将探测器所得的微弱电信号进行积分放大和数字校正。红

外焦平面的读出电路是一种数模混合信号处理电路, 需要提供多路驱动脉冲才能正常工作^[2]。

现在一些开发焦平面的公司和研究机构将驱动脉冲电路集成在读出电路芯片上, 这样可以减少驱动读出电路工作的电路设备和外部引线带来的电磁干扰^[3]。对于没有片上集成驱动脉冲的读出电路, 在测试其电路性能以及焦平面整体性能时, 一般由信号发生器为其提供驱动脉冲。

单片机、FPGA、复合可编程逻辑器件(CPLD)

基金项目: 国家自然科学基金(50632060)资助课题。

作者简介: 黄张成(1985—), 男, 博士研究生, 主要从事红外焦平面读出电路方面的研究。E-mail: huangzgc@mail. sitp. ac. cn

导师简介: 方家熊(1939—), 男, 研究员, 博士生导师, 主要从事光传感器方面的研究。E-mail: jxfang@mail. sitp. ac. cn

等也可以为读出电路提供驱动脉冲^[4~6]。CPLD 是一种用户根据各自需要而自行构造逻辑功能的数字集成电路。其基本设计方法是借助集成开发软件平台,用原理图、硬件描述语言等方法,生成相应的目标文件,通过下载电缆将代码传送到目标芯片中,实现设计的数字系统。CPLD 编程语言既可以采用 VHDL、Verilog HDL 等硬件描述语言,也可以采用硬件 C 语言。其开发板输出端口众多,可扩展用于数字显示、视频输出、电机控制等用途。和分立元件、单片机等相比,CPLD 具有编程灵活、调试方便、扩展功能强等优点,基于 CPLD 的读出电路驱动电路可以应用于一些焦平面可靠性测试实验和外场成像验证实验中。

2 驱动脉冲电路设计

2.1 线列焦平面读出电路的工作时序

电容负反馈放大器电路 (Capacitance transimpedance amplifier, CTIA) 具有偏置电压稳定、注入效率高,低噪声等优点,是一种线列焦平面读出电路常用的输入级结构。加上相关双采样电路 (CDS),可以降低其 KTC 噪声。带 CDS 的 CTIA 型单元电路结构如图 1 所示^[7]。

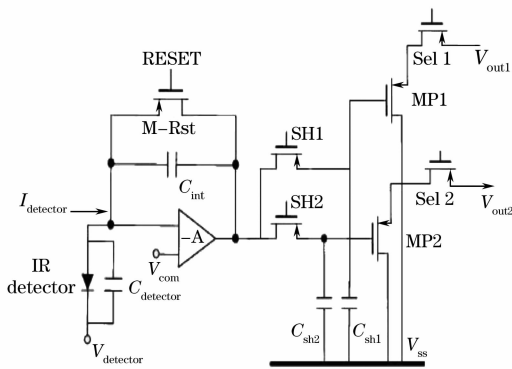


图 1 CTIA 型单元电路示意图

Fig. 1 Structure of CTIA unit circuit

该读出电路工作于积分然后读出模式。如图 1, RESET 低电平,积分电容 C_{int} 复位至参考电压, RESET 高电平,电路进入积分阶段。SH1 和 SH2 常置高电平,在刚进入积分阶段时,SH1 有一个低电平脉冲,采样电容 C_{sh1} 对积分前的 C_{int} 电压进行采样,在积分阶段末期,SH2 有一个低电平脉冲,采样电容 C_{sh2} 对积分后的 C_{int} 电压进行采样。RESET 由高电平变低电平之后,积分结束,进入读出阶段,寄存器的输出依次打开每个单元的 Sel 开关管,顺序读出 V_{out1} 和 V_{out2} 信号。读出电路所需的驱动脉冲

时序如图 2,其中 ST、CLK1、CLK2 是寄存器工作脉冲。SHSEL 是选择输出单通道信号的脉冲。

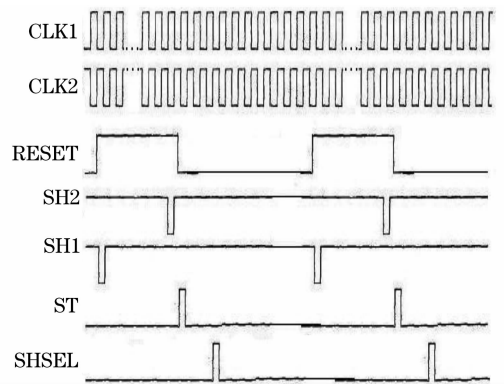


图 2 驱动脉冲时序示意图

Fig. 2 Figure of driving pulse

2.2 CPLD 开发板和 7406 芯片设计驱动脉冲

采用 Altera 公司的 EPM570 系列 CPLD 开发板设计驱动脉冲^[8,9],由于该 CPLD 输出的脉冲信号高电平为 3.3 V,而读出电路所需的驱动脉冲工作于 5 V 电压,因此需要外部电路将 3.3 V 信号上拉至 5 V。7406 芯片可以将 3.3 V 上拉至 5 V,且具有较强的驱动能力,故采用 7406 芯片作为 CPLD 的驱动芯片。由于读出电路的脉冲输入端接 MOS 管的栅极,其阻抗非常高,为 $M\Omega$ 量级,7406 芯片输出端接 2K 上拉电阻,输出脉冲有足够能力驱动读出电路。另外,7406 芯片有一个特点是将输入信号反相输出,因此在设计 CPLD 的输出信号时需要将信号反相。芯片连接示意图如图 3。

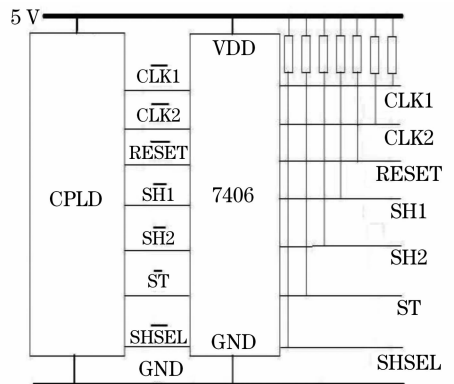


图 3 驱动电路结构示意图

Fig. 3 Structure of driving circuit

设计的驱动脉冲工作于线列焦平面读出电路,在编写程序时通过改变 RESET 信号的低电平持续时间,使其可工作于不同通道数量的线列焦平面。以 128×1 线列焦平面为例,在工作于 20 kHz 的读出速率时,设计积分时间为 $1000 \mu s$,读出时间为 $6400 \mu s$,考虑到积分电容的复位时间,RESET 的读

出时间需要大于 $6400 \mu\text{s}$ 。七路驱动脉冲的仿真结果如表 1。

SHSEL 脉冲用于选通单通道信号输出,本实验默认选通输出第 11 通道信号。CPLD 开发板上有四个开关,按下其中一个开关,可选择输出另外一个通道信号,设计这四个开关分别选通第 22,44,66,88 通道。

表 1 驱动脉冲仿真结果

Table 1 Simulation result of driving pulse

	f / Hz	$T_{\text{high}} / \mu\text{s}$	$T_{\text{low}} / \mu\text{s}$
CLK1	20000	25	25
CLK2	20000	25	25
RESET	103.5	1045	8620
SH1	103.5	9615	50
SH2	103.5	9615	50
ST	103.5	100	9565
SHSEL	103.5	100	9565

3 实验结果

搭建电路后,在示波器上观察七路驱动脉冲的波形,如图 4 所示。

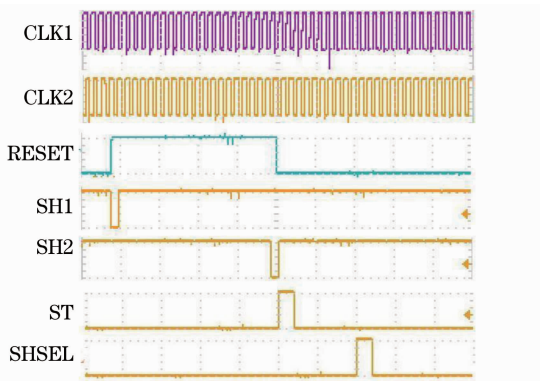


图 4 示波器观察驱动时序图

Fig. 4 Figure of driving pulse observed by oscilloscope

图 4 示波器结果显示,驱动脉冲输出正常。表 2 是驱动脉冲各参数的实验结果,和表 1 进行比较,发现驱动脉冲参数的实验结果和预期设计值有一定的出入,相差在 1% 左右。

表 2 驱动脉冲实验结果

Table 2 Experimental result of driving pulse

	f / Hz	$T_{\text{high}} / \mu\text{s}$	$T_{\text{low}} / \mu\text{s}$	$T_{\text{rise}} / \mu\text{s}$	$T_{\text{fall}} / \mu\text{s}$
CLK1	20000	24.9	25.1	0.9	0.09
CLK2	20000	24.9	25.1	0.9	0.09
RESET	103.5	1052	8610	1.5	0.9
SH1	103.5	9610	50.5	0.9	0.1
SH2	103.5	9610	50.5	0.85	0.1
ST	103.5	100	9560	1.1	0.09
SHSEL	103.5	100	9560	1.1	0.09

图 5 是五路单通道选通脉冲的示意图。开发板工作后,SHSEL 输出 SHSEL11 波形的脉冲,选通第 11 通道信号。依次按下开发板的四个开关,SHSEL 分别输出 SHSEL22,SHSEL44,SHSEL66,SHSEL88,可以选通第 22,44,66,88 通道的信号。

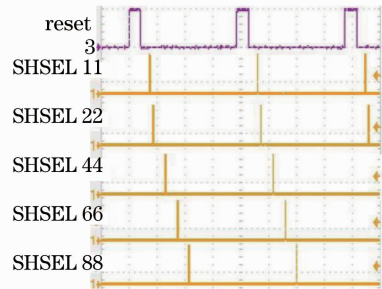


图 5 单通道选通信号示意图

Fig. 5 Figure of single-channel gating signal

将该驱动电路的脉冲信号提供给 128×1 线列焦平面,利用示波器观察有光照和无光照时的输出信号,其结果如图 6 所示。图 6 中输出信号的三个尖峰是由于焦平面中存在三个盲元,剔除这三个盲元的影响,从有光照和无光照的输出信号的比较结果看来,该焦平面工作正常,说明实验设计的驱动电路能够为线列焦平面提供稳定的工作脉冲。

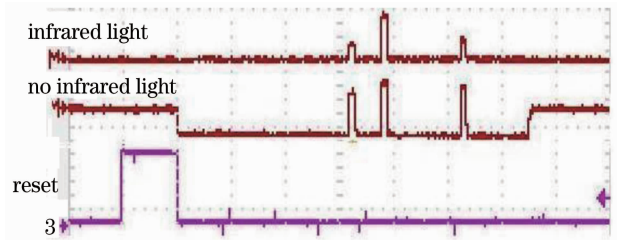


图 6 无光照和有光照时的焦平面输出信号示意图

Fig. 6 Figure of FPA output signal with/without infrared light

4 实验讨论

示波器观察输出脉冲,发现脉冲在下降期间存在过冲、振铃现象,脉冲的最大峰峰值超过 8 V ,这样大幅度的尖锐过冲可能会对读出电路造成损伤,因此需要消除过冲振铃。

对于脉冲在上升下降沿期间的高频成分而言,信号传输电路的电感和电容不能忽略,高频成分在电感电容回路里振荡,形成过冲和振铃。要消除这种过冲振铃,需要在电路里增加适当的阻尼。本实验中使用了上拉电阻,所以输出脉冲在上升期间没有过冲振铃,要消除下降沿的过冲振铃,需要在信号

的输出端串联一个小电阻,增加串联电阻前后的CLK脉冲波形如图7。从图7可以看出,增加串联电阻可以消除脉冲边沿的过冲振铃^[10]。

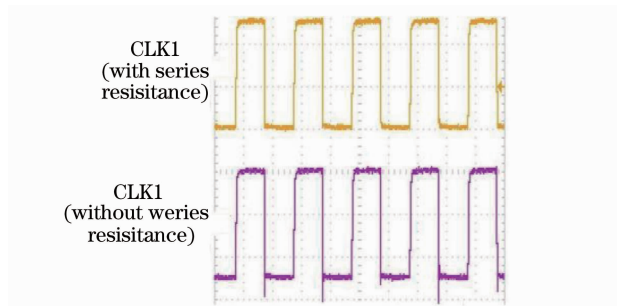


图7 串联电阻前后的CLK对比图

Fig. 6 Contrast diagram of CLK with/without series resistance

将表1和表2进行比较,发现驱动脉冲参数的实验结果和设计仿真结果之间有一定的出入,最大相差在1%,其中RESET脉冲低电平持续时间的实验结果和仿真结果相差0.67%。在CTIA电路中,RESET控制积分时间,积分时间和输出信号电压成线性关系,因此,本实验利用CPLD设计的驱动脉冲,和高精度信号发生器的输出脉冲相比,精度较低,不适合用于焦平面的性能参数测试。

5 结 论

设计了一种线列红外焦平面读出电路的驱动电路,该电路由CPLD和7406驱动芯片组成。CPLD具有编程灵活、调试方便、扩展功能强等优点,7406芯片具有较高的驱动能力,由CPLD和7406芯片组成的驱动电路能够为读出电路提供稳定的驱动脉冲,这种驱动电路设计简单,重量轻,功耗小,方便用于线列焦平面的可靠性测试实验和外场成像验证试验,但是精度较低,不适合用于焦平面的性能参数精确测试。

参 考 文 献

- 1 Chih-Cheng Hsieh, Chung-Yu Wu *et al.*. Focal-plane-arrays and CMOS readout techniques of infrared imaging systems[J]. *IEEE Transactions Circuits and Systems for Video Technology*, 1997, 7(4): 594~605
- 2 Fang Zhou. Skill analysis of readout intergrated circuits of IRFPA[J]. *Infrared Technology*, 2004, 26(2): 23~28
方舟. 红外焦平面阵列读出电路技术分析[J]. *红外技术*, 2004, 26(2): 23~28
- 3 Shen Ke, Wang Hongpei, Hu Bin. Study on the digital circuit of CTIA readout circuit[J]. *Experiment Science and Technology*, 2006, 12(suppl.): 29~30
沈科,王红培,胡滨. CTIA型红外读出电路的数字控制电路结构研究[J]. *实验科学与技术*, 2006, 12(增刊): 29~30
- 4 Chen Xuefei. Design of peripheral circuit for array CCD imaging system[D]. Xi'an: Xi'an Institute of Optics and Precision Mechanics of CAS, 2007
陈学飞. 面阵CCD成像系统外围电路设计[D]. 西安:中国科学院西安光学精密机械研究所, 2007
- 5 Fan Songbo. Research on the Uncooled Infrared Focal Plane Array Thermal Camera System and Controlling Circuit[D]. Xi'an: Xi'an University of Electronic Science and Technology, 2005
樊松波. 非制冷红外焦平面热成像系统及控制电路研究[D]. 西安:西安电子科技大学, 2005
- 6 Lai Rui, Zhou Ming, Liu Shangqian. A new design of programable drive circuit for IRFPA[J]. *Laser & Infrared*, 2004, 34(4): 272~274
赖睿,周铭,刘上乾. 一种新的可编程红外焦平面驱动电路系统设计[J]. *激光与红外*, 2004, 34(4): 272~274
- 7 Yuan Xianghui, Lü Guolin *et al.*. CMOS readout integrated circuit for IRFPA[J]. *Semiconductor Optoelectronics*, 1999, 2(13): 123~126
袁祥辉,吕果林等. 红外焦平面CMOS单元读出电路[J]. *半导体光电*, 1999, 2(13): 123~126
- 8 Jin Xi. VHDL and Complex Digital System Design[M]. Xi'an: Xidian University Press, 2003. 21~43
金西. VHDL与复杂数字系统设计[M]. 西安:西安电子科技大学出版, 2003. 21~43
- 9 James R. Armstrong, F. Gail Gray. Structured Logic Design with Vhdl[M]. Prentice Hall PTR, 1993
- 10 Shu Pu, Gong Guilan *et al.*. ECL circuit engineering application basis[J]. *Computer Engineering and Applications*, 1981, (3): 3~61, 74
蜀璞,龚桂兰等. ECL电路工程应用基础[J]. *计算机工程与应用*, 1981, (3): 3~61, 74